



دانشگاه صنعتی امیرکبیر
دانشکده مهندسی کامپیوتر و فناوری اطلاعات

معماری سوئیچ و روترهای با کارایی بالا

تمرین سوم

پرهام الوانی

۸ دی ۱۳۹۶

۱ سوال اول

باس باید بتواند اگر همه پورت‌های ورودی داده داشتند آن‌ها را منتقل کند پس می‌بایست به اندازه‌ی مجموع نرخ همه‌ی پورت‌های ورودی ظرفیت داشته باشد.

$$BW_{bus} = 24 * 10 = 240Gb/s \quad (1.1)$$

۲ سوال دوم

برای سوئیچ‌هایی با معماری shared-memory می‌دانیم:

$$2 * N_r \leq \frac{T_{cell}}{T_{mem}} \quad (۱.۲)$$

از آنجایی که شبکه‌ای که این سوئیچ به آن متصل است شبکه‌ی ATM می‌باشد پس اندازه‌ی بسته‌ها در آن ۵۳ بایت می‌باشد.

$$\begin{aligned} T_{cell} &= \frac{L_{cell}}{throughput} \\ &= \frac{53 * 8}{125 * 10^3} = 3.392ms \end{aligned} \quad (۲.۲)$$

و در نهایت خواهیم داشت:

$$\begin{aligned} N_r &= \frac{T_{cell}}{T_{mem}} = \frac{3.392ms}{16ns} \\ &= 212 \end{aligned} \quad (۳.۲)$$