

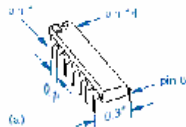


Universidade do Minho  
Departamento de Electrónica Industrial

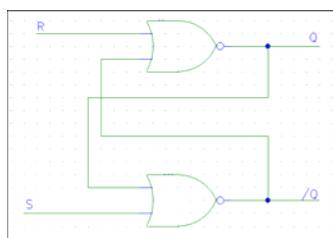
# Sistemas Digitais

**Exercícios de Apoio - IV**

**Análise de Circuitos Sequenciais**



1 - Esboce a saída da *latch* S-R representada na figura seguinte, considerando as entradas representadas. Suponha que os tempos de subida e de descida são nulos e que o tempo de propagação de uma porta NOR é de 10 ns.



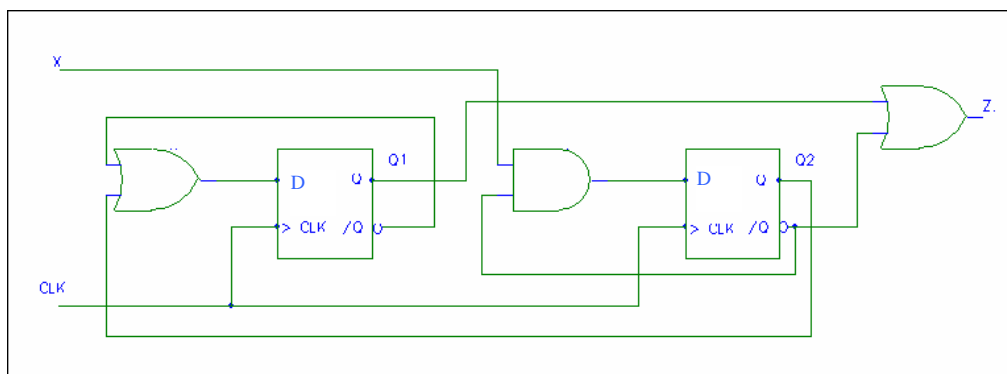
Cada intervalo são 10 ns.

2 - Construa um *flip-flop* D utilizando um *flip-flop* T com *enable* e lógica combinacional.

3 - Mostre como se pode construir um *flip-flop* J-K utilizando um *flip-flop* T com *enable* e lógica combinacional.

4 - Construa um *flip-flop* equivalente ao 74x74 (*flip-flop* D disparado pelo bordo ascendente), utilizando um *flip-flop* 74x109 (*flip-flop* J-K disparado pelo bordo ascendente), sem recorrer a lógica adicional.

5 - Analise a seguinte máquina de estados:

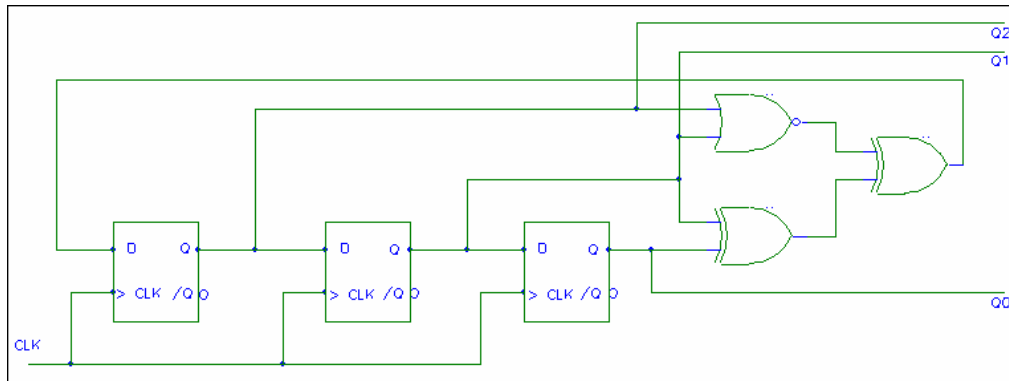


- Escreva as equações de excitação dos *flip-flops*.
- Escreva a tabela de excitação/transição.
- Escreva a tabela de estados/saída.

Utilize para os estados os nomes A-D para  $Q_1Q_2 = 00-11$ .



6 - Analise a máquina de estados seguinte:



- Escreva as equações de excitação.
- Escreva a tabela de excitação/transição.
- Escreva a tabela de estados/saída.
- Desenhe o diagrama de estados.

Utilize para os estados os nomes A-H para  $Q_2Q_1Q_0 = 000-111$ .

7 - Escreva as equações de excitação, as equações de transição, a tabela de excitação/transição e a tabela de estados/saída (assuma os nomes A-D para  $Q_1Q_0 = 00-11$ ). Desenhe o diagrama de estados e um diagrama temporal para CLK, EN,  $Q_1$  e  $Q_0$  para 10 pulsos de relógio, assumindo que a máquina começa no estado 00 e EN está sempre a 1.

