

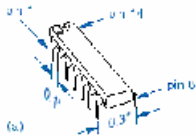


Universidade do Minho
Departamento de Electrónica Industrial

Sistemas Digitais

Exercícios de Apoio - V

**Codificadores/Descodificadores
Multiplexers/Demultiplexers**



1 - Mostre como poderia construir cada uma das seguintes funções lógicas, em que cada função pode ter uma ou duas saídas. Utilize descodificadores 74x138 e 74x139 e portas NAND.

$$\begin{array}{ll} \text{a) } F = \sum_{X,Y,Z} (2,4,7) & \text{b) } F = \prod_{A,B,C} (3,4,5,6,7) \\ \text{c) } F = \sum_{A,B,C,D} (2,4,6,14) & \text{d) } F = \sum_{W,X,Y,Z} (0,1,2,3,5,7,11,13) \\ \text{e) } F = \sum_{W,X,Y} (1,3,5,6) & F = \sum_{A,B,C} (0,4,6) \\ G = \sum_{W,X,Y} (2,3,4,7) & \text{f) } G = \sum_{C,D,E} (1,2) \end{array}$$

2 - Mostre como poderia construir as quatro funções seguintes, não usando mais do que um dispositivo SSI e um dos seguintes integrados MSI: (74x138, 74x139, 74x151, 74x153 e 74x157).

$$\begin{array}{ll} F1 = \bar{X} \bar{Y} \bar{Z} + XYZ & F2 = \bar{X} \bar{Y} Z + XY\bar{Z} \\ F3 = \bar{X} Y \bar{Z} + XY\bar{Z} & F4 = X \bar{Y} \bar{Z} + \bar{X}YZ \end{array}$$

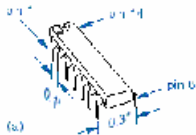
3 - Desenhe os dígitos criados pelo descodificador de sete segmentos 74x49, supondo para as entradas os bits 1010 até 1111.

4 - Projecte um descodificador que implemente a seguinte tabela de verdade:

\overline{CS}	A2	A1	A0	Saída activa
1	X	X	X	Nenhuma
0	0	0	X	\bar{B}
0	0	X	0	\bar{M}
0	0	1	X	\bar{J}
0	0	X	1	\bar{P}
0	1	0	X	\bar{A}
0	1	X	0	\bar{F}
0	1	1	X	\bar{D}
0	1	X	1	\bar{K}

Deverá tentar minimizar o número de componentes a utilizar.

5 - Projecte um circuito combinacional que aceite como entradas dois números inteiros sem sinal, X e Y, e um sinal de controlo MIN/MAX. A saída do circuito deverá ser um inteiro sem sinal de oito bits Z. A saída Z deve ser igual a zero se X=Y. De outro modo, $Z = \min(X, Y)$ se MIN/MAX = 1 e $Z = \max(X, Y)$ se MIN/MAX = 0.



6 - Projecte um multiplexer com cinco entradas - A, B, C, D e E - de 4 bits que selecciona para a saída T uma das entradas, de acordo com a seguinte tabela:

S2	S1	S0	Saída
0	0	0	A
0	0	1	B
0	1	0	A
0	1	1	C
1	0	0	A
1	0	1	D
1	1	0	A
1	1	1	E

Não devem ser utilizados mais do que três ICs.

7 - Pretende-se implementar um circuito para efectuar a adição de dois números de 8 bits, codificados em BCD.

Implemente, utilizando “full-adders” e portas lógicas, um circuito que efectue esta operação.

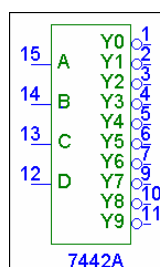
8 - Implemente um multiplexer de 8 entradas e 4 saídas com multiplexers de 2 para 1.

9 - Implemente um multiplexer de 8 para 1 com multiplexers de 2 para 1.

10 - Implemente um circuito que active uma saída quando um número for maior ou igual a outro.

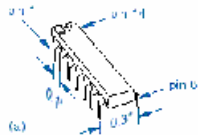
11 - Mostre como 9 decodificadores do tipo 74x138 podem ser combinados para construir um decodificador com 6 linhas de endereço de entrada e 64 linhas de saída.

12 - Dado o decodificador 7442A:



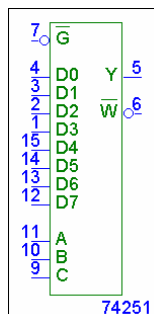
Diga como faria para gerar à custa dele, e eventualmente de *gates* suplementares, a função:

$$F = \sum_{A,B,C,D} (0,1,2,4,8)$$



13 - Mostre como dois decodificadores do tipo 74x138 podem ser utilizados para construir um decodificador com 4 linhas de endereço de entrada e 16 linhas de saída.

14 - Considere o seguinte multiplexar:



Como deverá ligar dois multiplexers destes, de modo a construir um multiplexar com 16 entradas e uma saída?

Use as portas lógicas suplementares que entender necessárias.

15 - Utilize um multiplexar de 8 entradas para gerar a função:

$$a) F = \sum_{A,B,C,D} (0,3,5,6,9,10,12,15)$$

b) Desenhe um logigrama só com NANDs que implemente a mesma função.

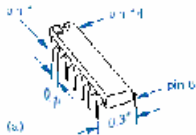
16 - Diga como poderia desmultiplexar 2 bits de dados, A_L e B_L, utilizando um decodificador 74x139.

17 - Utilize um multiplexar de 8 entradas para gerar a função:

$$F = \sum_{A,B,C,D,E} (0-5,10,13,20-25,30,31)$$

18 - Projecte um comparador de 24 bits utilizando 3 CIs 74x682 e a lógica adicional que achar conveniente. O circuito deve poder comparar dois números inteiros, sem sinal, de 24 bits e deve ter duas saídas que indicam P=Q ou P>Q.

19 - Projecte um circuito combinacional que permita obter o número de votantes a favor e o número de votantes contra. Suponha que existem seis pessoas que podem votar simultaneamente, sendo o seu voto sim ou não. O circuito deverá apresentar, num display BCD, o número de votos a favor e contra.



20 - Numa placa de circuito impresso com um microprocessador é necessário instalar diversos periféricos. Nessa placa, quando o microprocessador pretende aceder aos periféricos ou à memória, é necessário gerar um sinal de selecção que indique qual o dispositivo que vai ser contactado. Pretende-se implementar um circuito lógico, o mais simplificado possível (minimizar o nº de CIs), que permita a geração destes sinais de selecção, para o que poderemos utilizar descodificadores de 3 para 8 (CI 74x138), 2 para 4 (CI 74x139), para além das portas lógicas consideradas necessárias.

As tabelas com a forma de activação deste sinal de selecção (“*chip select*”), que se apresentam de seguida, são obtidas de forma a nunca existir conflito; as linhas a utilizar para gerar este sinal correspondem a alguns bits de um conjunto de 18 - A₁₇ a A₀.

Dispositivo	Endereço Hexadecimal	Endereço binário
RAM nº1	30000 a 37FFF	11.0000.0000.0000.0000 a 11.0111.1111.1111.1111
RAM nº2	38000 a 3FFFF	11.1000.0000.0000.0000 a 11.1111.1111.1111.1111
8155 nº1	0C000 a 0DFFF	00.1100.0000.0000.0000 a 00.1110.1111.1111.1111
8155 nº2	00000 a 07FFF	00.0000.0000.0000.0000 a 00.0111.1111.1111.1111
8155 nº3	1E000 a 1FFFF	01.1110.0000.0000.0000 a 01.1111.1111.1111.1111
8155 nº4	1A000 a 1BFFF	01.1010.0000.0000.0000 a 01.1011.1111.1111.1111
ADC 8017	10000 a 17FFF	01.0000.0000.0000.0000 a 01.0111.1111.1111.1111
DAC 7011 nº1	28000 a 29FFF	10.1000.0000.0000.0000 a 10.1001.1111.1111.1111
DAC 7011 nº2	2C000 a 2DFFF	10.1100.0000.0000.0000 a 10.1110.1111.1111.1111
Relógio	20000 a 27FFF	10.0000.0000.0000.0000 a 10.0111.1111.1111.1111
Display LCD	1C000 a 1DFFF	01.1100.0000.0000.0000 a 01.1110.1111.1111.1111