

Verilog 第 二 次实验报告

实验名称	Verilog 第二次实验				
学生姓名	邢清画	学号	2211999	指导老师	董前琨
实验地点	综合实验楼 A 308		实验时间	2023. 11. 8	

1、用自己的话总结 always 语句和 assign 语句的区别。

(1) **assign**: 用于描述组合逻辑。用连续赋值语句，信号之间的关系在等号右边的式子中算出来用导线连接到等号左边，右边是表达式，左边是值。每个实例元件的名字必须唯一。

(2) **always** 后面有一个信号变化，begin 和 end 之间的语句就执行一遍，其块语句常用于描述时序逻辑，也可描述组合逻辑。可用 if-else 语句或 case 等多种手段来表达逻辑关系 assign 是连线，always 语句是触发，二者不要相互嵌套。

2、请写出下面三个常数的 32 位宽的二进制、十进制、八进制、十六进制数的表示。

65534, -5, 所有 16 的倍数 (不用八进制)

(1) 65534

32' b0000_0000_0000_0000_1111_1111_1111_1110

32' d6_5534

32' o17_7776

32' h0000_FFFE

(2) -5

-32' b0000_0000_0000_0000_0000_0000_0000_0101

-32' d5

32' o0000_0000_0000_0000_0000_0377_7777_7773

32' hFFFF_FFFB

(3) 16 的倍数

32' bxxxx_xxxx_xxxx_xxxx_xxxx_xxxx_0000

32' dn (n=16i, i=1, 2, 3...)

32' hxxxx_xxx0

3、用自己的话总结 reg 类型变量和 wire 类型变量的区别。

(1) **reg**: 用于在 always 块内存储和操作值，通常用于描述可存储的硬件元素 (如寄存器)。往往代表触发器，也可以是组合逻辑信号。可以锁存一位信号 (暂时放数)，里面存储数据直到下次修改它。共有 m 个 reg 型向量，每个向量位宽为 n。

(2) **wire**: 用于连接模块或传递 assign 语句的值，用于描述硬件中的连线，即不可存储的逻辑连接。共有 m 条总线，每条总线位宽为 n。

4、完成第三页 PPT 中的真值表。

a	b	c	x	d
0	0	0	0	0
0	0	1	0	0
0	1	0	1	1
0	1	1	0	0
1	0	0	0	1
1	0	1	0	1
1	1	0	1	1
1	1	1	0	1