**Verilog第 5 次实验报告**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 实验名称 | 实现不同位加法器 | | | | |
| 学生姓名 | 邢清画 | 学号 | 2211999 | 指导老师 | 董前琨 |
| 实验地点 | 津南实验楼A区308 | | 实验时间 | 2023年11月29日 | |

1. **实验项目名称**

统计32位2进制数0和1出现的次数

1. **实验目的**

本实验旨在运用Verilog语言自行设计一个模块，完成统计32位二进制数中0和1出现的次数。这个任务要求我们可以运用所学的Verilog程序设计知识，特别是赋值语句、块语句、条件语句等，来实现一个计数器模块。通过这个实验，能够更好地理解和掌握Verilog语言的基本语法和使用方法，并在实际的编程实践中加深对数字逻辑设计的理解​

1. **必修或选修**

选修

1. **实验平台**

Vivado

1. **实验内容及步骤**

**实验内容：**

1. 定义了一个counter01模块，有一个32位的输入cin，两个输出sum0和sum1，分别用于输出0和1出现的次数。
2. 在always块中，使用一个循环来遍历32位的输入cin，对每一位进行判断，如果是0则sum0加1，如果是1则sum1加1。
3. 用random得到一个随机的三十二位二进制cin，带入counter01的函数中，获得该数中0和1的次数。

代码如下：

module counter01(input [31:0]cin,

output reg[6:0]sum0,

output reg[6:0]sum1 );

integer i;//定义一个整数i

always@(cin[31:0])

begin

sum0=0;//令sum0=0，sum1=0

sum1=0;

for(i=0;i<32;i=i+1)//循环32次，判断cin每位上为0还是1

begin

if(cin[i]==0)

begin

sum0=sum0+1;//如果num该位上为0则time0+1

end

else

begin

sum1=sum1+1;//如果num该位上为1则time1+1

end

end

end

endmodule

module tb01( );

reg [31:0]cin;

wire [6:0]sum0;

wire [6:0]sum1;//输入cin，输出sum0，sum1

counter01 utt(cin,sum0,sum1);

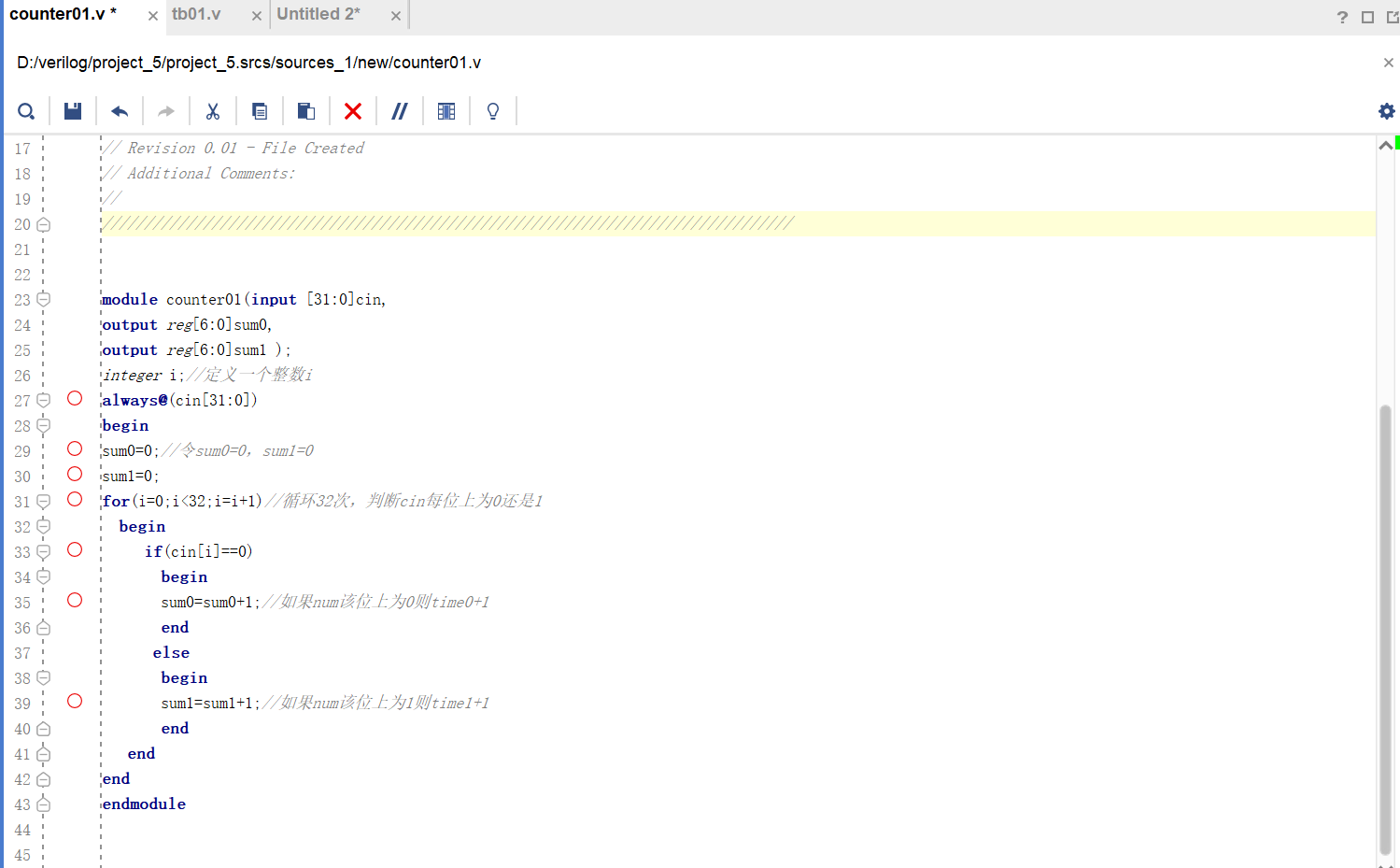
initial begin

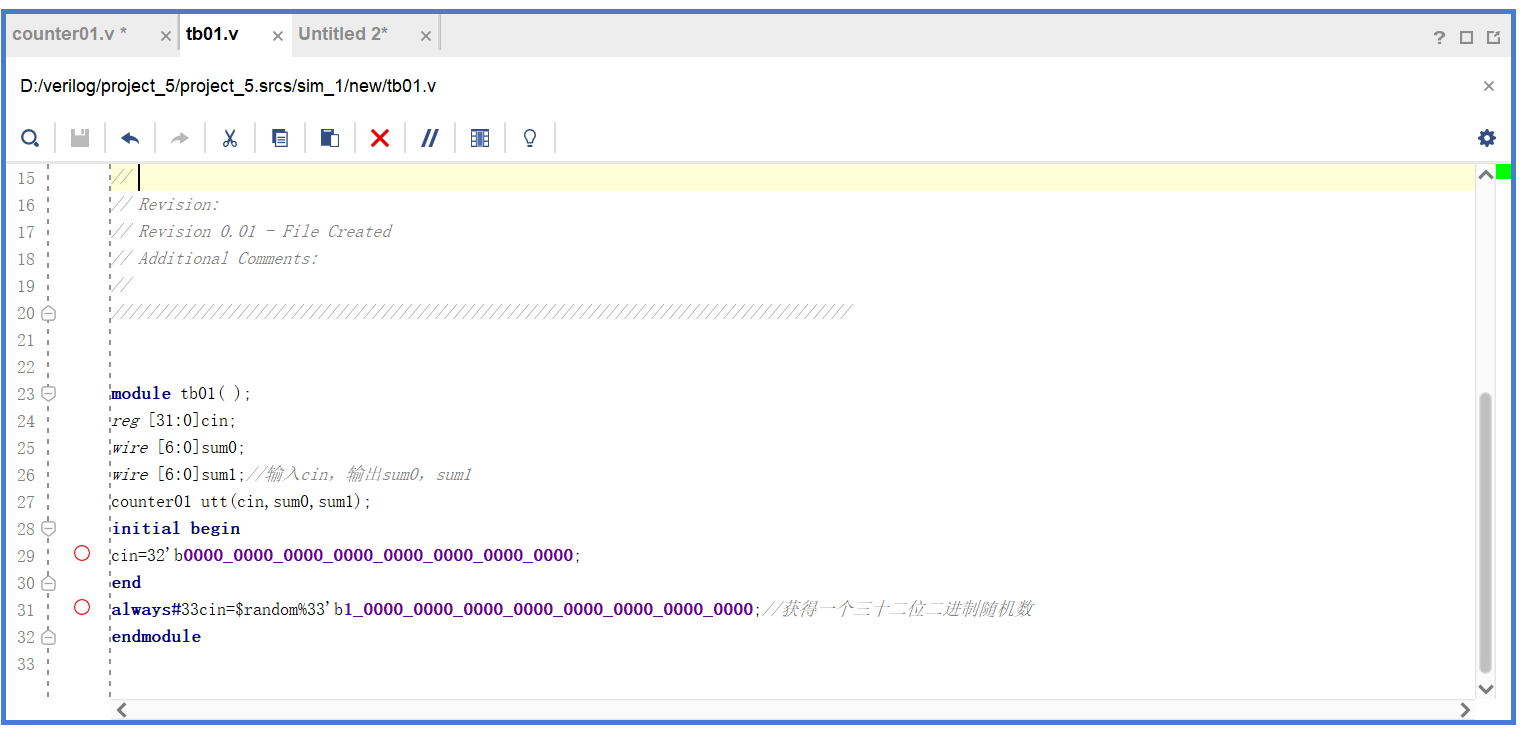
cin=32'b0000\_0000\_0000\_0000\_0000\_0000\_0000\_0000;

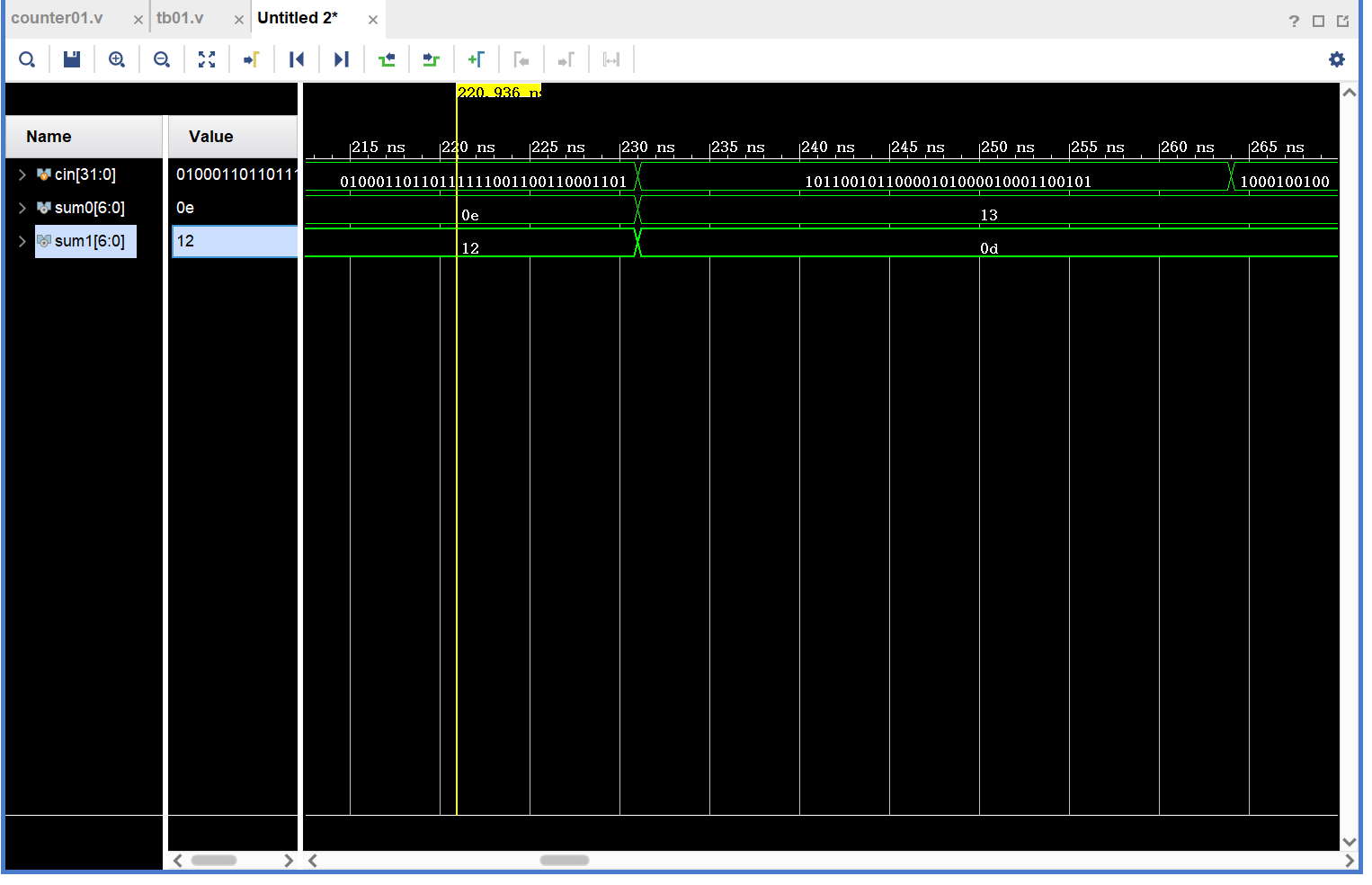
end

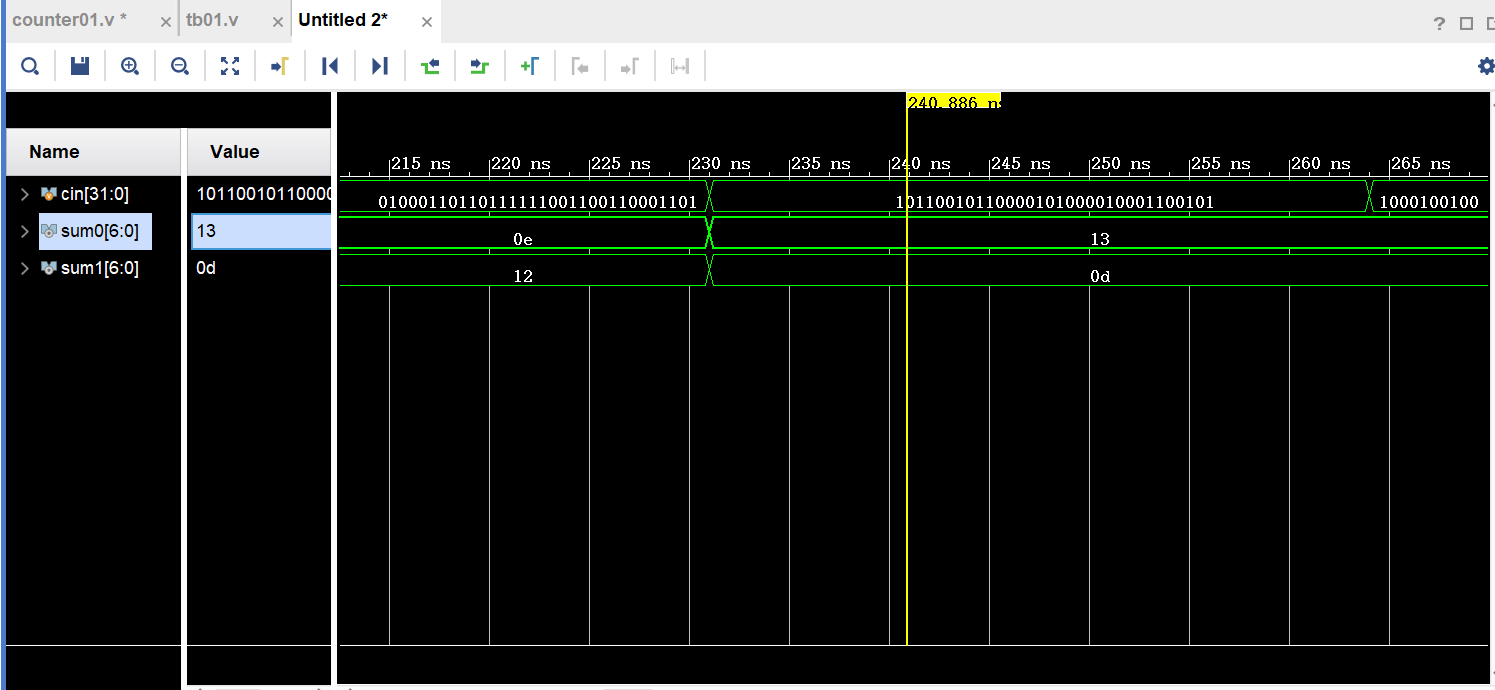
always#33cin=$random%33'b1\_0000\_0000\_0000\_0000\_0000\_0000\_0000\_0000;//获得一个三十二位二进制随机数

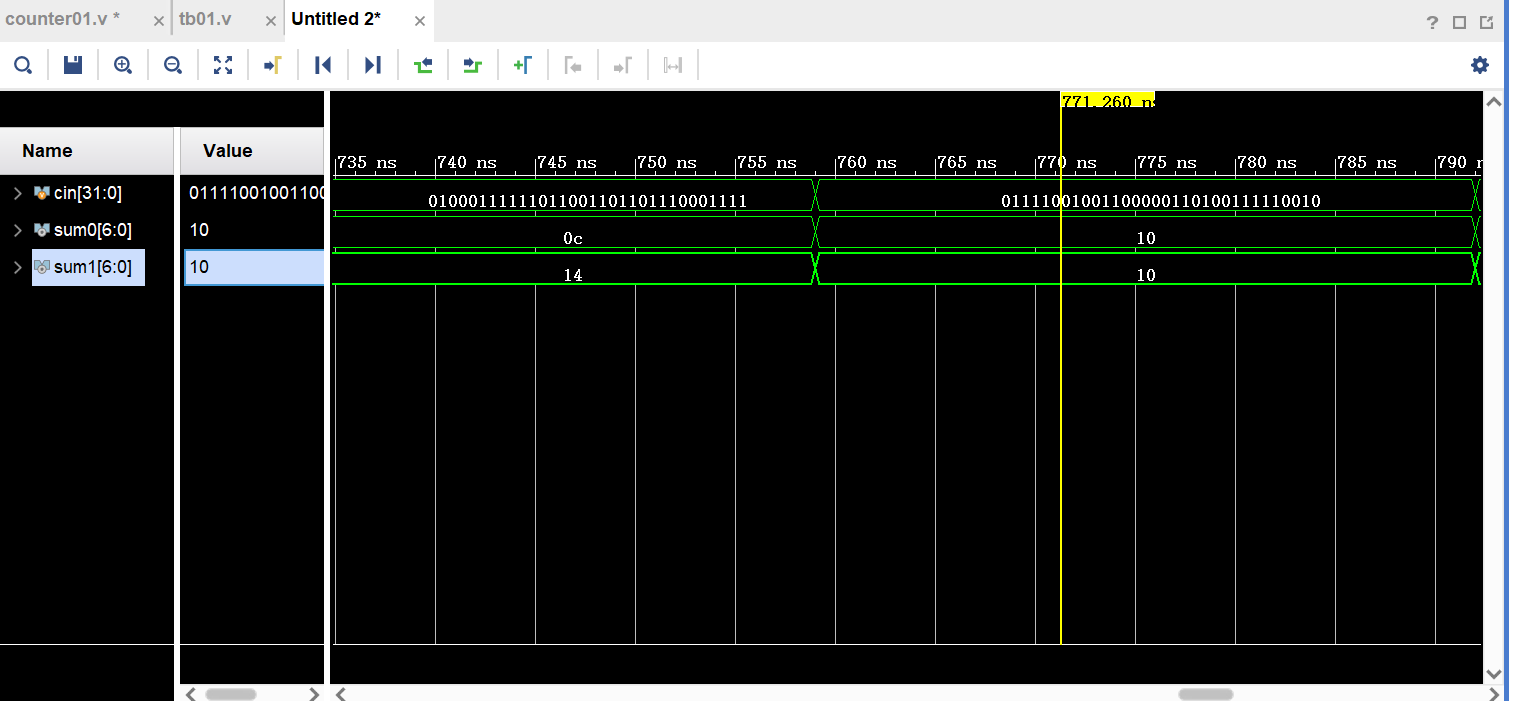
endmodule





1. **关键问题讨论**





如上波形图所示：在这个模块中

图1：cin= 00011110100011011100110100111101，其中sum0=0e(16进制)=14，sum1=12(16进制)=18,加和结果为32，结果正确。

图2：cin= 10001001001100101101011000010010，其中sum0=13(16进制)=19，sum1=0d(16进制)=13,加和结果为32，结果正确

图3：cin= 01111001001100000110100111110010，其中sum0=10(16进制)=16，sum1=10(16进制)=10,加和结果为32，结果正确

七、**总结**

更加深入理解Verilog硬件描述语言在设计和验证数字电路中的应用。 学习了for循环语句，并使用在对32位输入遍历和判断中，实现对于0和1个数的统计。reg通常用于存储状态或中间计算结果， wire只能用于连接各个逻辑元素而不能用于存储状态。