**Verilog第 6 次实验报告**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 实验名称 | 32位二进制数的乘法器 | | | | |
| 学生姓名 | 邢清画 | 学号 | 2211999 | 指导老师 | 董前琨 |
| 实验地点 | 津南实验楼A区308 | | 实验时间 | 2023年12月6日 | |

1. **实验项目名称**
2. 完成一个32位二进制数的乘法器
3. **实验目的**

实现一个32位二进制数的乘法器。通过这个实验，将学习如何使用Verilog编程语言中的循环语句来执行乘法运算。具体来说，这需要掌握如何利用for循环遍历二进制数的每一位，进行位运算和累加操作，从而实现两个二进制数的乘法。这个实验不仅强化了对循环结构的理解，也加深了对位运算在数字逻辑设计中的应用知识。

1. **必修或选修**

选修

1. **实验平台**

Vivado

1. **实验内容及步骤**

**实验内容：**

利用循环语句，完成一个32位二进制数的乘法器

代码如下：

module mul32(

input [32:1]a,

input [32:1]b,

output reg[64:1]outcom );

integer i;

always@(a or b)

begin

outcom=0;

for(i=1;i<=32;i=i+1)

begin

if(b[i])

begin

outcom=outcom+(a<<(i-1));

end

end

end

endmodule

module tb();

reg [32:1]a;

reg [32:1]b;

wire [64:1]outcom;

mul32 utt(a,b,outcom);

initial begin

a=32'b0000\_0000\_0000\_0000\_0000\_0000\_0000\_0000;

b=32'b0000\_0000\_0000\_0000\_0000\_0000\_0000\_0000;

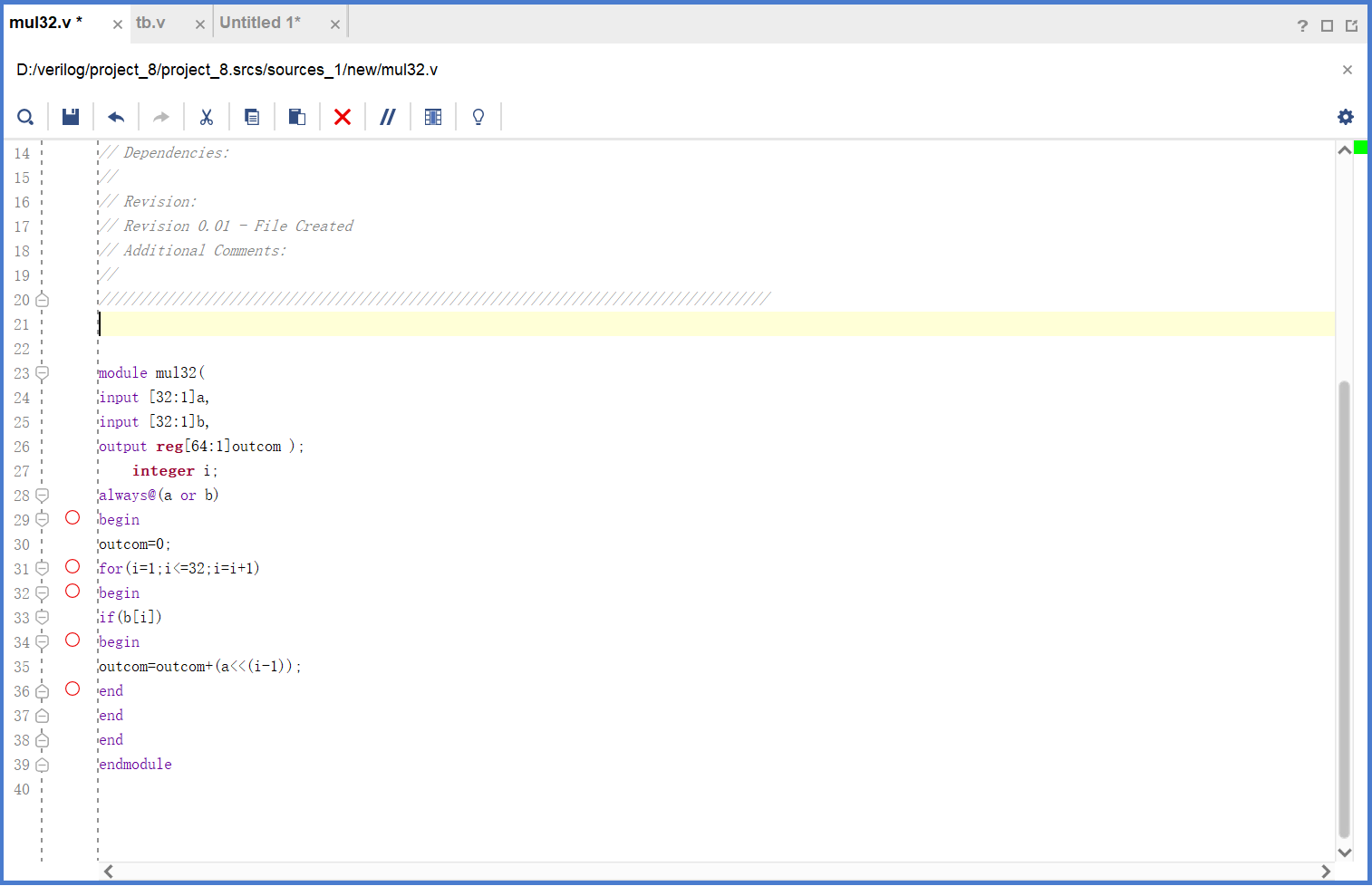
end

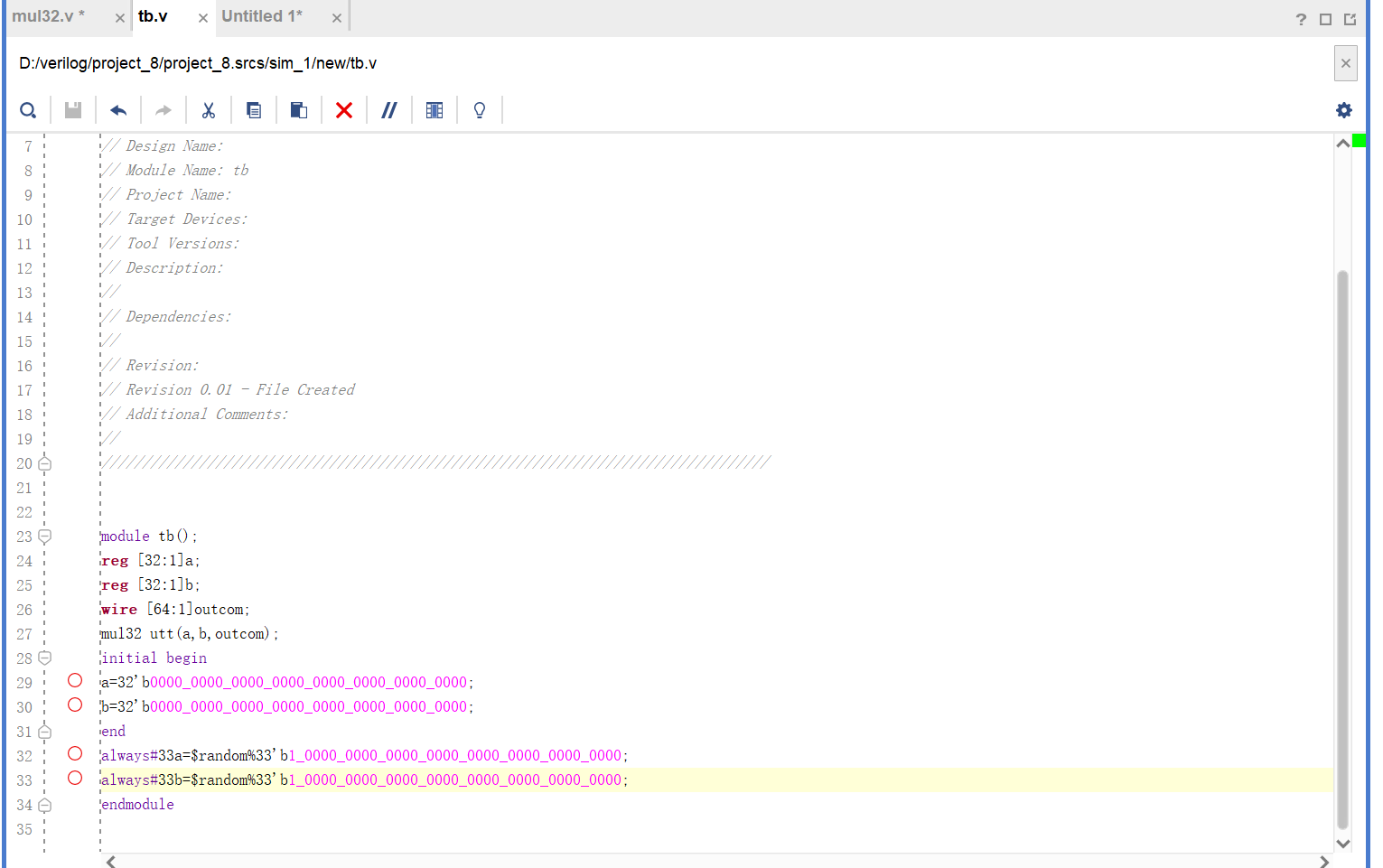
always#33a=$random%33'b1\_0000\_0000\_0000\_0000\_0000\_0000\_0000\_0000;

always#33b=$random%33'b1\_0000\_0000\_0000\_0000\_0000\_0000\_0000\_0000;

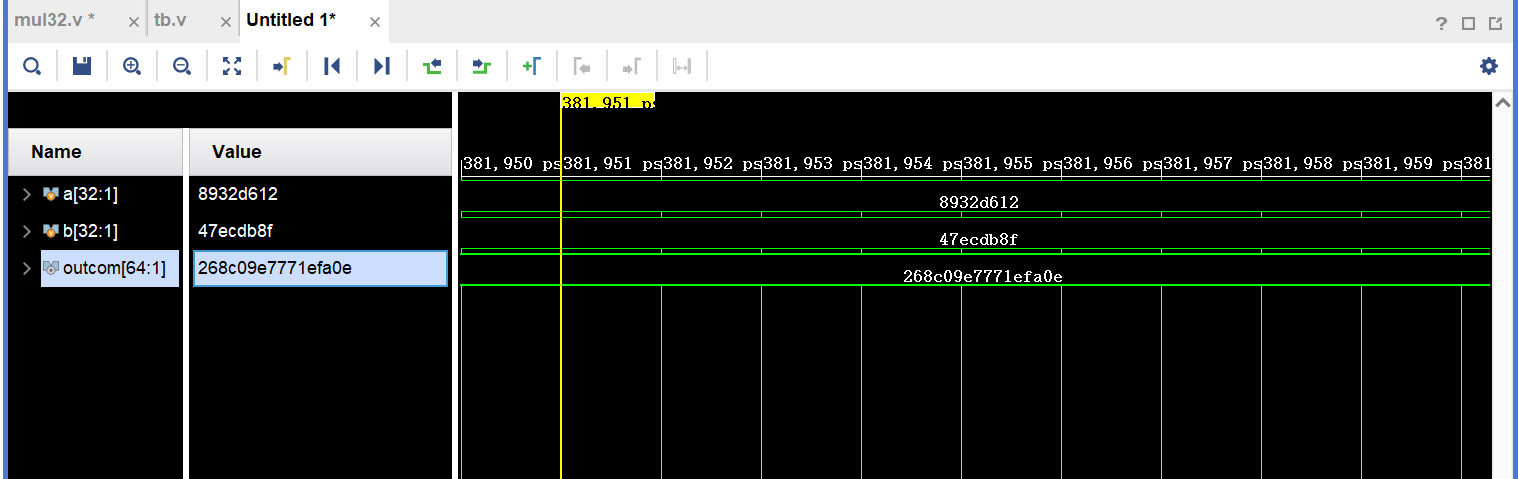
endmodule

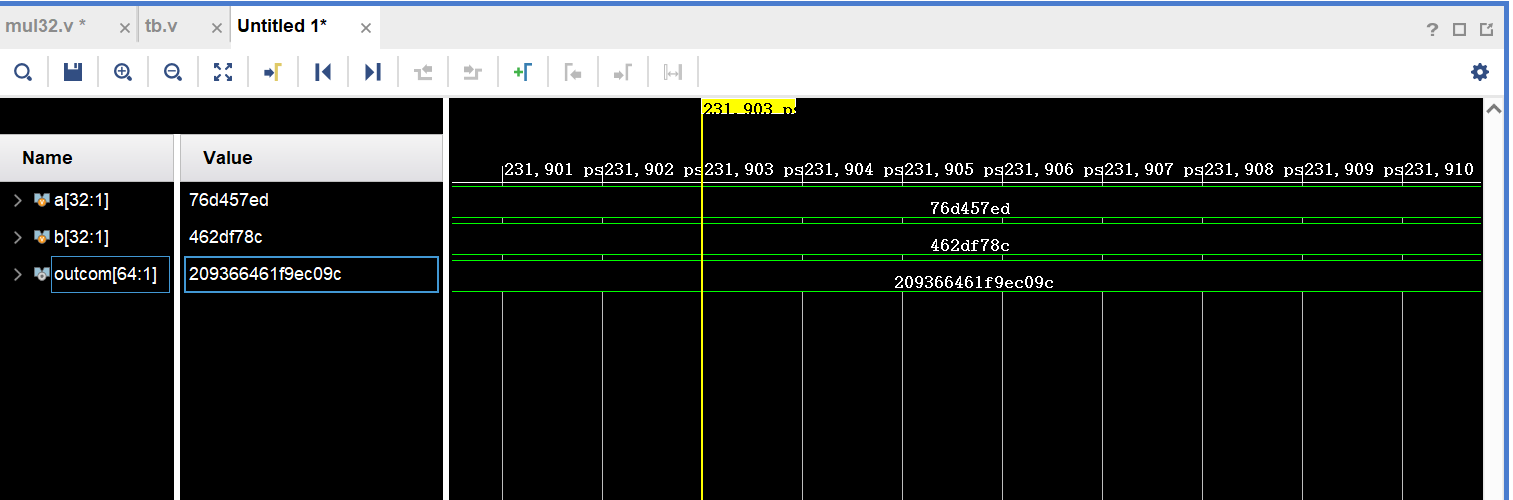
1. **关键问题讨论**





上图为代码，下图为波形图





如上波形图所示，以十六进制显示：在这个模块中

图1：a= 8932d612,b= 47ecdb8f,a\*b= 268c09e7771efa0e,结果正确。

图2：a= 76d457ed,b= 462df78c,a\*b= 209366461f9ec09c,结果正确

七、**总结**

通过本次实验，练习使用了循环语句，加深了对语法的理解和记忆，更好的掌握了always和for的用法，在always块语句中更好的理解组合逻辑的基本原理，实现了逐位相乘和累加的乘法运算。实验不仅强化了对循环结构的理解，也加深了对位运算在数字逻辑设计中的应用知识。