數位系統實驗期末作業

班級:資工一B 姓名:黃靖登 學號:110502544

選擇題(每題2分)

1. 請問有一個不是敘述方法為序向邏輯指令
2. Case-When (b) When-else (c) For-Loop (d) If-then-else
3. 請問 Signal B,C :Integer range 0 to 7;為幾位元數值宣告

(a) 3 (b) 6 (c) 8 (d)10

3. 請問自由計數器只能處理除多少的除頻電路

(a)N (b) (c) (d)

4. 請問Mealy狀態機的狀態跟下列何者有關

(a) 輸出 (b) 輸入 (c) 輸入與輸出 (d) 兩者皆無關

5. 請問要用何種敘述方式來中斷某次迭代的迴圈運算

(a) NEXT (b) NULL (c) LOOP (d) EXIT

簡答題(每題5分):

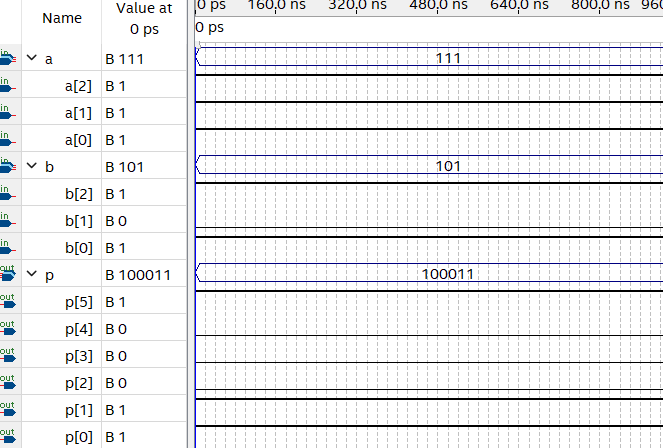
1. 為什麼需要除頻器?
2. 同步電路和非同步電路的區別?

程式題(每題20分)

1. 請用VHDL語言設計一個3\*3的乘法器，如下圖所示

並將專案建立打包連答案卷一起壓縮上傳(可以都放在同一專案)，並建立波形模擬檔(10分)、VHDL檔(10分)

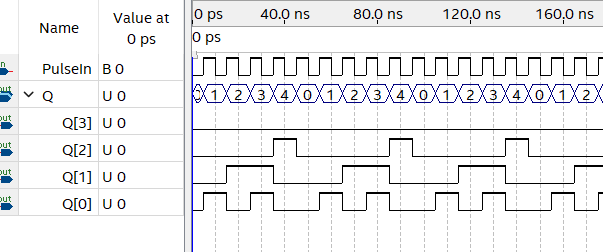
需要將程式截圖跟波型模擬截圖貼到答案卷中



1. 在第八章作業中除N計數器設計，如果是要改成5就歸零的話要怎麼寫?

並將專案建立打包連答案卷一起壓縮上傳(可以都放在同一專案)，並建立波形模擬檔(10分)、VHDL檔(10分)

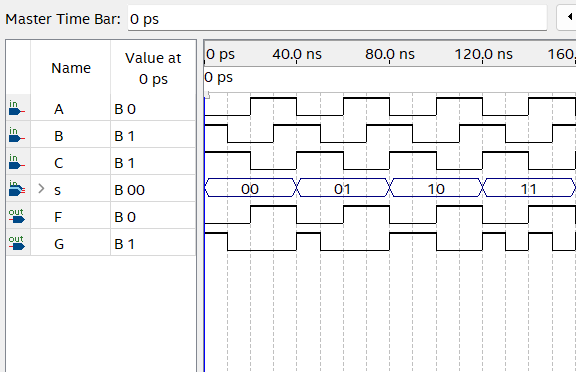
需要將程式截圖跟波型模擬截圖貼到答案卷中



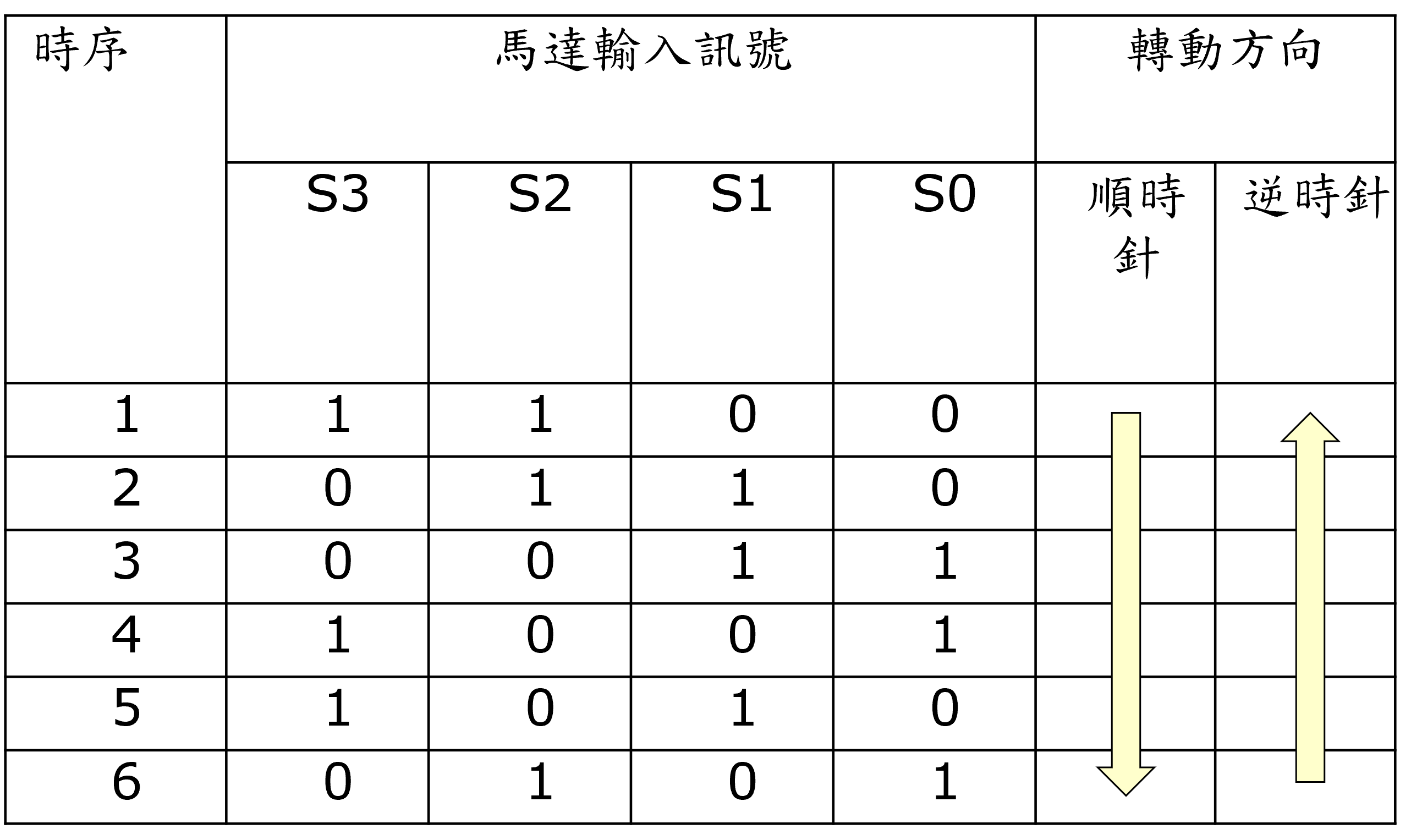
1. 根據下圖電路設計出下列VHDL程式碼

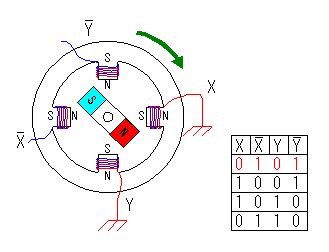
並將專案建立打包連答案卷一起壓縮上傳(可以都放在同一專案)，並建立波形模擬檔(10分)、VHDL檔(10分)

需要將程式截圖跟波型模擬截圖貼到答案卷中

1. 設計題:一個兩相的步進馬達的控制方式如下， 例如要令馬達順時針轉動，須持續送出1100, 0110,0011,1001, 1010,0101訊號；若要令馬達逆時針轉動，則須送出0101,1010,1001, 0011, 0110, 1100訊號。





控制器規格如下：

Input : START(馬達啟動), DIR(馬達轉動方向1:代表順時針 0:代表逆時針),clk(正緣觸發↑)

Output : S3,S2,S1,S0(馬達輸入訊號)

程式跟GRAFCET設計可以參考第10章ppt跟作業，GRAFCET可用ppt或是viso或是平版畫沒有限制

請用GRAFCET設計控制器離散事件模型(10分)並撰寫VHDL檔(需要符合GRAFCET做動流程)並將專案建立打包連答案卷一起壓縮上傳(可以都放在同一專案)，並建立波形模擬檔(5分)、VHDL檔(5分)

需要將GRAFCET截圖、程式截圖、跟波型模擬截圖貼到答案卷中

數位系統實驗期末作業答案

選擇題:

1. (b)
2. (a)
3. (b)
4. (b)
5. (a)

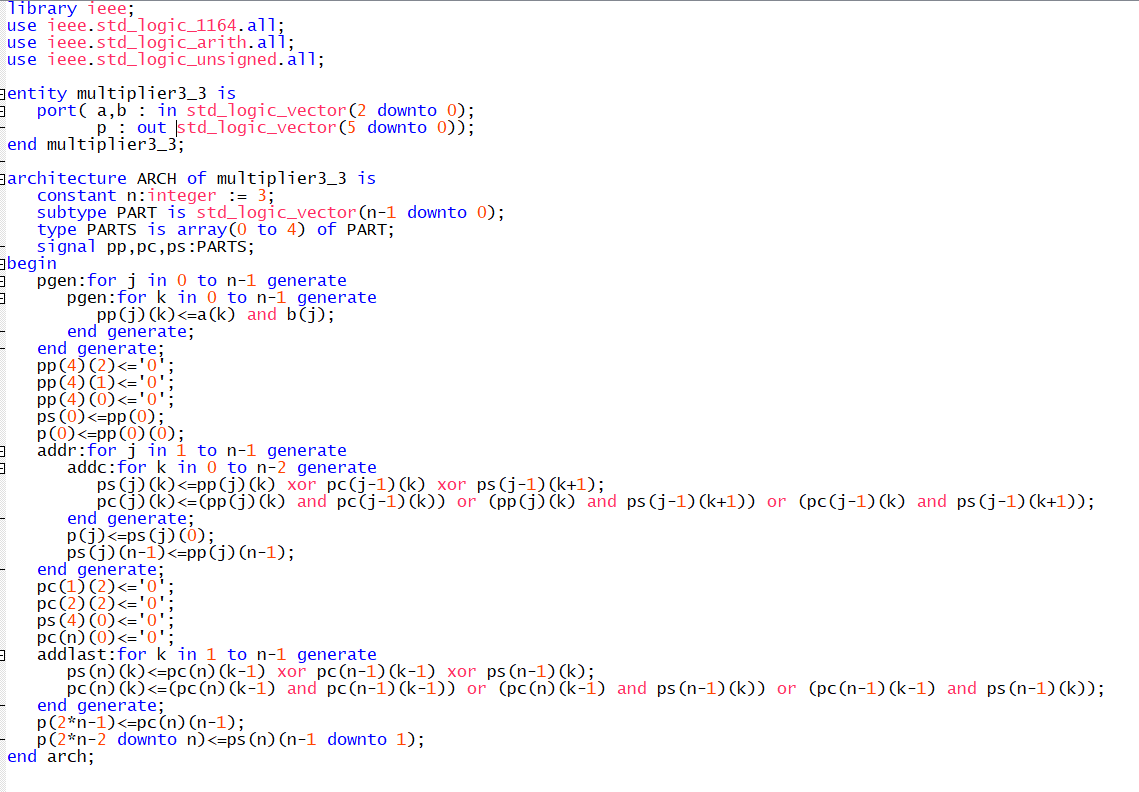
簡答題:

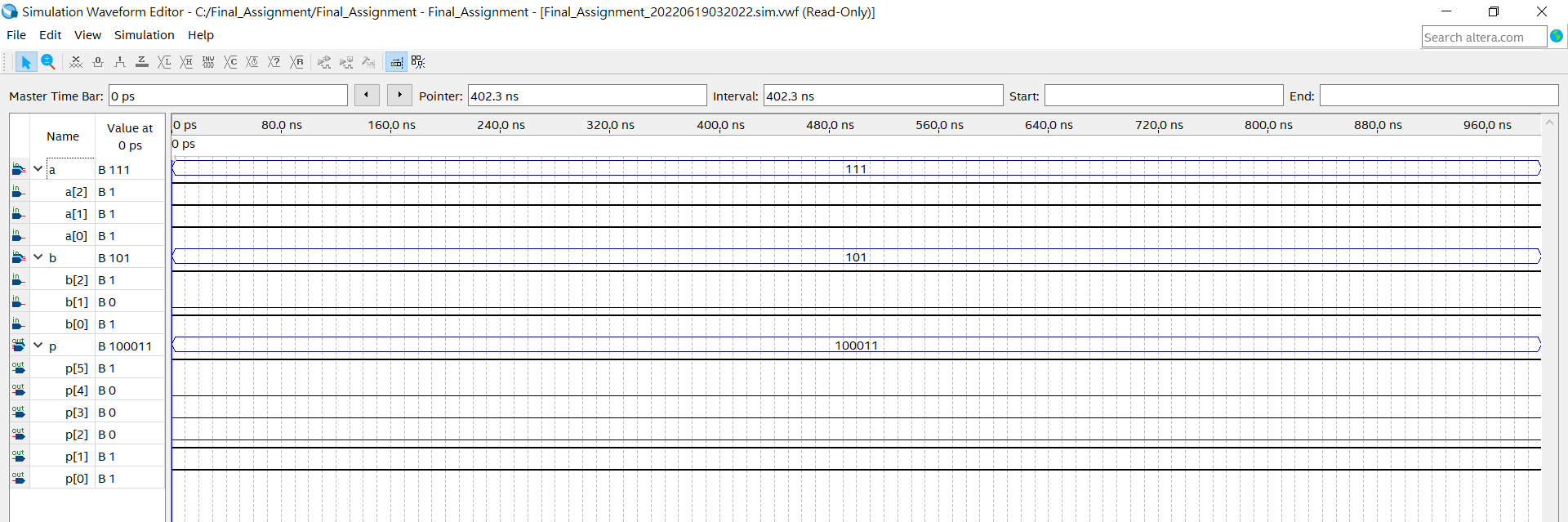
1. 使訊號的週期變長，頻率降低使雜訊減少且耗電量低

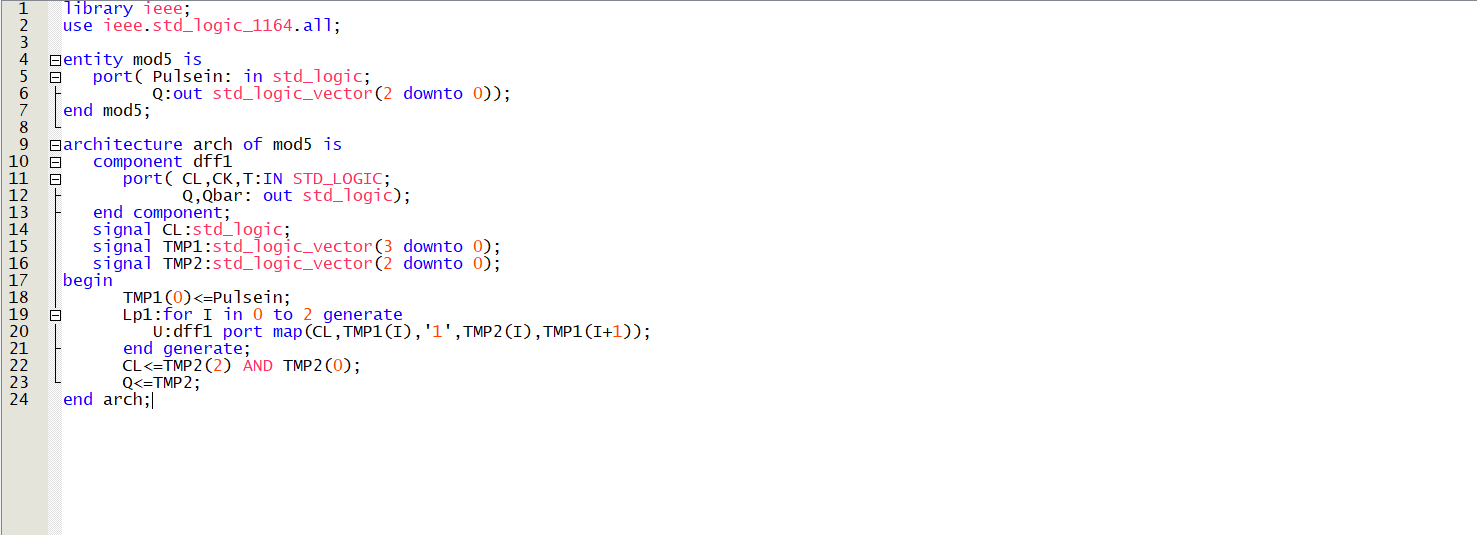
(1)原理不同：同步電路利用時鐘脈衝使其子系統同步運作，而非同步電路不使用時鐘脈衝做同步，其子系統是使用特殊的“開始”和“完成”訊號使之同步。

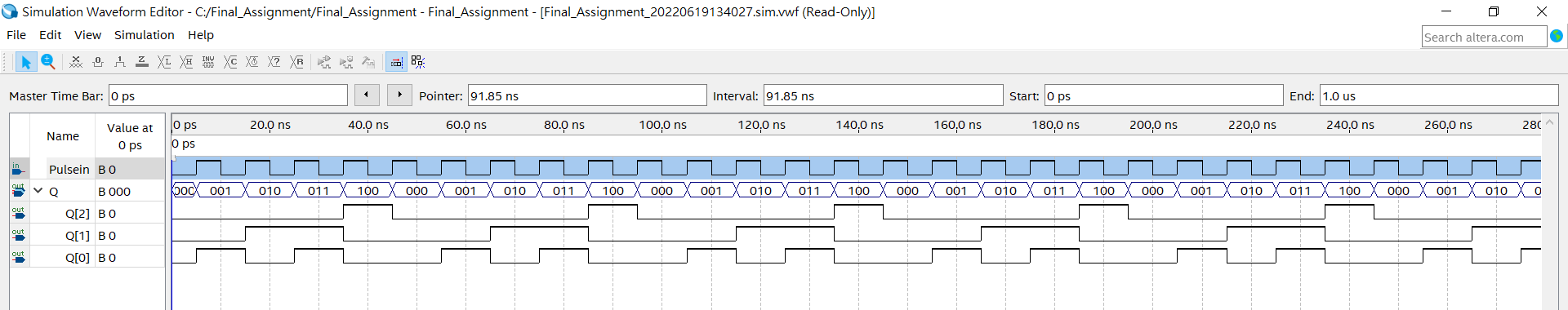
(2)優點不同：非同步電路的優點--無時鐘歪斜問題、低電源消耗、平均效能而非最差效能、模組性、可組合和可複用性。同步電路是由時序電路(暫存器和各種觸發器)和組合邏輯電路構成的電路，其所有操作都是在嚴格的時鐘控制下完成的。這些時序電路共享同一個時鐘CLK，而所有的狀態變化都是在時鐘的上升沿(或下降沿)完成的，因此方便debug和管理

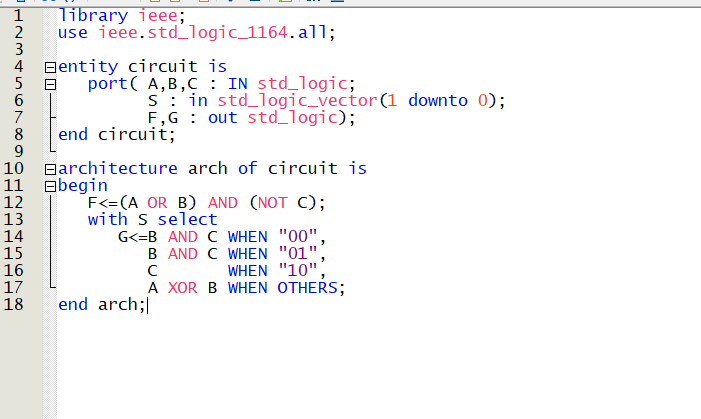
程式題:

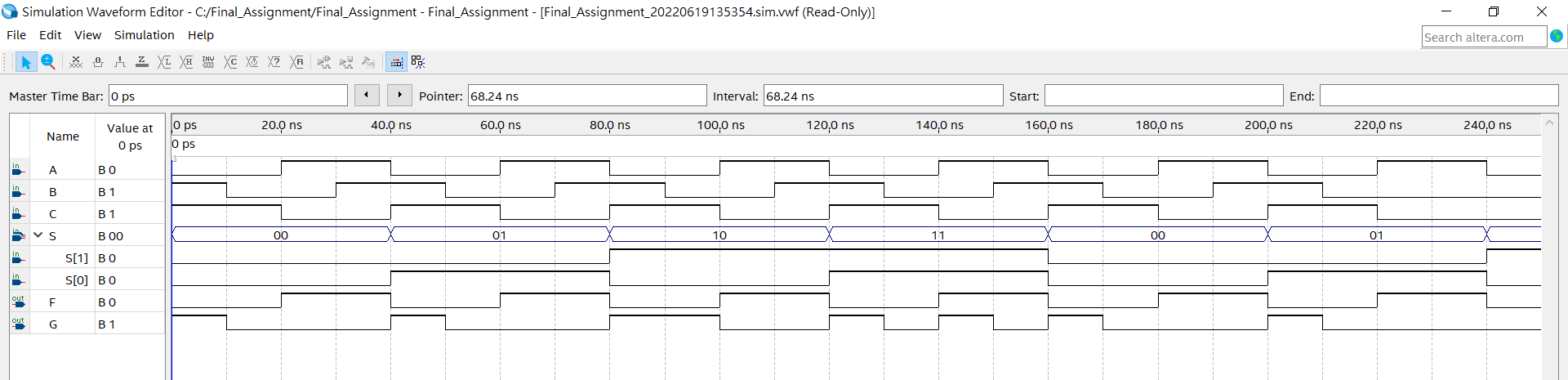












4.

