

# Výstupní zpráva

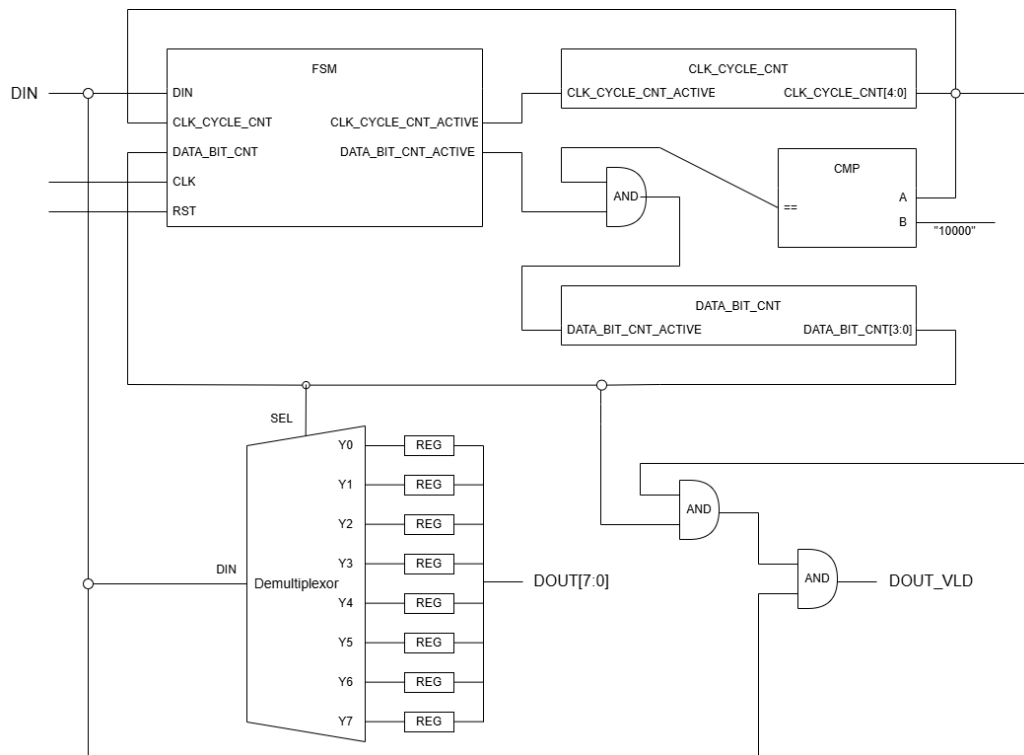
Jméno: Jan Kai Marek

Login: xmarekj00

2. května 2025

# Architektura navrženého obvodu (na úrovni RTL)

## Schéma obvodu



## Popis funkce

Komponenty:

- **FSM** - řídí chování obvodu skrze 4 definované stavy měnící se na základě vstupů
- **CLK\_CYCLE\_CNT** - čítač počítající hodinové cykly
- **DATA\_BIT\_CNT** - čítač přijatých datových bitů
- **Demultiplexor** - přiřazuje do konkrétních registrů hodnoty vstupu DIN, které poté dohromady tvoří výstup na DOUT

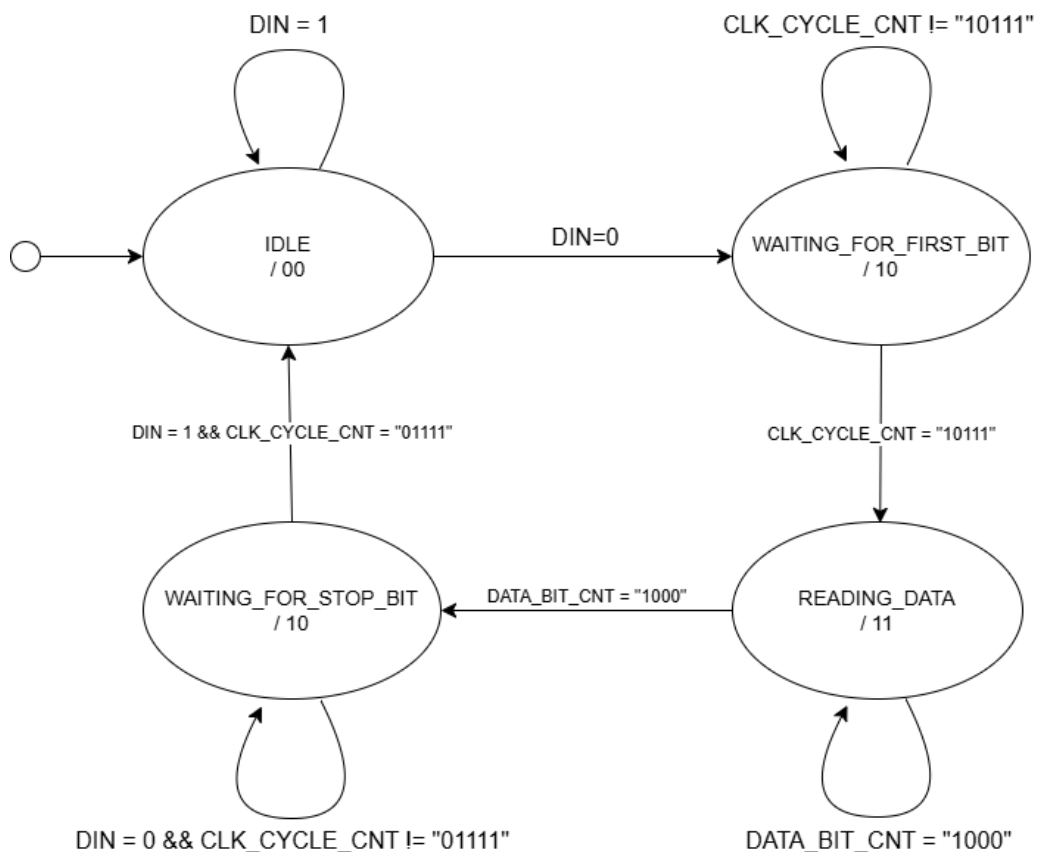
Funkcionalita:

Obvod se skládá z konečného automatu FSM, čítače hodinových cyklů

CLK\_CYCLE\_CNT, čítače přijatých datových bitů DATA\_BIT\_CNT a demultiplexoru. Příchodem start-bitu se obvod přepíná z pasivního stavu IDLE do stavu WAITING\_FOR\_FIRST\_BIT, ve kterém vyčkává 23 cyklů hodin. Následuje začátek přenosu dat skrze DATA\_BIT\_CNT\_ACTIVE a READING\_DATA stav. Obvod poté přijímá 8 bitů dat, mezi kterými vždy uběhne 16 hodinových cyklů - při každém přenosu je DATA\_BIT\_CNT zvýšen o 1. Demultiplexor posílá datový vstup DIN na jeden z osmi datových výstupních registrů. Validace dat je ověřena skrze DOUT\_VLD, jehož hodnota je určována na základě STOP BITU ( $DIN = 1$ ) v posledním stavu WAITING\_FOR\_STOP\_BIT, po kterém se obvod přepíná zpět do začátečního stavu IDLE.

## Návrh automatu (Finite State Machine)

### Schéma automatu



### Popis funkce

Moorovy výstupy:

- CLK\_CYCLE\_CNT\_ACTIVE - spouštěč hodinového čítače
- DATA\_BIT\_CNT\_ACTIVE - spouštěč čítače bitů dat

Stavy:

- IDLE - obvod je ve výchozím neaktivním stavu
- WAITING\_FOR\_FIRST\_BIT - obvod je aktivovaný a vyčkává na první datový bit
- READING\_DATA - obvod postupně čte jednotlivé datové bity

- WAITING\_FOR\_STOP\_BIT - obvod vyčkává na poslední, validační bit

Funkcionalita:

Obvod se na začátku nachází ve stavu IDLE, ve kterém je neaktivní. Aktivace probíhá skrze příjem prvního bitu (logické 0) a přechází do stavu WAITING\_FOR\_FIRST\_BIT, kde vyčkává na příjem prvního datového bitu. Následně se obvod přesouvá do stavu READING\_DATA, ve kterém probíhá příjem 8 bitů dat. Následuje ověření (validace) dat, která je realizována vyčkáním a přijmutím stop-bitu ve stavu WAITING\_FOR\_STOP\_BIT. Obvod následně opět přechází zpět do stavu IDLE.

Snímek obrazovky ze simulací

