

Fakulta informačních technologií VUT v Brně

Filtrácia a segmentácia obrazu

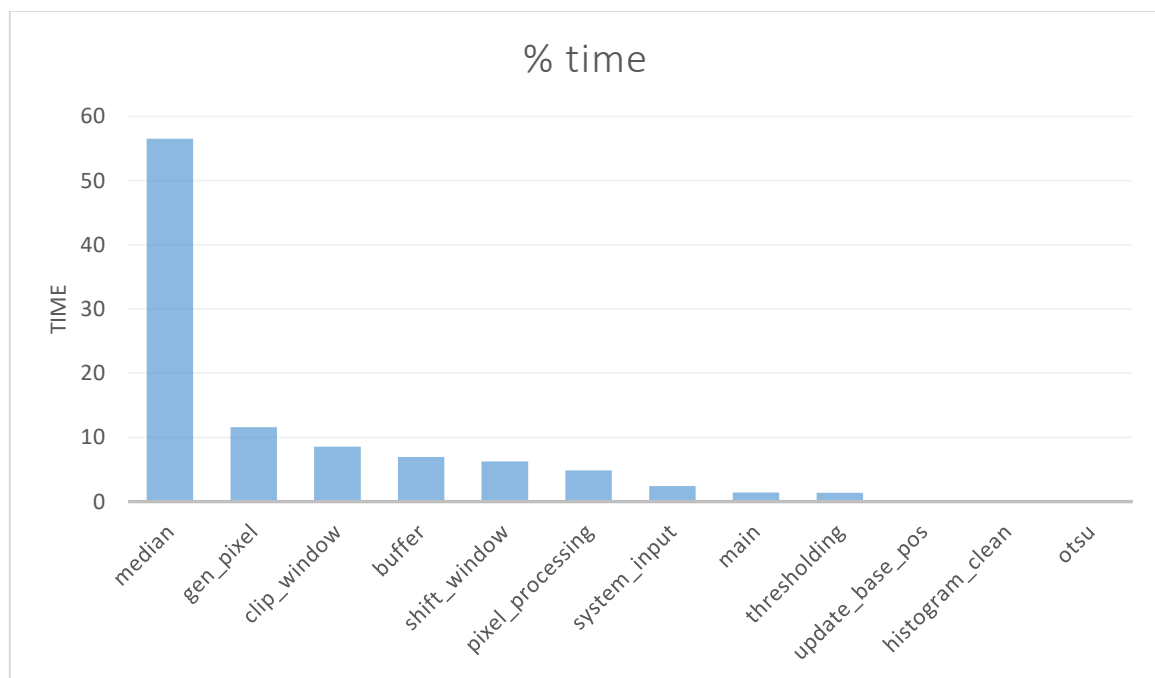
Hardware/Software Codesign

2017/2018

Michal Ondrejó
xondre08

1. Gprof:

name	% time	cumulative seconds	self seconds	self calls	total us/call	us/call
median	56,5	3,98	3,98	38476479	0,1	0,1
gen_pixel	11,6	4,79	0,82	38476800	0,02	0,02
clip_window	8,54	5,4	0,6	38476800	0,02	0,02
buffer	6,97	5,89	0,49	38476800	0,01	0,01
shift_window	6,26	6,33	0,44	38476800	0,01	0,01
pixel_processing	4,84	6,67	0,34	38476800	0,01	0,16
system_input	2,42	6,84	0,17	38476800	0	0,04
main	1,42	6,94	0,1			
thresholding	1,35	7,03	0,1	38476479	0	0
update_base_pos	0,14	7,04	0,01	501	20	20
histogram_clean	0,07	7,05	0,01	50	100,19	100,19
otsu	0	7,05	0	50	0	0



2. Vlastnosti obvodu v FPGA

Number of Slice Flip Flops: 505 out of 1,536 32%
Number of 4 input LUTs: 1,211 out of 1,536 78%
Number of occupied Slices: 766 out of 768 99%
Inicalization Interval 4
Latency 4

3. Porovnanie čisto softwarovej implementácie na mikrokontrolére MSP430 a implementácie rozdelenej medzi hardware a software

	SW	SWHW
Doba spracovania jedného pixelu	247 μ s	160ns
Počet bodov spracovaných za sekundu	4048.583	6250000
Zrýchlenie	1	1543.75

4. Zhrnutie

Kombinácia hardwarovej a softwarovej implementácia je oproti čisto softwarovej viac ako 1500 krát rýchlejšia kvôli veľkej paralelizácii. Kvôli veľmi malému pamäťovému priestoru v FPGA bolo nutné všetky premenné obmedziť na minimálny počet bitov a teda neumožňuje ani umiestenie ďalších funkcií do FPGA, čo by umožnilo dosiahnuť ešte väčšie zrýchlenie.