

Министерство образования Республики Беларусь

Учреждение образования
«Белорусский государственный университет
информатики и радиоэлектроники»

Факультет компьютерных систем и сетей

Кафедра электронных вычислительных машин

Дисциплина: Арифметические и логические
основы вычислительной техники

К ЗАЩИТЕ ДОПУСТИТЬ

_____ Ю. А. Луцик

ПОЯСНИТЕЛЬНАЯ ЗАПИСКА
к курсовой работе
на тему

ПРОЕКТИРОВАНИЕ И ЛОГИЧЕСКИЙ СИНТЕЗ СУММАТОРА-
УМНОЖИТЕЛЯ ДВОИЧНО-ЧЕТВЕРИЧНЫХ ЧИСЕЛ

БГУИР КР 1-40 02 01 207 П3

Студент

Р.А. Якунин

Руководитель

Ю. А. Луцик

МИНСК 2020

Министерство образования Республики Беларусь

Учреждение образования
«Белорусский государственный университет
информатики и радиоэлектроники»

Факультет компьютерных систем и сетей

Кафедра электронных вычислительных машин

Дисциплина: Арифметические и логические основы
вычислительной техники

УТВЕРЖДАЮ
Заведующий кафедрой ЭВМ
_____ Б. В. Никульшин
«___» _____ 2021 г.

ЗАДАНИЕ
по курсовой работе студента
Якунина Романа Александровича

- 1** Тема работы: Проектирование и логический синтез сумматора-умножителя двоично-четверичных чисел.
- 2** Срок сдачи студентом законченной работы: 1 июня 2021 г.
- 3** Исходные данные к работе:
 - 3.1** исходные сомножители: $M_n = 32,17$; $M_t = 43,34$.
 - 3.2** алгоритм умножения: А.
 - 3.3** метод умножения: умножение закодированного двоично-четверичного множимого на два разряда двоичного множителя одновременно в прямых кодах.
 - 3.4** коды четверичных цифр множимого для перехода к двоично-четверичной системе кодирования; $0_4 - 00, 1_4 - 11, 2_4 - 10, 3_4 - 01$.
 - 3.5** тип синтезируемого умножителя: структурные схемы приведены для умножителя 2-ого типа (ОЧУС, ОЧС, регистр результата).
- 4** логический базис для реализации ОЧС: А2; метод минимизации – Алгоритм Рота.
- 5** логический базис для реализации ОЧУС: А4; метод минимизации – карты Карно-Вейча. Содержание пояснительной записи (перечень подлежащих разработке вопросов):

- 6** Разработка алгоритм умножения. 2. Разработка структурной схемы сумматора-умножителя. 3. Разработка функциональных схем основных узлов сумматора-умножителя. 4. Синтез комбинационных схем устройств на основе мультиплексоров. 5. Оценка результатов разработки. Заключение. Список литературы.
- 7** Перечень графического материала:
- 7.2**Сумматор-умножитель второго типа. Схема электрическая структурная.
- 7.3** Одноразрядный четвертичный сумматор. Схема электрическая функциональная.
- 7.4**Одноразрядный четвертичный умножитель-сумматор. Схема электрическая функциональная.
- 7.5**Преобразователь множителя. Схема электрическая функциональная.
- 7.6** Одноразрядный четвертичных сумматор. Реализация на мультиплексорах. Схема электрическая функциональная.

КАЛЕНДАРНЫЙ ПЛАН

Наименование этапов курсовой работы	Объём этапа, %	Срок выполнения этапа	Примечания
Разработка алгоритма умножения			
Разработка структурной схемы сумматора-умножителя			
Разработка функциональных схем основных узлов сумматора-умножителя			
Синтез комбинационных схем устройств на основе мультиплексоров			
Завершение оформления пояснительной записи			

Дата выдачи задания: 10 сентября 2020 г.

Руководитель

Ю. А. Луцик

ЗАДАНИЕ ПРИНЯЛ К ИСПОЛНЕНИЮ _____

СОДЕРЖАНИЕ

Введение	5
1. Разработка алгоритма умножения	6
2. Разработка структурной схемы сумматора-умножителя	9
3.1. Логический синтез одноразрядного четверичного сумматора	10
3.2. Логический синтез одноразрядного четверичного умножителя - сумматора	15
4. Логический синтез одноразрядного четверичного сумматора на основе мультиплексора	19
5. Логический синтез преобразователя множителя	22
6. Оценка эффективности минимизации переключательных функций	24
7. Временные затраты на умножение	25
Заключение	36
Список использованных источников	27
Приложение А	28
Приложение Б	29
Приложение В	30
Приложение Г	31
Приложение Д	32

ВВЕДЕНИЕ

Данная курсовая работа посвящена разработке алгоритмов выполнения операций умножения и сложения. На основе полученных алгоритмов требуется разработать и синтезировать следующие устройства: одноразрядный четвертичный сумматор (ОЧС), одноразрядный четвертичный сумматор - умножитель (ОЧУС), а также реализовать функции ОЧС на мультиплексорах. Минимизация перечисленных устройств осуществляется с помощью карт Карно-Вейча и алгоритма извлечения Рота. На основе полученных данных требуется построить схемы этих устройств и проанализировать результаты (эффективность минимизации и время выполнения операций).

РАЗРАБОТКА АЛГОРИТМА УМНОЖЕНИЯ

1.1. Перевод сомножителей из десятичной системы счисления в четверичную.

Множимое

$$\begin{array}{r} 32 | 4 \\ \underline{32} \quad 8 | 4 \\ 0 \quad 8 \quad 2 \\ \hline 0 \end{array} \qquad \begin{array}{r} 0.17 \\ \underline{\quad\quad\quad} \\ 4 \\ 0.68 \\ \hline 4 \\ 2.72 \\ \underline{\quad\quad\quad} \\ 4 \\ \hline 2.88 \end{array}$$

$$\begin{aligned} M_H_4 &= 200,022 \\ &\text{в соответствии с заданной} \\ &\text{кодировкой множимого} \\ M_{H/4} &= 100000,001010 \end{aligned}$$

Множитель

$$\begin{array}{r} 43 | 4 \\ \underline{40} \quad 10 | 4 \\ 3 \quad 8 \quad 2 \\ \hline 2 \end{array} \qquad \begin{array}{r} 0.34 \\ \underline{\quad\quad\quad} \\ 4 \\ 1.36 \\ \hline 4 \\ 1.44 \\ \underline{\quad\quad\quad} \\ 4 \\ 1.76 \end{array}$$

$$\begin{aligned} M_T_4 &= 223,111 \\ M_{T/4} &= 101011,010101 \\ &\text{множитель представляется} \\ &\text{обычным весомозначным} \\ &\text{кодом: } 0_4 - 01, 1_4 - 00, 2_4 - 11, 3_4 - 10 \\ &\text{для всех вариантов} \end{aligned}$$

Запишем сомножители в форме с плавающей запятой в прямом коде:

$$\begin{aligned} M_H &= 0,100000001010 \quad P_{M_H} = 0.0001 + 03_{10} - \text{закодировано по заданию} \\ M_T &= 0,101011010101 \quad P_{M_T} = 0.0011 + 03_{10} - \text{закодировано традиционно} \end{aligned}$$

Умножение двух чисел с плавающей запятой на два разряда множителя одновременно в прямых кодах. Это сводится к сложению порядков, формированию знака произведения, преобразованию разрядов множителя согласно алгоритму, и перемножению мантисс сомножителей.

Порядок произведения будет равен:

$$\begin{array}{ll} P_{M_H} = 0.0001 & 03 \\ P_{M_T} = 0.0011 & 03 \\ P_{M_H \cdot M_T} = 0.1110 & 12 \end{array}$$

Результат закодирован в соответствии с заданием на кодировку множимого.

Знак произведения определяется суммой по модулю “два” знаков сомножителей:

$$\text{зн } M_H \oplus \text{зн } M_T = 0 \oplus 0 = 0$$

Для умножения мантисс необходимо предварительно преобразовать множитель. При умножении чисел в прямых кодах диада 11(3₄) заменяется на триаду 101. Преобразованный множитель имеет вид: $M_T^{\pi_4} = 1\bar{1}\bar{1}1111$ или $M_T^{\pi_2} = 01010101010101$. Перемножение мантисс по алгоритму “А” приведено в табл. 1.1.

Таблица 1.1 - Перемножение мантисс

Четверичная с/с			Двоично-четверичная с/с			Комментарии
1			2			3
0.	000000		0.	00 00 00 00 00 00		\sum_0^4
0.	200022		0.	10 00 00 00 10 10		$\Pi_1^4 = M_H * 1$
0.	200022		0.	10 00 00 00 10 10		\sum_1^4
0.	020002	2	0.	00 10 00 00 00 10	10	$\sum_1^4 \cdot 2^{-2}$
0.	200022		0.	10 00 00 00 10 10		$\Pi_2^4 = M_H * 1$
0.	220030	2	0.	10 10 00 00 01 00	10	\sum_2^4
0.	022003	02	0.	00 10 10 00 00 01	00 10	$\sum_2^4 \cdot 2^{-2}$
0.	200022		0.	10 00 00 00 10 10		$\Pi_3^4 = M_H * 1$
0.	222031	02	0.	10 10 10 00 01 11	00 10	\sum_3^4
0.	022203	102	0.	00 10 10 10 00 01	11 00 10	$\sum_3^4 \cdot 2^{-2}$
3.	133312		1.	11 01 01 01 11 10		$\Pi_4^4 = [-M_H]$
3.	222121	102	1.	10 10 10 11 10 11	11 00 10	\sum_4^4
3.	322212	1102	1.	01 10 10 10 11 10	11 11 00 10	$\sum_4^4 \cdot 2^{-2}$
3.	133312		1.	11 01 01 01 11 10		$\Pi_5^4 = [-M_H]$
3.	122130	1102	1.	11 10 10 11 01 00	11 11 00 10	\sum_5^4
3.	312213	01102	1.	01 11 10 10 11 01	00 11 11 00 10	$\sum_5^4 \cdot 2^{-2}$
3.	133312		1.	11 01 01 01 11 10		$\Pi_6^4 = [-M_H]$
3.	112131	01102	1.	11 11 10 11 01 11	00 11 11 00 10	\sum_6^4
3.	311213	101102	1.	01 11 11 10 11 01	11 00 11 11 00 10	$\sum_6^4 \cdot 2^{-2}$
0.	200022		0.	10 00 00 00 10 10		$\Pi_7^4 = M_H * 1$
0.	111301	101101	0.	11 11 11 01 00 11	11 00 11 11 00 11	$\sum_7^4 = M_H \cdot M_T$

После окончания умножения необходимо оценить погрешность вычислений.

Для этого полученное произведение ($M_H \cdot M_T^4 = 0$, 111301101101 , $P_{M_H \cdot M_T} = 6$) приводится к нулевому порядку, а затем переводится в десятичную систему счисления:

$$M_H \cdot M_T^4 = 111301,101102 \quad P_{M_H \cdot M_T} = 0;$$

$$M_H \cdot M_{T10} = 1393,27$$

Результат прямого перемножения операндов дает следующее значение:

$$M_{H10} \cdot M_{T10} = 46,75 \cdot 58,12 = 1394,2478.$$

Абсолютная погрешность:

$$\Delta = 1394,2478 - 1393,27 = 0,9778$$

Относительная погрешность:

$$\delta = \frac{\Delta}{M_H \cdot M_T} = \frac{0,9778}{1394,2478} = 0,0007 \quad (\delta = 0,07\%)$$

Эта погрешность получена за счет приближенного перевода из десятичной системы счисления в четверичную обоих сомножителей, а также за счет округления полученного результата произведения.

2 РАЗРАБОТКА СТРУКТУРНОЙ СХЕМЫ СУММАТОРА-УМНОЖИТЕЛЯ

Структура первого типа строится на базе заданных узлов ОЧУ, ОЧС, формирователя дополнительного кода и регистра результата. Управление режимами работы схемы осуществляется внешним сигналом *Mul/sum*, который определяет вид текущей арифметической операции (умножение или суммирование).

Принцип работы ФДК в зависимости от управляемых сигналов приведён в таблице 2.1.

Таблица 2.1 – Режимы работы формирователя дополнительного кода

Сигналы на входах ФДК		Результат на выходах ФДК
F₁	F₂	
0	0	Дополнительный код множимого
0	1	Дополнительный код слагаемого
1	0	Меняется знак множимого
1	1	Дополнительный код слагаемого

Структурная схема сумматора-умножителя второго типа для алгоритма умножения «А» представлена в Приложении Д.

3. РАЗРАБОТКА ФУНКЦИОНАЛЬНЫХ СХЕМ ОСНОВНЫХ УЗЛОВ СУММАТОРА-УМНОЖИТЕЛЯ

3.1. Логический синтез одноразрядного четверичного сумматора

Одноразрядный четверичный сумматор – это комбинационное устройство, имеющее 5 входов (2 разряда одного слагаемого, 2 разряда второго слагаемого и вход переноса) и 3 выхода. Принцип работы ОЧС представлен с помощью таблицы истинности (табл. 3.2.1).

Разряды обоих слагаемых закодированы: 0 – 00; 1 – 11; 2 – 10; 3 – 01.

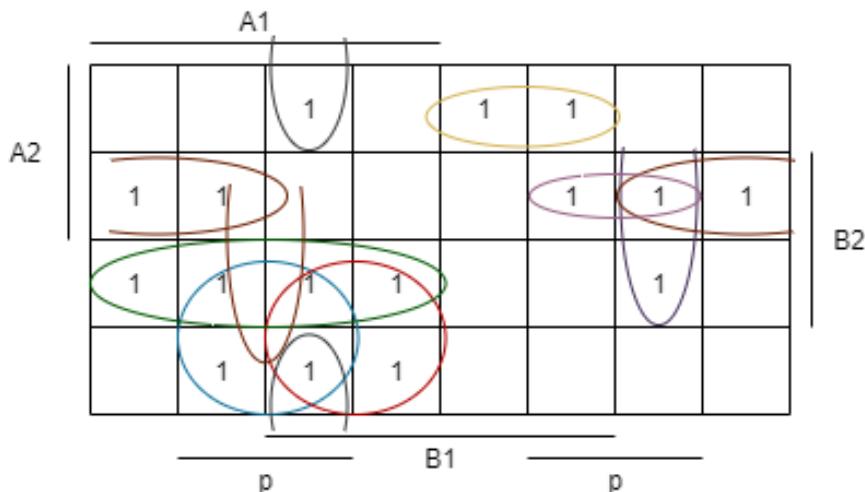
Таблица 3.1 – Таблица истинности ОЧС

<i>A₁</i>	<i>A₂</i>	<i>B₁</i>	<i>B₂</i>	<i>p</i>	<i>P.</i>	<i>S₁</i>	<i>S₂</i>	<i>Пример операции в четверичной с/с</i>
0	0	0	0	0	0	0	0	0+0+0=00
0	0	0	0	1	0	1	1	0+0+1=01
0	0	0	1	0	0	0	1	0+3+0=03
0	0	0	1	1	1	0	0	0+3+1=10
0	0	1	0	0	0	1	0	0+2+0=02
0	0	1	0	1	0	0	1	0+2+1=03
0	0	1	1	0	0	1	1	0+1+0=01
0	0	1	1	1	0	1	0	0+1+1=02
0	1	0	0	0	0	0	1	3+0+0=03
0	1	0	0	1	1	0	0	3+0+1=10
0	1	0	1	0	1	1	0	3+3+0=12
0	1	0	1	1	1	0	1	3+3+1=13
0	1	1	0	0	1	1	1	3+2+0=11
0	1	1	0	1	1	1	0	3+2+1=12
0	1	1	1	0	1	0	0	3+1+0=10
0	1	1	1	1	1	1	1	3+1+1=11
1	0	0	0	0	0	1	0	2+0+0=02
1	0	0	0	1	0	0	1	2+0+1=03
1	0	0	1	0	1	1	1	2+3+0=11
1	0	0	1	1	1	1	0	2+3+1=12
1	0	1	0	0	1	0	0	2+2+0=10
1	0	1	0	1	1	1	1	2+2+1=11
1	0	1	1	0	0	0	1	2+1+0=03
1	0	1	1	1	1	0	0	2+1+1=10
1	1	0	0	0	0	1	1	1+0+0=01
1	1	0	0	1	0	1	0	1+0+1=02
1	1	0	1	0	1	0	0	1+3+0=10
1	1	0	1	1	1	1	1	1+3+1=11

1	1	1	0	0	0	0	1	1+2+0=03
1	1	1	0	1	1	0	0	1+2+1=10
1	1	1	1	0	0	1	0	1+1+0=02
1	1	1	1	1	0	0	1	1+1+1=03

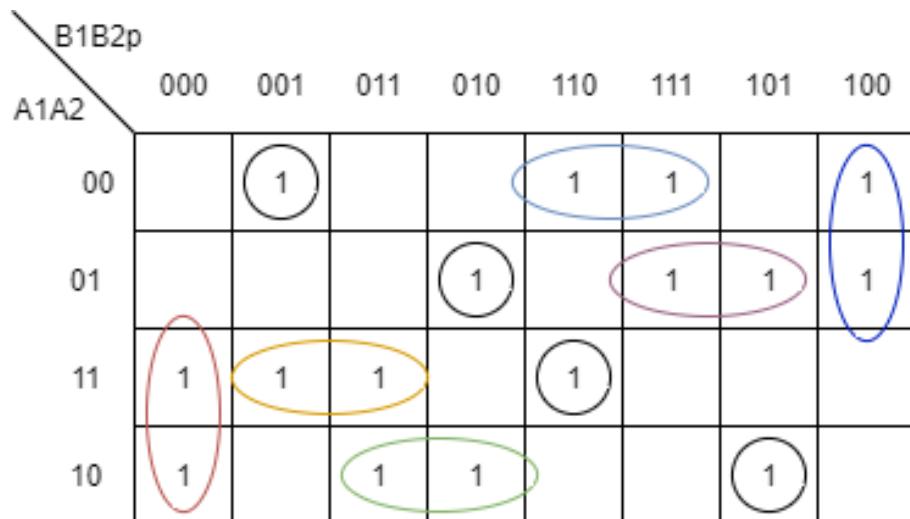
Минимизация функций Π , S_1 и S_2 проведена ниже.

Карта Вейча для функции Π :



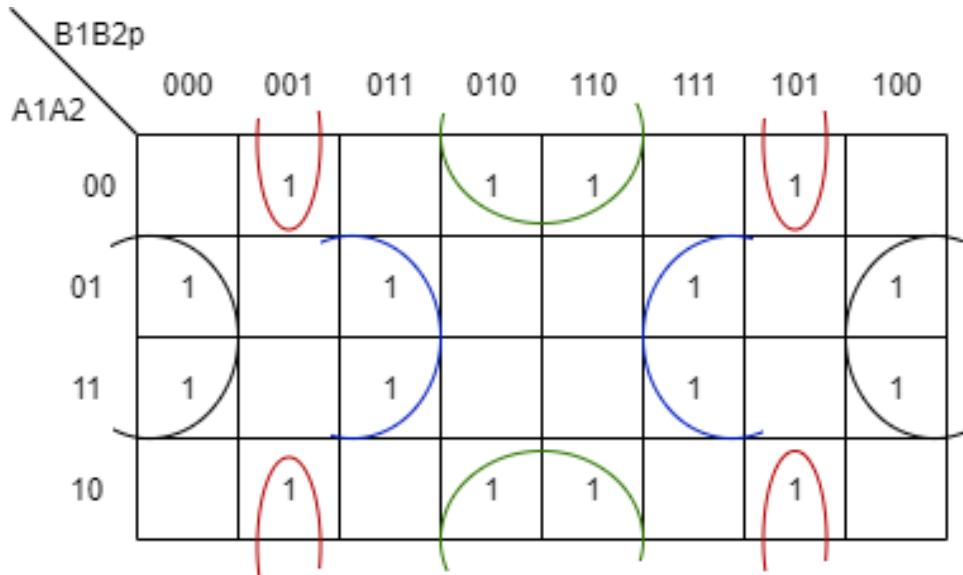
$$\begin{aligned}
 f_{\text{днф}}(\Pi) &= A1B1\overline{B2}p + A1\overline{A2}B1\overline{B2} + A1\overline{A2}B2p + A1\overline{B1}B2 + \overline{B1}B2p \\
 &\quad + \overline{A1}A2B2 + \overline{A1}A2p + \overline{A1}A2B1 \\
 &= (A1B1(B2 \oplus 1)p \oplus 1)(A1(A2 \oplus 1)B1(B2 \oplus 1) \oplus 1)(A1 \oplus 1)B2p \oplus 1) \\
 &\quad (A1(B1 \oplus 1)B2 \oplus 1)((B1 \oplus 1)B2p \oplus 1) ((A1 \oplus 1)A2B2 \oplus 1) ((A1 \oplus 1)A2p \oplus 1) ((A1 \oplus 1)A2B1 \oplus 1)
 \end{aligned}$$

Карта Карно для функции S_1 :



$$\begin{aligned}
f_{\text{ДНФ}}(S1) = & \overline{A1} \overline{A2} \overline{B1} \overline{B2} p + \overline{A1} \overline{A2} B1 B2 + \overline{A1} A2 \overline{B1} B2 p + \overline{A1} A2 B1 p \\
& + \overline{A1} B1 \overline{B2} \bar{p} + A1 \overline{B1} \overline{B2} \bar{p} + A1 A2 \overline{B1} p + A1 \overline{A2} \overline{B1} B2 \\
& + A1 A2 B1 B2 \bar{p} + A1 \overline{A2} B1 \overline{B2} p \\
= & ((A1 \oplus 1)(A2 \oplus 1)(B1 \oplus 1)(B2 \oplus 1)p \\
& \oplus 1) \& ((A1 \oplus 1)(A2 \oplus 1)B1 B2 \\
& \oplus 1) \& ((A1 \oplus 1)A2(B1 \oplus 1)B2 p \oplus 1) \& ((A1 \oplus 1)A2 B1 p \\
& \oplus 1) \& ((A1 \oplus 1))
\end{aligned}$$

Карта Карно для функции S2:



$$\begin{aligned}
f_{\text{ДНФ}}(S2) = & A2 \overline{B2} \bar{p} + A2 B2 p + \overline{A2} \overline{B2} p + \overline{A2} B2 \bar{p} \\
= & (A2(B2 \oplus 1)(p \oplus 1) \oplus 1)(A2 B2 p \oplus 1)((A2 \oplus 1)(B2 \oplus 1)p \\
& \oplus 1)((A2 \oplus 1)B2(p \oplus 1) \oplus 1)
\end{aligned}$$

Минимизация функции S2 Алгоритмом Рома:

Исходные данные

L	N
00001	
00010	
00101	
00110	
01000	
01011	
01100	
01111	
10001	Ø
10010	
10101	
10110	
11000	
11011	
11100	
11111	

Поиск простых импликант.

C0*C0	00001	00010	00101	00110	01000	01011	01100	01111	10001	10010	10101	10110	11000	11011	11100	11111
00001	-															
00010		-														
00101	00y01		-													
00110		00y10		-												
01000					-											
01011						-										
01100						01y00		-								
01111							01y11		-							
10001	y0001								-							
10010		y0010								-						
10101			y0101						10y01		-					
10110				y0110						10y10		-				
11000					y1000							-				
11011						y1011						-				
11100							y1100						11y00		-	
11111								y1111						11y11		-
A1	00x01 x0001	00x10 x0010	x0101	x0110	01x00 x1000	01x11 x1011	x1100	x1111	10x01	10x10	Ø	Ø	11x00	11x11	Ø	Ø

A1 = { 00x01; x0001; 00x10; x0010; x0101; x0110; 01x00; x1000; 01x11; x1011; x1100; x1111; 10x01; 10x10; 11x00; 11x11 }

Z0 = { Ø }

B1 = { 00001; 00010; 00101; 00110; 01000; 01011; 01100; 01111; 10001; 10010; 10101; 10110; 11000; 11011; 11100; 11111 }

C1 = { 00x01; x0001; 00x10; x0010; x0101; x0110; 01x00; x1000; 01x11; x1011; x1100; x1111; 10x01; 10x10; 11x00; 11x11 }

C2*C2	x0x01	x0x10	x1x00	x1x11
x0x01	-			
x0x10		-		
x1x00			-	
x1x11				-
A3	∅	∅	∅	∅

$$A3 = \{ \emptyset \}$$

Конечное множество простых импликант $Z = \{ x0x01; x0x10; x1x00; x1x11 \}$

Поиск L-экстремалей.

z#(Z-z)	x0x01	x0x10	x1x00	x1x11
x0x01	-	x0x10	x1x00	x1x11
x0x10	x0x01	-	x1x00	x1x11
x1x00	x0x01	x0x10	-	x1x11
x1x11	x0x01	x0x10	x1x00	-
Остаток	x0x01	x0x10	x1x00	x1x11

Каждый куб дал остаток, значит

Минимальное покрытие - множество L-экстремалей $E = \{ x0x01; x0x10; x1x00; x1x11 \}$

Функциональная схема ОЧС приведена в приложении А.

3.2. Логический синтез одноразрядного четверичного сумматора-умножителя

ОЧУС – это комбинационное устройство, имеющее шесть входов (два разряда из регистра множимого, два разряда из регистра множителя, вход переноса и управляющий вход h) и три выхода.

Разряды множителя закодированы: 0 – 00; 1 – 01; 2 – 10; 3 – 11.

Разряды множимого закодированы: 0 – 00; 1 – 11; 2 – 10; 3 – 01.

Управляющий вход h определяет тип операции: 0 – умножение закодированных цифр, поступивших на информационные входы, и добавление переноса; 1 – вывод на выходы без изменения значений разрядов, поступивших из регистра множимого.

В таблице 3.2 выделено 36 безразличных наборов, т. к. на входы ОЧУС из разрядов множителя не может поступить код «11», при работе ОЧУС как сумматора на вход переноса не может поступить единица, а при умножении на ноль или единицу на вход переноса также не может поступить единица. Принцип работы ОЧУС представлен с помощью таблицы истинности

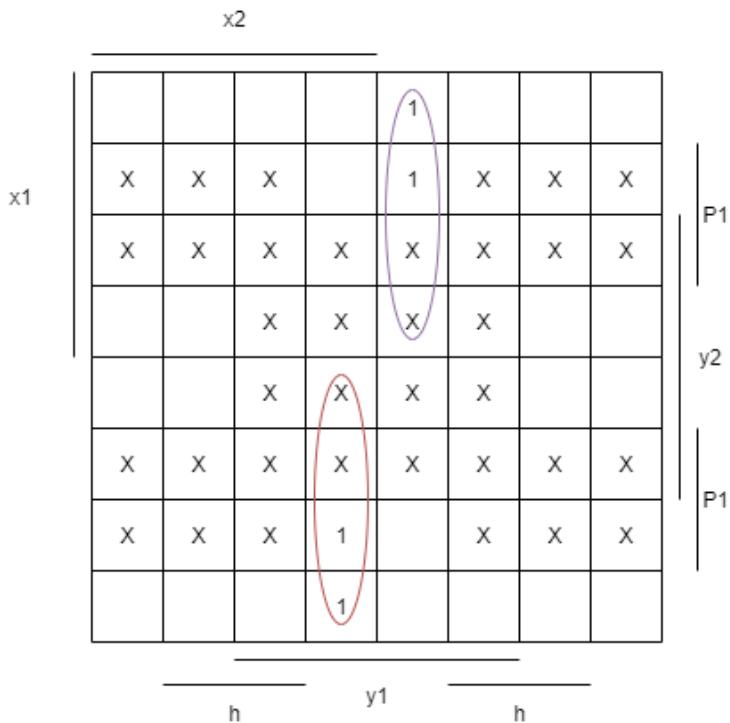
таблица 3.2– Таблица истинности ОЧУС

Пер.	Мн		Мт		Упр	Пер.	Результат		Результат операции в четверичной системе
1	2	3	4	5	6	7			
P_1	x_1	x_2	y_1	y_2	h	P	Q_1	Q_2	
0	0	0	0	0	0	0	0	0	$0*0+0=00$
0	0	0	0	0	1	0	0	0	Выход- код «00»
0	0	0	0	1	0	0	0	0	$0*1+0=00$
0	0	0	0	1	1	0	0	0	Выход- код «00»
0	0	0	1	0	0	0	0	0	$0*2+0=00$
0	0	0	1	0	1	0	0	0	Выход-код «00»
0	0	0	1	1	0	X	X	X	$0*3+0=00$
0	0	0	1	1	1	X	X	X	Выход –код «00»
0	0	1	0	0	0	0	0	0	$3*0+0=00$
0	0	1	0	0	1	0	0	1	Выход-код «03»
0	0	1	0	1	0	0	0	1	$3*1+0=03$
0	0	1	0	1	1	0	0	1	Выход-код «03»
0	0	1	1	0	0	1	1	0	$3*2+0=12$
0	0	1	1	0	1	0	0	1	Выход-код «03»
0	0	1	1	1	0	X	X	X	$3*3+0=21$
0	0	1	1	1	1	X	X	X	Выход –код «03»
0	1	0	0	0	0	0	0	0	$2*0+0=00$
0	1	0	0	0	1	0	1	0	Выход-код «02»
0	1	0	0	1	0	0	1	0	$2*1+0=02$
0	1	0	0	1	1	0	1	0	Выход-код «02»

0	1	0	1	0	0	1	0	0	2*2+0=10
0	1	0	1	0	1	0	1	0	Выход-код «02»
0	1	0	1	1	0	X	X	X	2*3+0=12
0	1	0	1	1	1	X	X	X	Выход-код «02»
0	1	1	0	0	0	0	0	0	1*0+0=00
0	1	1	0	0	1	0	1	1	Выход-код «01»
0	1	1	0	1	0	0	1	1	1*1+0=01
0	1	1	0	1	1	0	1	1	Выход-код «01»
0	1	1	1	0	0	0	1	0	1*2+0=02
0	1	1	1	0	1	0	1	1	Выход-код «01»
0	1	1	1	1	0	X	X	X	1*3+0=03
0	1	1	1	1	1	X	X	X	Выход-код «01»
1	0	0	0	0	0	X	X	X	0*0+1=01
1	0	0	0	0	1	X	X	X	Выход-код «00»
1	0	0	0	1	0	X	X	X	0*1+1=01
1	0	0	0	1	1	X	X	X	Выход-код «00»
1	0	0	1	0	0	0	1	1	0*2+1=01
1	0	0	1	0	1	X	X	X	Выход-код «00»
1	0	0	1	1	0	X	X	X	0*1+1=01
1	0	0	1	1	1	X	X	X	Выход-код «00»
1	0	1	0	0	0	X	X	X	3*0+1=01
1	0	1	0	0	1	X	X	X	Выход-код «03»
1	0	1	0	1	0	X	X	X	3*1+1=10
1	0	1	0	1	1	X	X	X	Выход-код «03»
1	0	1	1	0	0	1	0	1	3*2+1=13
1	0	1	1	0	1	X	X	X	Выход-код «03»
1	0	1	1	1	0	X	X	X	3*3+1=22
1	0	1	1	1	1	X	X	X	Выход-код «03»
1	1	0	0	0	0	X	X	X	2*0+1=01
1	1	0	0	0	1	X	X	X	Выход-код «02»
1	1	0	0	1	0	X	X	X	2*1+1=03
1	1	0	0	1	1	X	X	X	Выход-код «02»
1	1	0	1	0	0	1	1	1	2*2+1=11
1	1	0	1	0	1	X	X	X	Выход-код «02»
1	1	0	1	1	0	X	X	X	2*3+1=13
1	1	0	1	1	1	X	X	X	Выход-код «02»
1	1	1	0	0	0	X	X	X	3*0+1=01
1	1	1	0	0	1	X	X	X	Выход-код «01»
1	1	1	0	1	0	X	X	X	1*1+1=02
1	1	1	0	1	1	X	X	X	Выход-код «01»
1	1	1	1	0	0	0	0	1	1*2+1=03
1	1	1	1	0	1	X	X	X	Выход-код «01»
1	1	1	1	1	0	X	X	X	1*3+1=10
1	1	1	1	1	1	X	X	X	Выход-код «01»

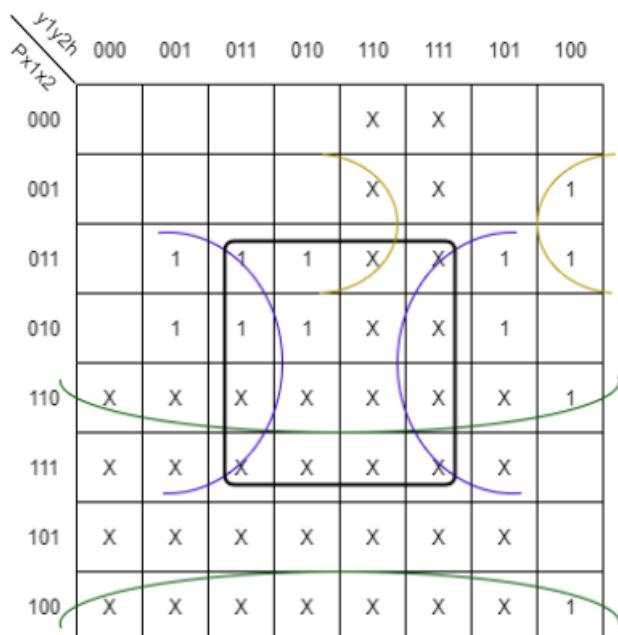
Минимизация функций P, Q1 и Q2 проведена ниже.

Карта Вейча для функции P:



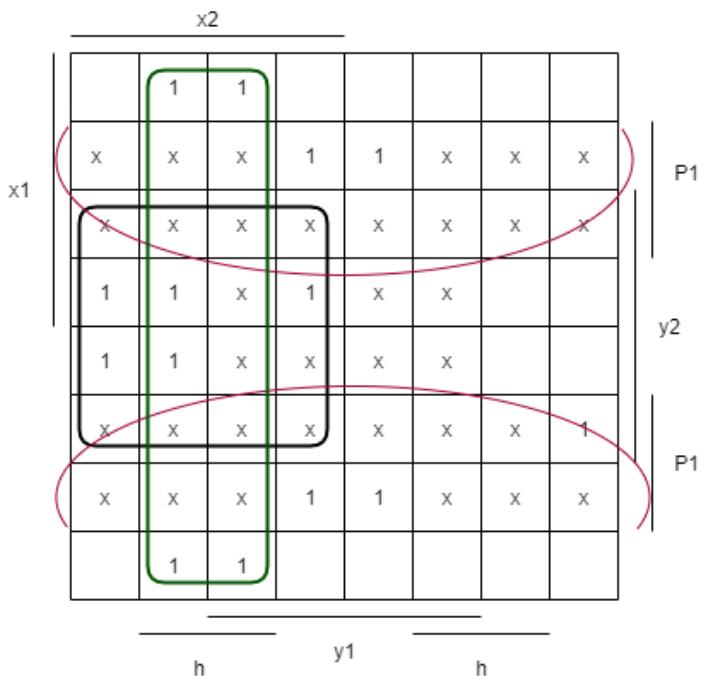
$$f_{\text{ДНФ}}(P) = x_1\bar{x}_2y_1\bar{h} + \bar{x}_1x_2y_1\bar{h} = \overline{x_1\bar{x}_2y_1\bar{h}} \& \overline{x_1x_2y_1\bar{h}}$$

Карта Карно для функции Q1:



$$f_{\text{ДНФ}}(Q1) = P_1\bar{x}_2 + x_1y_2 + x_1h + \bar{P}_1x_2y_1h = \overline{P_1\bar{x}_2} \& \overline{x_1y_2} \& \overline{x_1h} \& \overline{\bar{P}_1x_2y_1h}$$

Карта Вейча для функции Q2:



$$f_{\text{днф}}(Q2) = x2h + P1$$

Функциональная схема ОЧУС приведена в приложении Б.

4. ЛОГИЧЕСКИЙ СИНТЕЗ ОДНОРАЗРЯДНОГО ЧЕТВЕРИЧНОГО СУММАТОРА НА ОСНОВЕ МУЛЬТИПЛЕКСОРА

Мультиплексор – это логическая схема, имеющая n информационных входов, m управляющих входов и один выход. При этом должно выполняться условие $n = 2^m$.

Принцип работы мультиплексора состоит в следующем. На выход мультиплексора может быть пропущен без изменений любой (один) логический сигнал, поступающий на один из информационных входов. Порядковый номер информационного входа, значение которого в данный момент должно быть передано на выход, определяется двоичным кодом, поданным на управляющие входы.

Синтез дополнительных логических схем для ПФ ОЧС приведен в таблицах 4.1-4.3.

Таблица 4.1. – Таблица истинности для функции Переноса в ОЧС на мультиплексоре (1 из 8)

A1	A2	B1	B2	p	Π.	
0	0	0	0	0	0	$B_2 \& p$
0	0	0	0	1	0	
0	0	0	1	0	0	
0	0	0	1	1	1	
0	0	1	0	0	0	0
0	0	1	0	1	0	
0	0	1	1	0	0	
0	0	1	1	1	0	
0	1	0	0	0	0	$B_2 \text{ или } p$
0	1	0	0	1	1	
0	1	0	1	0	1	
0	1	0	1	1	1	
0	1	1	0	0	1	1
0	1	1	0	1	1	
0	1	1	1	0	1	
0	1	1	1	1	1	
1	0	0	0	0	0	B_2
1	0	0	0	1	0	
1	0	0	1	0	1	
1	0	0	1	1	1	
1	0	1	0	0	1	$\overline{B}_2 \text{ или } p$
1	0	1	0	1	1	
1	0	1	1	0	0	
1	0	1	1	1	1	

1	1	0	0	0	0
1	1	0	0	1	0
1	1	0	1	0	1
1	1	0	1	1	1
1	1	1	0	0	0
1	1	1	0	1	1
1	1	1	1	0	0
1	1	1	1	1	0

B_2

$\overline{B_2} \& p$

За адресные входы взяты A1,A2,B1, за информационные - B2,p.

Таблица 4.2. – Таблица истинности для функции S1 в ОЧС на мультиплексоре(1 из 8)

A1	A2	B1	B2	p	S1
0	0	0	0	0	0
0	0	0	0	1	1
0	0	0	1	0	0
0	0	0	1	1	0
1	0	1	0	1	1
1	0	1	0	0	0
1	0	1	1	0	0
1	0	1	1	1	0
0	0	1	0	0	1
0	0	1	0	1	0
0	0	1	1	0	1
0	0	1	1	1	1
1	0	0	0	0	1
1	0	0	0	1	0
1	0	0	1	0	1
1	0	0	1	1	1
1	1	1	0	0	0
1	1	1	0	1	0
1	1	1	1	0	1
1	1	1	1	1	0
0	1	0	0	0	0
0	1	0	0	1	0
0	1	0	1	0	1
0	1	0	1	1	0
0	1	1	0	0	1
0	1	1	0	1	1
0	1	1	1	0	0
0	1	1	1	1	1
1	1	0	0	0	1
1	1	0	0	1	1
1	1	0	1	0	0
1	1	0	1	1	1

$B_2 \& \bar{p}$

$B_2 \& \bar{p}$

$\overline{B_2} \& p$

$\overline{B_2} \& p$

За адресные входы взяты A1,A2,B1,за информационные - B2,p.

Таблица 4.3. – Таблица истинности для функции S2 в ОЧС на мультиплексоре (1 из 2)

A2	A1	B1	B2	p	S2	
0	0	0	0	0	0	
0	0	0	0	1	1	
0	0	0	1	0	1	
0	0	0	1	1	0	
0	0	1	0	0	0	
0	0	1	0	1	1	
0	0	1	1	0	1	
0	0	1	1	1	0	
0	1	0	0	0	0	
0	1	0	0	1	1	
0	1	0	1	0	1	
0	1	0	1	1	0	
0	1	1	0	0	0	
0	1	1	0	1	1	
0	1	1	1	0	1	
0	1	1	1	1	0	
1	0	0	0	0	1	
1	0	0	0	1	0	
1	0	0	1	0	0	
1	0	0	1	1	1	
1	0	1	0	0	1	
1	0	1	0	1	0	
1	0	1	1	0	0	
1	0	1	1	1	1	
1	1	0	0	0	1	
1	1	0	0	1	0	
1	1	0	1	0	0	
1	1	0	1	1	1	
1	1	1	0	0	1	
1	1	1	0	1	0	
1	1	1	1	0	0	
1	1	1	1	1	1	

$$B_2 \oplus p$$

$$\overline{B_2 \oplus p}$$

За адресный вход взят A2, информационные-A1, B1, B2, p.

Функциональная схема реализации ОЧС на мультиплексорах приведена в приложении В.

5 ЛОГИЧЕСКИЙ СИНТЕЗ ПРЕОБРАЗОВАТЕЛЯ МНОЖИТЕЛЯ (ПМ)

Преобразователь множителя (ПМ) служит для исключения из множителя диад 11, заменяя их на триады 10̄1.

Таблица 5.1 - Таблица истинности ПМ.

Вх. диада		Мл. бит	Зн.	Вых. диада	
Q _n	Q _{n-1}	Q _{n-2}	P	S ₁	S ₂
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	0	1
0	1	1	0	1	0
1	0	0	0	1	0
1	0	1	1	0	1
1	1	0	1	0	1
1	1	1	1	0	0

Минимизируем выходные функции S₁, S₂ и P картами Карно

Таблица 5.2 – Минимизация функции P

		Q _{n-1} Q _{n-2}	00	01	11	10
		Q _n	0			
		0				
		1		1	1	1

$$f_{\min_{DH\Phi}} = Q_n Q_{n-1} + Q_n Q_{n-2}$$

Таблица 5.3 – Минимизация функции S₁

		Q _{n-1} Q _{n-2}	00	01	11	10
		Q _n	0			
		0			1	
		1	1			

$$f_{\min_{DH\Phi}} = Q_n \bar{Q}_{n-1} \bar{Q}_{n-2} + \bar{Q}_n Q_{n-1} Q_{n-2}$$

Таблица 5.4 – Минимизация функции S_2

$Q_n \backslash Q_{n-1}Q_{n-2}$	00	01	11	10
0		1		1
1		1		1

$$f_{\min_{DH\Phi}} = \overline{Q}_{n-1}Q_{n-2} + Q_{n-1}\overline{Q}_{n-2} = Q_{n-1} \oplus Q_{n-2}$$

Функциональная схема реализации ОЧС на мультиплексорах приведена в приложении Г.

5 ОЦЕНКА ЭФФЕКТИВНОСТИ МИНИМИЗАЦИИ ПЕРЕКЛЮЧАТЕЛЬНЫХ ФУНКЦИЙ

Для проведения оценки эффективности минимизации переключательных функций необходимо посчитать цену схемы до минимизации и цену схемы после минимизации. Эффективность минимизации k определяется как:

$$k = \frac{C_{\text{до_мин}}}{C_{\text{после_мин}}}$$

Таблица 6.1 – Эффективность минимизации ОЧУС

Вых. схемы	Рассчитанная цена схемы		Эфф. мин.k
	До минимизации	После минимизации	
P ₂	c=33	c=14	2.357
Q ₁	c=91	c=17	5.35
Q ₂	c=105	c=5	21

Таблица 6.2 – Эффективность минимизации ОЧС

Вых. схемы	Рассчитанная цена схемы		Эфф. мин. k
	До минимизации	После минимизации	
P	c=102	c=41	2.48
S ₁	c=102	c=30	3.4
S ₂	c=102	c=19	5.36

6 ОЦЕНКА РЕЗУЛЬТАТОВ РАЗРАБОТКИ ВРЕМЕННЫЕ ЗАТРАТЫ НА УМНОЖЕНИЕ

Формула расчёта временных затрат на умножение:

$$T_y = 6 \cdot (T_{\text{сдвига}} + T_{\text{ПМ}} + T_{\Phi\text{ДК}} + T_{\text{ОЧУ}} + 6T_{\text{ОЧС}}), \text{ где}$$

$T_{\text{сдвига}}$ – время сдвига частичной суммы;

$T_{\text{ОЧУ}}$ – время умножения на ОЧУ;

$T_{\text{ОЧС}}$ – время формирования единицы переноса в ОЧС;

$T_{\text{ПМ}}$ – время преобразования множителя;

$T_{\Phi\text{ДК}}$ – время формирования дополнительного кода множимого.

ЗАКЛЮЧЕНИЕ

В процессе выполнения курсовой работы была разработана структурная схема сумматора-умножителя второго типа, а также функциональные схемы основных узлов данного устройства. Для уменьшения стоимости логических схем были выполнены минимизации переключательных функций различными способами. Такой подход позволил выявить достоинства и недостатки этих алгоритмов.

В качестве главного достоинства минимизации картами Карно-Вейча можно выделить простоту и минимальные затраты времени. Однако применение данного способа для функций многих переменных будет затруднительно. Функциональные схемы были построены в различных логических базисах. Это позволило закрепить теоретические знания основных законов булевой алгебры, например, правило де Моргана. Также можно отметить, что необходимо сократить количество уровней в логической схеме для уменьшения времени работы данного устройства.

Реализация переключательных функций на основе мультиплексоров позволила облегчить процесс минимизации этих функций.

СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ

1. Луцик Ю.А., Лукьянова И.В. – Учебное пособие по курсу "Арифметические и логические основы вычислительной техники". – Минск: БГУИР, 2014 г.
2. Луцик Ю.А., Лукьянова И.В.– Учебное пособие по курсу "Арифметические и логические основы вычислительной техники". - Мн.:ротапринт МРТИ ,2004 г.

ПРИЛОЖЕНИЕ А
(обязательное)

Одноразрядный четверичный сумматор.
Схема электрическая функциональная

ПРИЛОЖЕНИЕ Б
(обязательное)

Одноразрядный четверичный умножитель-сумматор.
Схема электрическая функциональная

ПРИЛОЖЕНИЕ В

(обязательное)

Одноразрядный четверичный сумматор.

Реализация на мультиплексорах.

Схема электрическая функциональная

ПРИЛОЖЕНИЕ Г
(обязательное)

Преобразователь множителя. Схема электрическая функциональная

ПРИЛОЖЕНИЕ Д

(обязательное)

Сумматор-умножитель второго типа. Схема электрическая структурная

ПРИЛОЖЕНИЕ Е
(обязательное)

Ведомость документов