

# 2025 상반기 신입 채용, SI Future-Ship 모집

해당 공고는 세트렉아이 신입 채용으로 경력이 없으신 분들을 대상으로 하는 신입 채용입니다.  
경력을 보유한 지원자분들은 경력직 채용 공고에 지원 바랍니다.  
(경력을 보유한 분들이 지원할 경우 입사 전 재직했던 모든 경력은 산정되지 않습니다)

1 기본정보	2 학력/연구/경력/NCS	3 어학/자격/기타	4 자기소개서/역량기술서	5 최종제출
--------	----------------	------------	---------------	--------

## 고등학교

\* 졸업구분

졸업

졸업예정

중퇴

휴학

재학

학교관련

\* 학교명

학교검색광주수피아여자고등학교

학교소재지

광주

계열

인문

\* 재학기간

2018.03

~

2021.02

2025.08.31 이전 졸업(예정)만 최종학력으로 인정

## 대학교

\* 학위구분

전문학사

학사

\* 학교관련

학교명

학교검색한동대학교

학교소재지

경북

본교/분교

본교

분교

\* 재학기간

2021.03

~

2025.08

2025.08.31 이전 졸업(예정)만 최종학력으로 인정

\* 입학구분

입학

편입

\* 졸업구분

졸업

졸업예정

수료

중퇴

휴학

재학

\* 학과/전공

전공

전공검색전자공학

주전공

복수전공

부전공

공학계열(전기·전자)

연계전공

융합전공

주간

야간

전공

전공검색컴퓨터공학

주전공

복수전공

부전공

공학계열(컴퓨터·통신)

 로그인 세션 남은 시간 119분 56초 / 120분

접수기간 2025.03.03(월) 10:00 ~ 2025.03.16(일) 23:59

연장 ?

임시저장

다음

주간

야간

\* 성적

평점

3.74

/

4.5

▼

+ 추가

— 삭제

대학원

학위구분

석사

박사

\* 학교관련

학교명

학교검색

학교소재지

학교소재지

▼

본교/분교

본교

분교

\* 재학기간

입학일

~

졸업일

2025.08.31 이전 졸업(예정)만 최종학력으로 인정

\* 입학구분

입학

편입

\* 졸업구분

졸업

졸업예정

수료

중퇴

휴학

재학

학과/전공

학과계열

학과계열을 선택하세요.

▼

+ ↺

\* 전공

전공검색

주전공

복수전공

부전공

전공계열을 선택하세요.

▼

연계전공

융합전공

주간

야간

\* 성적

평점

평점

/

만점기준

▼

+ 추가

— 삭제

학력사항 추가

\* 성적증명서 첨부

파일첨부 버튼을 클릭하여 성적증명서를 첨부하세요.

이예린\_성적증명서.pdf

삭제

연구실적

\* 연구논문 게재 실적이 있습니까?

예

아니오

\* 학술논문 발표 실적이 있습니까?

예

아니오

직장경력



\* 고용형태

인턴

\* 회사명

슈어소프트테크

\* 근무기간

재직중

퇴사

2024.06.24

~

2024.12.13

\* 부서

전장SW개발실

\* 직급

인턴

\* 담당업무

C언어 기반의 소자 Complex Device Driver 개발, IC 칩 19종의 데이터시트(DS) 분석을 기반으로 SW 기능 요

\* 연봉

2500

만원

\* 퇴직사유

계약 종료

프로젝트



\* 프로젝트명

차량 제어기 HW 추상화 구조 및 디바이스 드라이버 개발

\* 발주처

현대자동차

\* 근무처

슈어소프트테크

\* 기간

2024.06.24

~

2024.12.13

기여도

%

참여역할

현대자동차 기술팀과 만나 임베디드 SW 개발 및 설

경험 및 경력기술서

[졸업 프로젝트 - 저전력 아날로그 PLL 설계]

- MMDIV(Multi-Modulus Divider) 및 PFD(Phase Frequency Detector) 회로 설계
  - MOSFET 크기 최적화를 통해 초기 설계 대비 약 25% 소모전류 절감
  - Schematic simulation 수행 및 Layout DRC, LVS 검증 수행

- Verilog 기반 DSM(Delta Sigma Modulator) 코드 구현
  - Delta Sigma Modulator(DSM)의 Verilog 코드 작성 및 Vivado simulation 수행
  - PnR 합성을 통해 전체 레이아웃 설계 완료

사용한 언어 및 Tool: Cadence virtuoso, Vivado, Verilog, MobaXterm



40%

포트폴리오 첨부

파일첨부

파일첨부



로그인 세션 남은 시간 119분 56초 / 120분

접수기간 2025.03.03(월) 10:00 ~ 2025.03.16(일) 23:59