



计算机组成与系统结构

第五章 中央处理器

吕昕晨

lvxinchen@bupt.edu.cn

网络空间安全学院



第五章 中央处理器

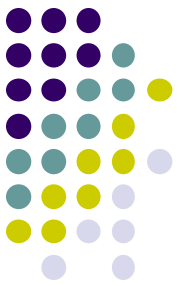
- CPU功能与组成（MIPS指令）
- 多级缓存系统扩展——边缘缓存设计
- 期中大作业要求



CPU的功能

- CPU：中央处理器
 - 根据编写的程序，自动从存储器中取出指令，并完成指令操作
- 功能分解
 - 指令控制（程序的顺序控制）
 - 操作控制（一条指令有若干操作信号实现）
 - 时间控制（指令各个操作实施时间的定时）
 - 数据加工（算术运算和逻辑运算）

取指令 $\xrightarrow{\text{操作控制、时间控制}}$ 执行指令



MIPS指令系统简化版本

- 无符号加法和减法

- addu rd, rs, rt
- subu rd, rs, rt



- 立即数逻辑或

- ori rt, rs, imm16

- 装载和存储一个字

- sw rt, imm16(rs)
- lw rt, imm16(rs)



- 条件分支

- beq rs, rt, imm16

MIPS指令系统



MIPS 指令集(共31条)

助记符	指令格式						示例	示例含义	操作及其解释
Bit #	31..26	25..21	20..16	15..11	10..6	5..0			
R-type	op	rs	rt	rd	shamt	func			
add	000000	rs	rt	rd	00000	100000	add \$1,\$2,\$3	$\$1 = \$2 + \$3$	$rd \leftarrow rs + rt$; 其中 $rs = \$2$, $rt = \$3$, $rd = \$1$
addu	000000	rs	rt	rd	00000	100001	addu \$1,\$2,\$3	$\$1 = \$2 + \$3$	$rd \leftarrow rs + rt$; 其中 $rs = \$2$, $rt = \$3$, $rd = \$1$,无符号数
sub	000000	rs	rt	rd	00000	100010	sub \$1,\$2,\$3	$\$1 = \$2 - \$3$	$rd \leftarrow rs - rt$; 其中 $rs = \$2$, $rt = \$3$, $rd = \$1$
subu	000000	rs	rt	rd	00000	100011	subu \$1,\$2,\$3	$\$1 = \$2 - \$3$	$rd \leftarrow rs - rt$; 其中 $rs = \$2$, $rt = \$3$, $rd = \$1$,无符号数
and	000000	rs	rt	rd	00000	100100	and \$1,\$2,\$3	$\$1 = \$2 \& \$3$	$rd \leftarrow rs \& rt$; 其中 $rs = \$2$, $rt = \$3$, $rd = \$1$
or	000000	rs	rt	rd	00000	100101	or \$1,\$2,\$3	$\$1 = \$2 \mid \$3$	$rd \leftarrow rs \mid rt$; 其中 $rs = \$2$, $rt = \$3$, $rd = \$1$
xor	000000	rs	rt	rd	00000	100110	xor \$1,\$2,\$3	$\$1 = \$2 \wedge \$3$	$rd \leftarrow rs \text{ xor } rt$; 其中 $rs = \$2$, $rt = \$3$, $rd = \$1$ (异或)
nor	000000	rs	rt	rd	00000	100111	nor \$1,\$2,\$3	$\$1 = \sim(\$2 \mid \$3)$	$rd \leftarrow \text{not}(rs \mid rt)$; 其中 $rs = \$2$, $rt = \$3$, $rd = \$1$ (或非)
slt	000000	rs	rt	rd	00000	101010	slt \$1,\$2,\$3	if($\$2 < \3) $\$1 = 1$ else $\$1 = 0$	if ($rs < rt$) $rd = 1$ else $rd = 0$; 其中 $rs = \$2$, $rt = \$3$, $rd = \$1$
sltu	000000	rs	rt	rd	00000	101011	sltu \$1,\$2,\$3	if($\$2 < \3) $\$1 = 1$ else $\$1 = 0$	if ($rs < rt$) $rd = 1$ else $rd = 0$; 其中 $rs = \$2$, $rt = \$3$, $rd = \$1$ (无符号数)

<https://blog.csdn.net/CuriousLiu/article/details/8878409>
Q



指令格式

- R型指令

- 控制信号：{op, rs, rt, rd, shamt, funct}



- I型指令

- 控制信号：{op, rs, rt, rd, immediate}



- 取指需求：IR MEM [PC]

- 高速缓存：I-cache
- 寄存器：PC、IR



指令操作

- R型算数运算
 - ADDU: $R[rd] \leftarrow R[rd] + R[rt]; PC \leftarrow PC + 4$
 - SUBU: $R[rd] \leftarrow R[rd] - R[rt]; PC \leftarrow PC + 4$
 - 需求
 - 32位通用寄存器
 - 同时读取两个寄存器内容，改写一个寄存器内容
- I型逻辑运算
 - ORI: $R[rt] \leftarrow R[rs] \mid (\text{zero-extend}) \text{ immediate}$
 - 需求:
 - ALU提供算数与逻辑运算
 - 运算操作数可以是立即数
 - 零扩展: 16位 32位



指令操作

- I型访存指令

- LW/LOAD: $R[rt] \leftarrow MEM[R[rd] + \text{sign_ext}(Imm)]$;
PC $\leftarrow PC + 4$
- SW/STORE: $MEM[R[rd] + \text{sign_ext}(Imm)] \leftarrow R[rt]$;
PC $\leftarrow PC + 4$

- 需求

- 高速缓存: D-Cache
- 符号扩展: 16位数扩展至32位

- I型条件转移

- BEQ: if (rs == rt)
PC $\leftarrow PC + 4 + (\text{sign_ext}(Imm) \ll 2)$

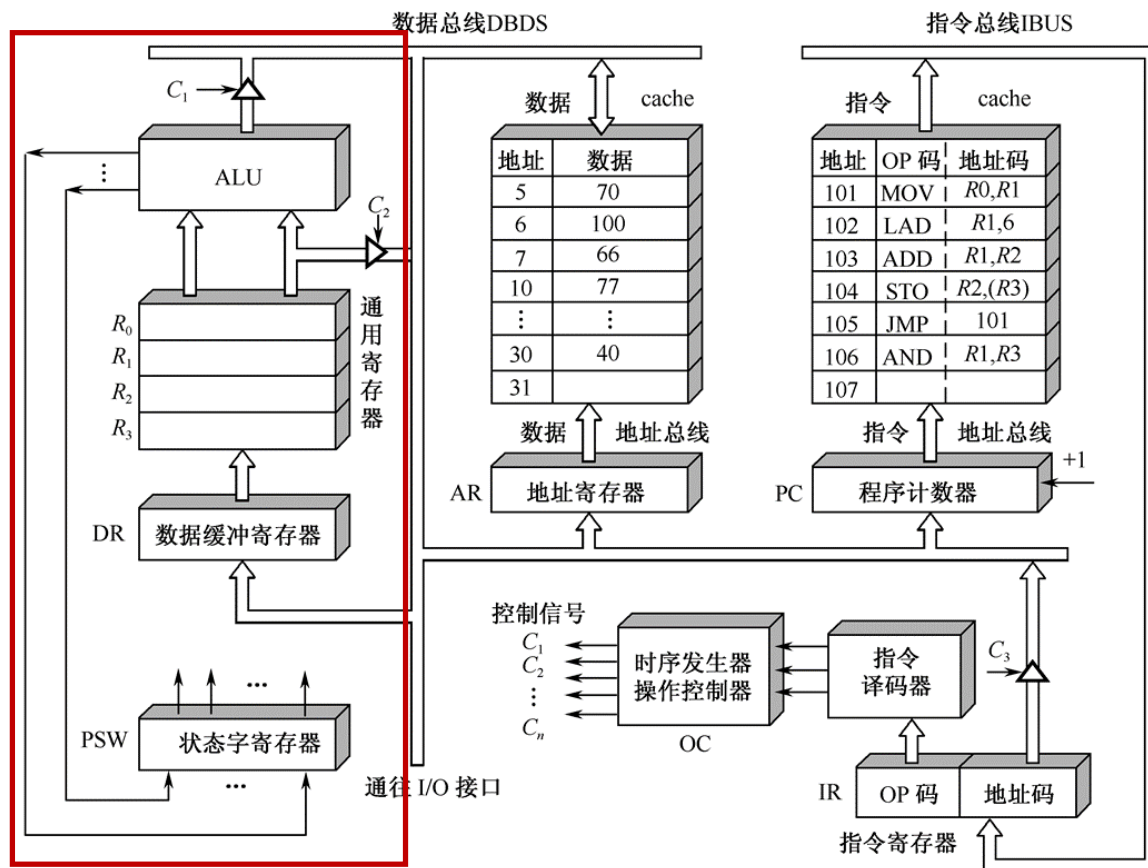
- 需求

- 判断数是否相等, PC寄存器不同自增方式

CPU基本组成——运算器



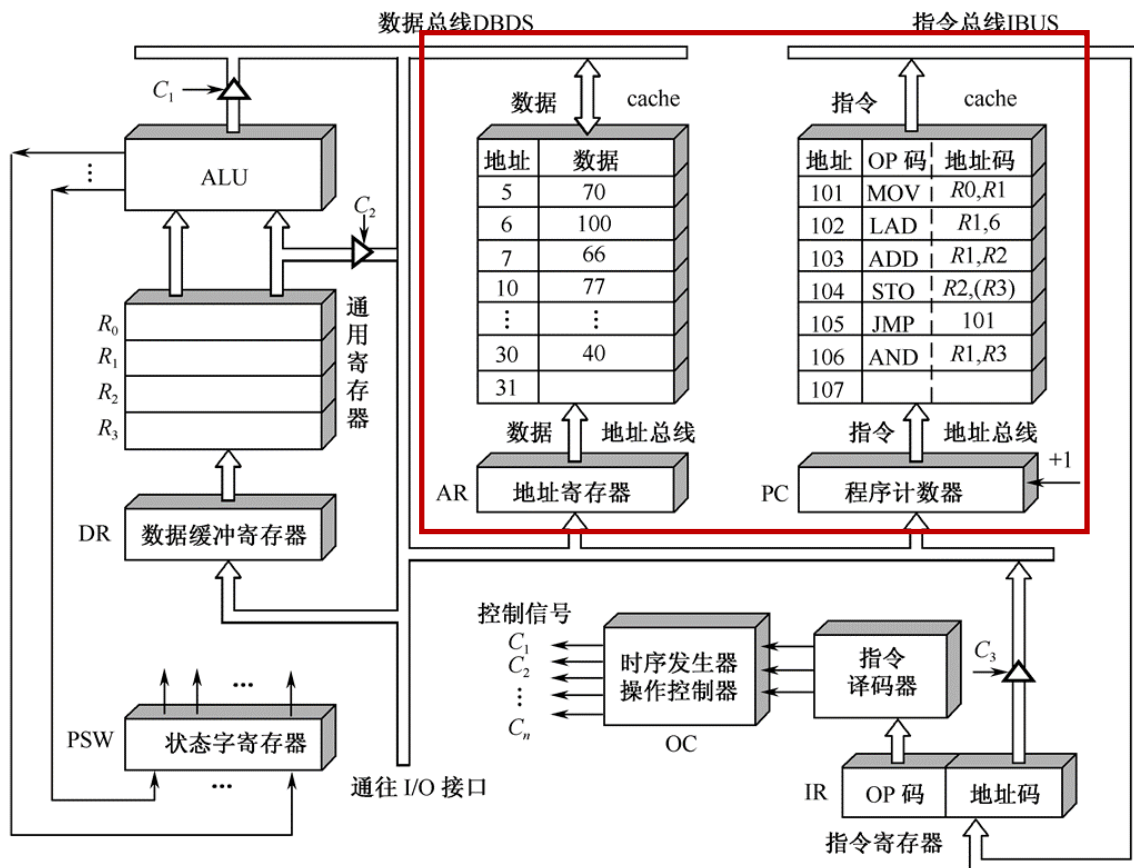
- CPU组成
 - 运算器
 - I-Cache/D-Cache
 - 控制器
- 运算器
 - ALU
 - 通用寄存器
 - 数据缓冲器：DR
 - 状态字寄存器：PSWR



CPU基本组成——高速缓存

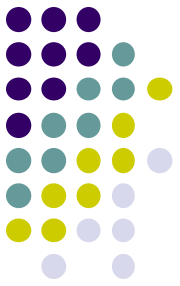


- CPU组成
 - 运算器
 - I-Cache/D-Cache
 - 控制器
- 高速缓存
 - I-Cache
 - PC寄存器
 - I-BUS
 - D-Cache
 - AR寄存器
 - D-BUS





-
- The diagram illustrates the architecture of the DBDS-IBUS system, showing the internal components and their connections to the Data Bus (DBDS) and Instruction Bus (IBUS).
- Data Bus (DBDS) and Instruction Bus (IBUS):**
- DBDS:** Data Bus, connecting to the ALU, Registers, Buffers, and Control Logic.
 - IBUS:** Instruction Bus, connecting to the Instruction Register and Program Counter.
- Internal Components:**
- ALU:** Arithmetic Logic Unit, receiving data from the DBDS and performing operations.
 - Registers:** General registers (R0, R1, R2, R3) and the Program Counter (PC).
 - Buffers:** Data Buffer (DR) and Instruction Buffer (IR).
 - Control Logic:** Includes the Instruction Decoder, Program Counter, and Control Signals (C1, C2, ..., Cn).
- Data Flow:**
- Data from the DBDS is sent to the ALU and Registers.
 - Instructions from the IBUS are sent to the Instruction Register and Program Counter.
 - Control signals (C1, C2, ..., Cn) are sent from the Control Logic to the ALU, Registers, and Buffers.
- Instruction Register (IR) and Program Counter (PC) Details:**
- The Instruction Register (IR) and Program Counter (PC) are shown with their internal structure and data flow.
- | 地址 | OP 码 | 地址码 |
|-----|------|----------|
| 101 | MOV | R0, R1 |
| 102 | LAD | R1, 6 |
| 103 | ADD | R1, R2 |
| 104 | STO | R2, (R3) |
| 105 | JMP | 101 |
| 106 | AND | R1, R3 |
| 107 | | |
- The Program Counter (PC) is shown with its internal structure and data flow.
- | 地址 | 数据 |
|-----|-----|
| 5 | 70 |
| 6 | 100 |
| 7 | 66 |
| 10 | 77 |
| ... | ... |
| 30 | 40 |
| 31 | |



CPU基本组成——控制器

- 数据通路
 - 各组件间通路
- 操作控制器
 - 为数据通路的建立提供各种操作信号。根据设计方法不同
 - 硬布线控制器
 - 微程序控制器
- 时序产生器
 - 提供定时和时序信号
- 其他功能部件：中断系统、总线接口等

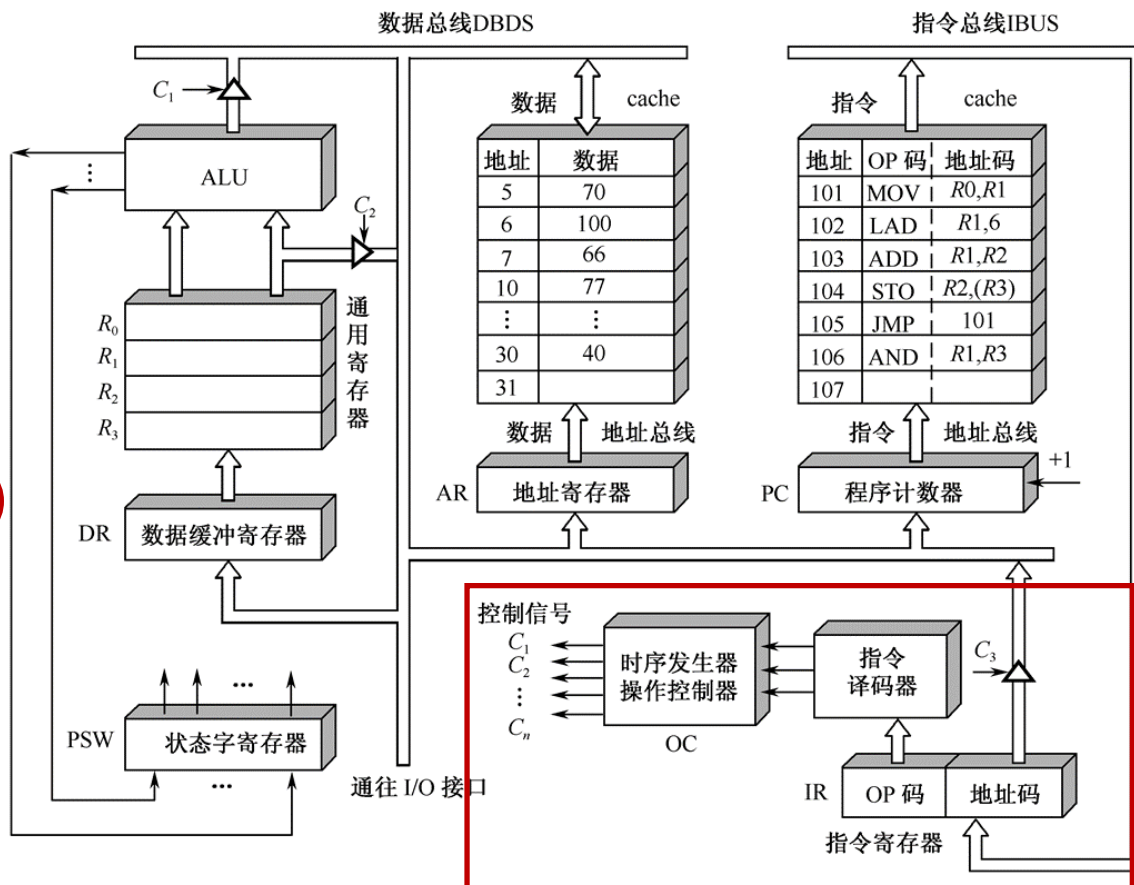
CPU的基本组成

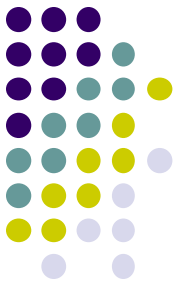
- CPU组成

- 运算器
- I-Cache/D-Cache
- 控制器

- 本章内容

- 指令执行
 - 指令周期 (录播)
- 时序信号
- 操作控制器
 - 微程序控制器
- 流水线设计
- RISC CPU

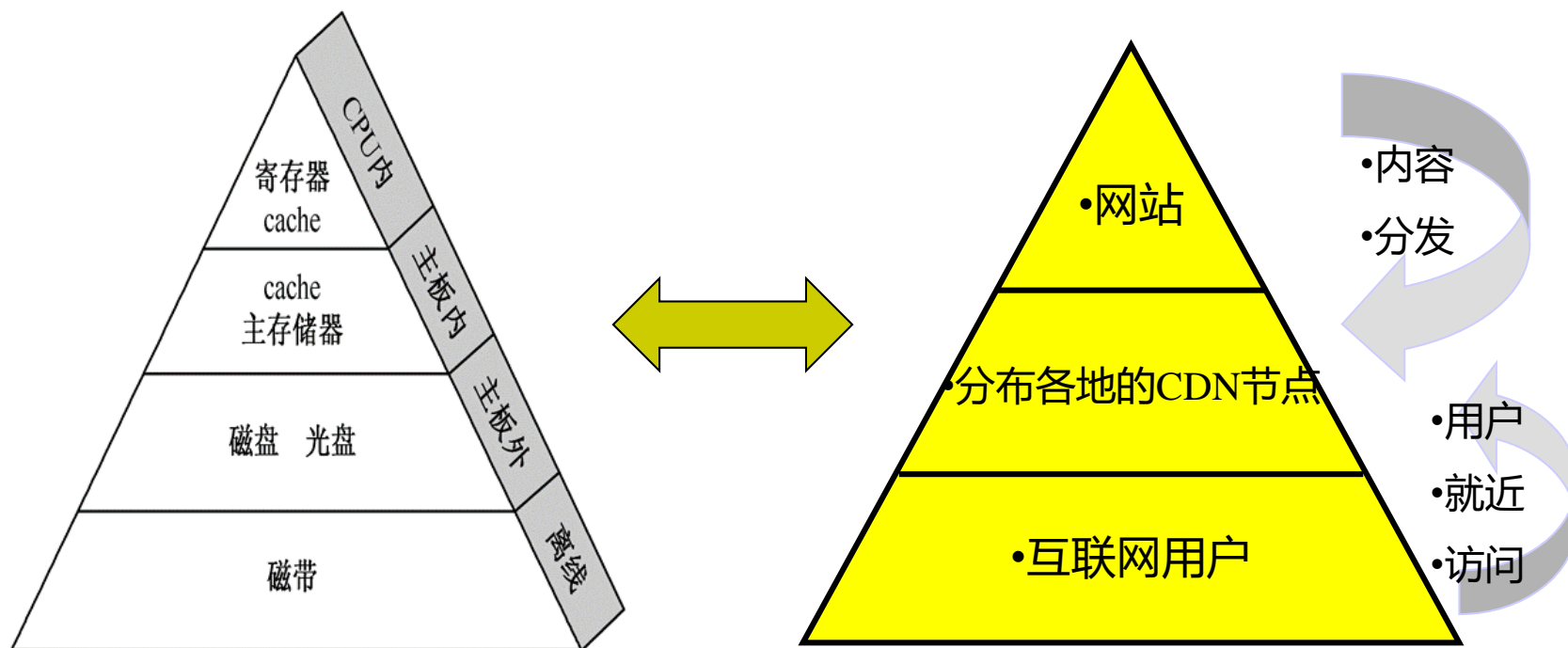


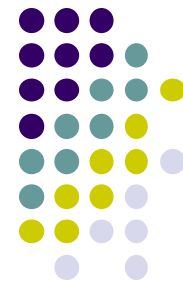


第五章 中央处理器

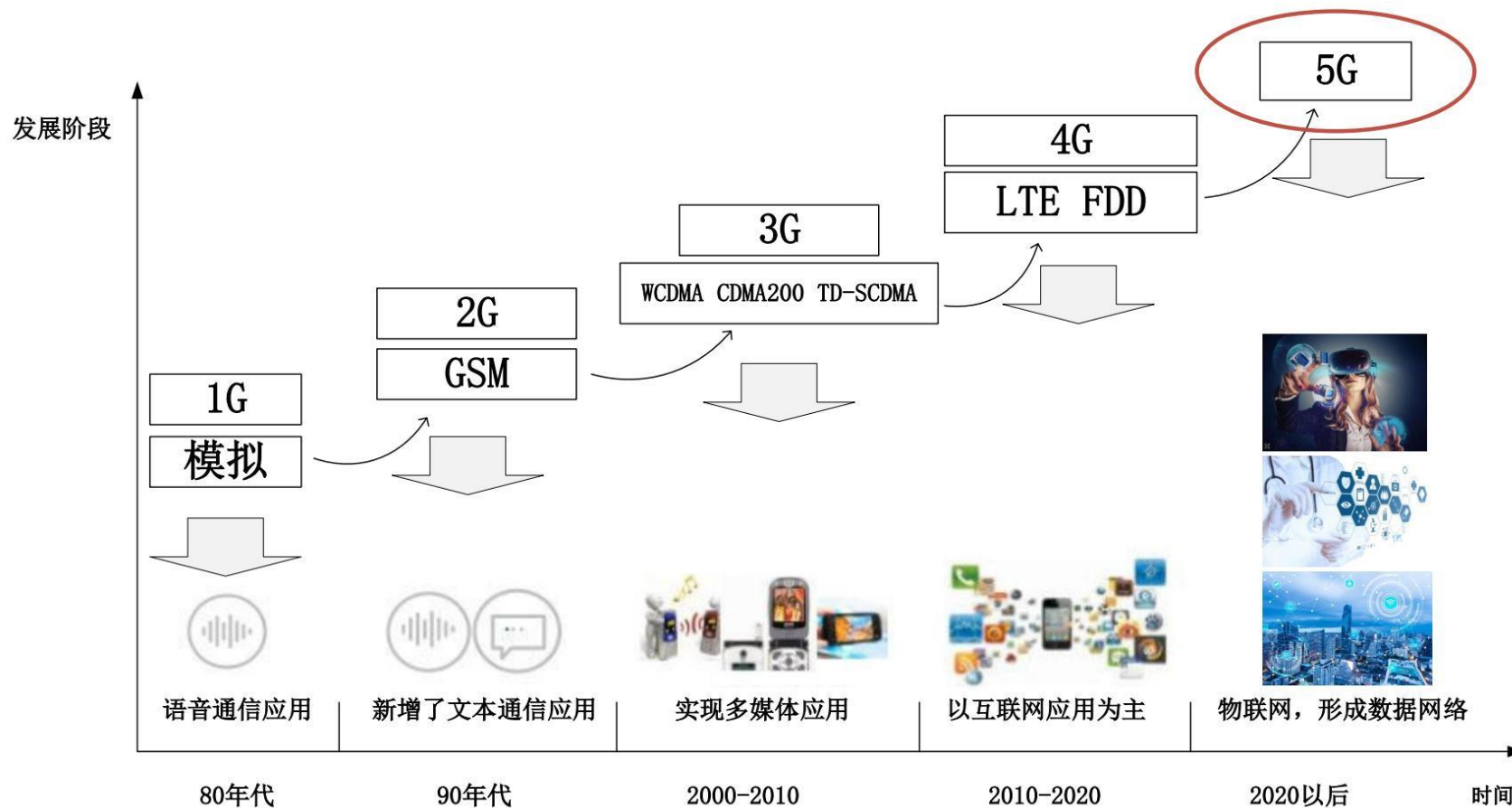
- CPU功能与组成（MIPS指令）
- 多级缓存系统扩展——边缘缓存设计
 - 背景知识
 - 研究现状调研
 - 现有问题分析
 - 解决方法与验证
- 期中大作业要求

基本业务模式（CDN/边缘缓存）





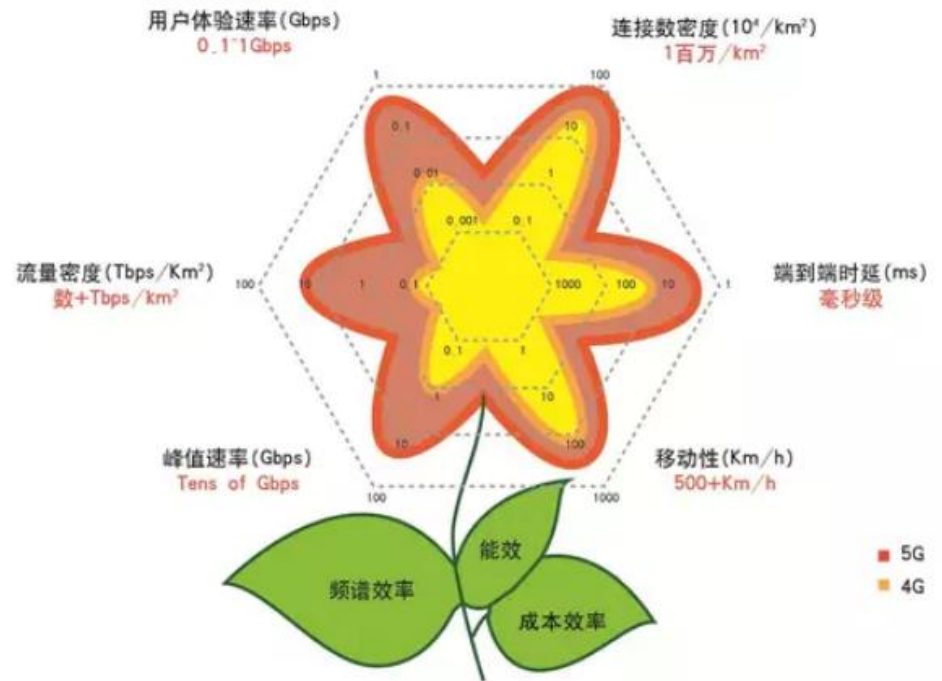
移动网络发展历程

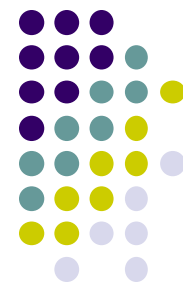




5G网络需求

- 支持0.1 ~ 1Gbps的用户体验速率
- 每平方公里一百万的连接数密度
- 毫秒级的端到端时延
- 每平方公里数十Tbps的流量密度
- 每小时500Km以上的移动性
- 频谱效率提升5 ~ 15倍
- 能效和成本效率提升百倍以上

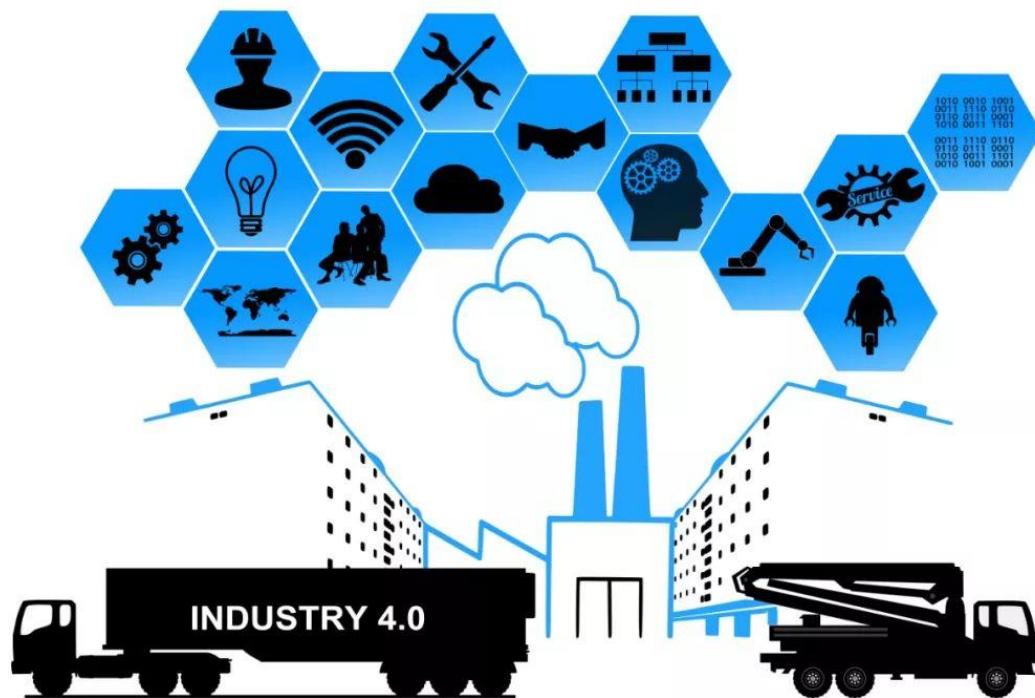




5G主要应用场景

未来5G应用场景的80%会在工业互联网，尤值得期待的是车联网和远程医疗。

- 工业互联网特点：
 - 大数据传输
 - 低时延高可靠
 - 连接数巨大

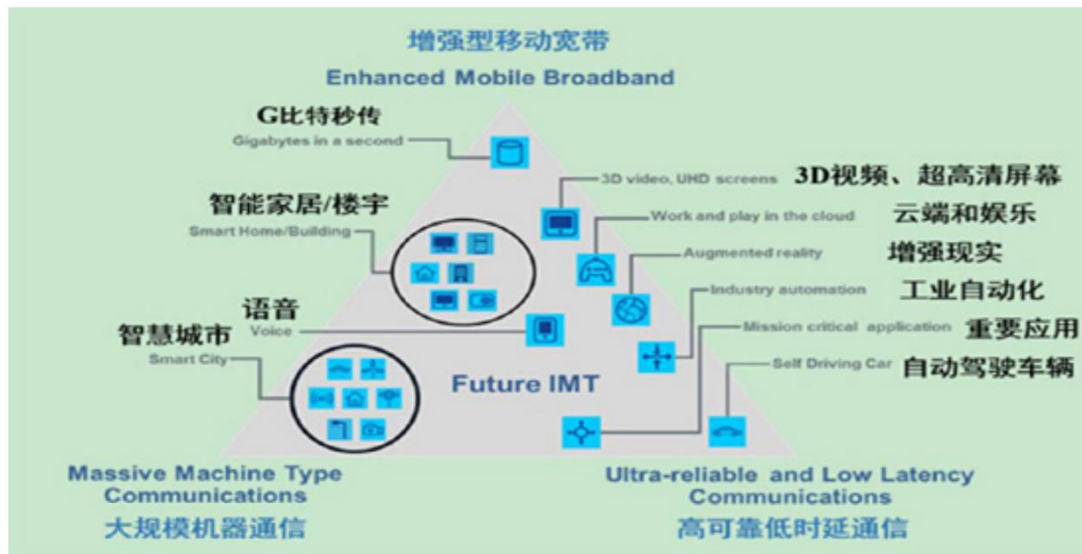




5G主要应用场景

- 增强型移动宽带 (eMBB)
- 大规模机器类通信(mMTC)
- 高可靠低时延通信(uRLLC)

网络切片
(Network Slicing)





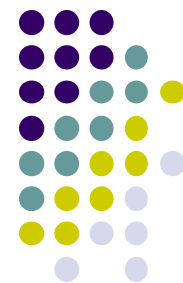
5G主要应用场景

增强型移动宽带 (eMBB)

- 超高清视频传输
- 高速移动物体传输 (高铁上)
- 虚拟现实、增强现实







5G主要应用场景

大规模机器类通信(mMTC)

- 智能家居
- 环境监测
- 智慧城市





5G主要应用场景

高可靠低时延通信(uRLLC):

时延 (1ms) , 可靠性 (99.999%)

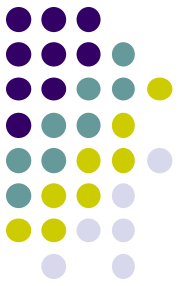
- 无人驾驶
- 远程医疗手术
- 工业自动化控制





第五章 中央处理器

- CPU功能与组成（MIPS指令）
- 多级缓存系统扩展——边缘缓存设计
 - 背景知识
 - 研究现状调研
 - 现有问题分析
 - 解决方法与验证
- 期中大作业要求



研究现状调研

- 关键：分类总结，关键突出
- 调研步骤
 - 阅读相关综述文献
 - <https://ieeexplore.ieee.org/Xplore/home.jsp>
 - Google Scholar
 - 关键词
 - edge caching（边缘缓存），survey（调研）
 - 明确方向，扩展阅读
 - 整理总结，形成报告

文献检索结果



Access provided by:
BEIJING UNIVERSITY OF POST
AND TELECOM
» Sign Out

Browse ▾

My Settings ▾

Get Help ▾

All ▾

Enter keywords or phrases (Note: Searches metadata only by default. A search for 'smart grid' = 'smart AND grid')

Q

Advanced Search | Other Search Options ▾

Search within results Q

Download PDFs ▾ | Per Page: 25 ▾ | Export ▾ | Set Search Alerts ▾ | Search History

Showing 1-25 of 30 for **edge caching survey** ×

☐ Journals (16)

☐ Conferences (8)

☐ Magazines (3)

☐ Courses (2)

☐ Books (1)

Show

☒ All Results

☐ My Subscribed Content

☐ Open Access

Year

Single Year

Range

2003

2020

From

To

2003

2020

Author ▾

Affiliation ▾

☐ Select All on Page

Sort By: Relevance ▾

☐ **On Mobile Edge Caching**

Jingjing Yao ; Tao Han ; Nirwan Ansari

IEEE Communications Surveys & Tutorials

Year: 2019 | Volume: 21, Issue: 3 | Journal Article | Publisher: IEEE

Cited by: Papers (5)

☐ Abstract ☒ (html) (4018 Kb)

☐ **A Survey on Mobile Edge Networks: Convergence of Computing, Caching and Communications**

Shuo Wang ; Xing Zhang ; Yan Zhang ; Lin Wang ; Juwo Yang ; Wenbo Wang

IEEE Access

Year: 2017 | Volume: 5 | Journal Article | Publisher: IEEE

Cited by: Papers (301)

☐ Abstract ☒ (html) (8680 Kb)

☐ **Recent Advances of Edge Cache in Radio Access Networks for Internet of Things: Techniques, Performances, and Challenges**

Zhuying Piao ; Mugen Peng ; Yaqiong Liu ; Mahmoud Daneshmand

IEEE Internet of Things Journal

Year: 2019 | Volume: 6, Issue: 1 | Journal Article | Publisher: IEEE

Cited by: Papers (7)

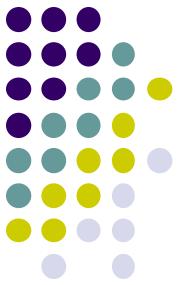
☐ Abstract ☒ (html) (2625 Kb)

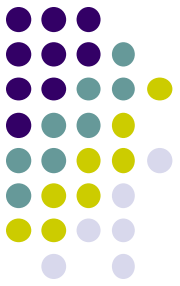


研究现状调研

- 关键：分类总结，关键突出
- 调研步骤
 - 阅读相关综述文献
 - 明确方向，扩展阅读
 - 整体了解研究方向（根据已有综述）
 - 明确感兴趣的内容
 - 扩展阅读
 - 整理总结，形成报告

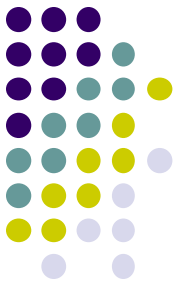
研究方向总结





研究现状调研

- 关键：分类总结，关键突出
- 调研步骤
 - 阅读相关综述文献
 - 明确方向，扩展阅读
 - 整理总结，形成报告
 - 要求
 - 图表总结
 - 重点方向明确
 - 扩展阅读文献数目不少于20篇



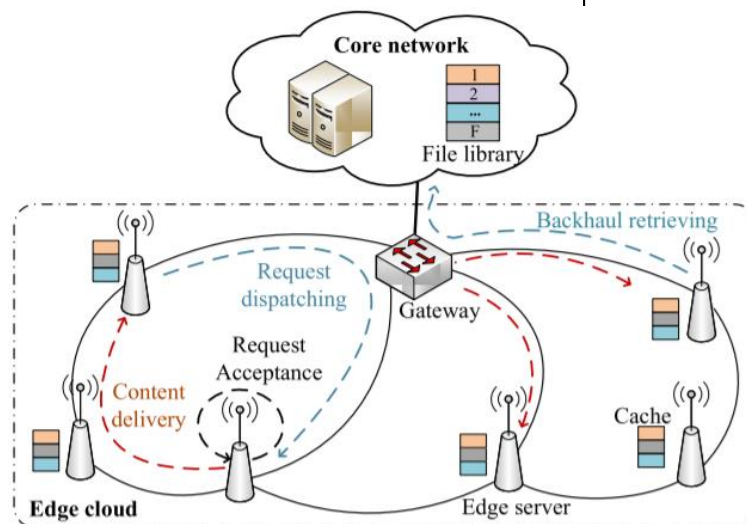
第五章 中央处理器

- CPU功能与组成（MIPS指令）
- 多级缓存系统扩展——边缘缓存设计
 - 背景知识
 - 研究现状调研
 - 现有问题分析
 - 解决方法与验证
- 期中大作业要求

研究现状分析



- 基础：研究方向现状调研
- 例，边缘缓存策略
 - 单点缓存
 - LRU/LFU等经典算法
 - 优化理论
 - 机器学习
 - 分析：无法充分利用边缘节点协作
 - 协作缓存
 - 全网整体优化
 - 多智体机器学习
 - 分析：方案复杂，实现信令开销大
- 拟研究问题：如何将单点缓存扩展至协作缓存





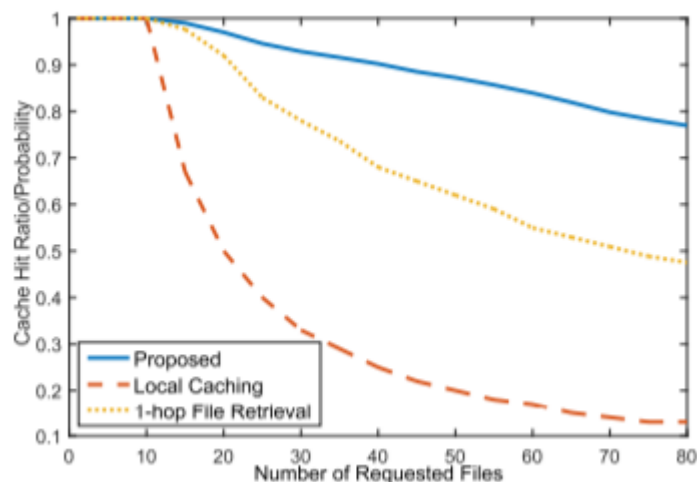
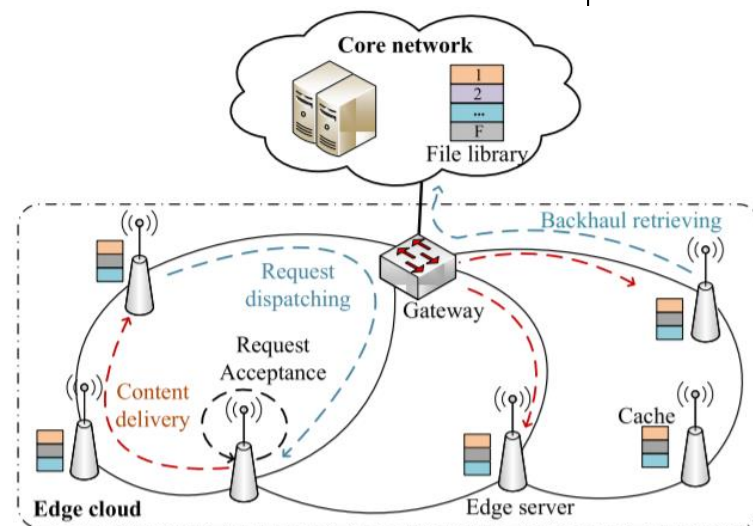
第五章 中央处理器

- CPU功能与组成（MIPS指令）
- 多级缓存系统扩展——边缘缓存设计
 - 背景知识
 - 研究现状调研
 - 现有问题分析
 - 解决方法与验证
- 期中大作业要求

边缘缓存域

- 边缘缓存域
 - 定义：节点协作范围
 - 因素
 - 内容大小
 - 网络拓扑
 - 内容流行度
 - 为每一边缘服务器、内容，划分边缘缓存域
- LRU/LFU应用
 - 在对应缓存域内命中
- 仿真验证

Profitable Cooperative Region for Distributed Online
Edge Caching, IEEE TCOM





第五章 中央处理器

- CPU功能与组成（MIPS指令）
- 多级缓存系统扩展——边缘缓存设计
- 期中大作业要求（二选一）
 - 研究现状调研分析
 - 课程相关报告



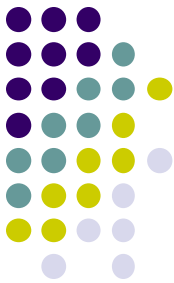
研究现状调研

- 调研内容要求
 - 计算机/通信领域
 - 感兴趣，最好与课程内容有一定关联度
- 调研报告内容
 - 研究背景
 - 研究现状调研
 - 整体分类
 - 重点内容
 - 现状分析（可选）
 - 解决方法与验证（可选）
 - 总结
- 字数：5000字以上
- 最多2人一组完成



课程相关报告

- 报告内容要求
 - 课程内容紧密相关
 - 例如
 - MIPS指令系统分析
 - CPU与简单模型机设计
- 可参考网上已有课程设计相关题目
 - 关键词：计算机组成原理课程设计
- 字数：5000字以上
- 单人完成



整体与评分要求

- 时间节点
 - 5月30日前
- 提交方式
 - 以班级为单位，发送至lvxinchen@bupt.edu.cn
- 评分要求
 - 大作业：满分10分（替代期中考试占最终成绩10%）
 - 若满足字数满足要求，查重不存在问题，6~10分
 - 调研报告成绩相同
- 查重方式
 - 本地文件查重（整体重复率，查重文字）
 - 重复率超过40%，满分5分
 - 40%以上，每超过5%，成绩满分减1分（65% 0分）