

# 计算机组成与系统结构

## 第三章 多层次的存储器

吕昕晨

[lvxinchen@bupt.edu.cn](mailto:lvxinchen@bupt.edu.cn)

网络空间安全学院



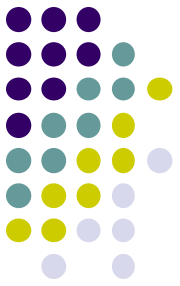
# 随机读写存储器

- SRAM与DRAM基本结构
- SRAM逻辑结构与操作
- DRAM逻辑结构与操作
- 存储器扩展方式
- DRAM高级传输模式



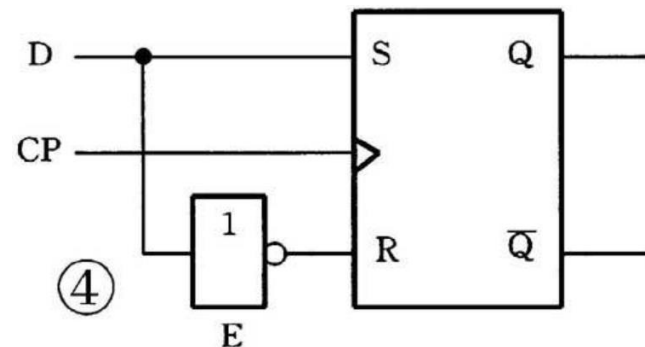
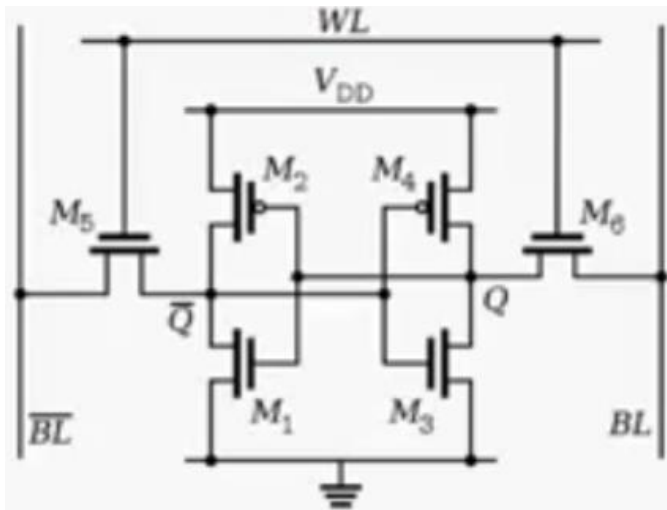
# SRAM与DRAM

- 主存（内部存储器）是半导体存储器
- 根据信息存储的机理不同可以分为两类：
  - 静态读写存储器(SRAM)
    - 存取速度快，容量小
    - Cache
  - 动态读写存储器(DRAM)
    - 存取速度较慢，存储容量较大
    - 内存

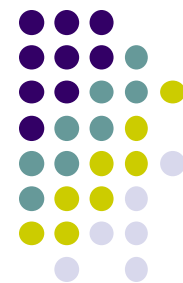


# SRAM基本存储单元

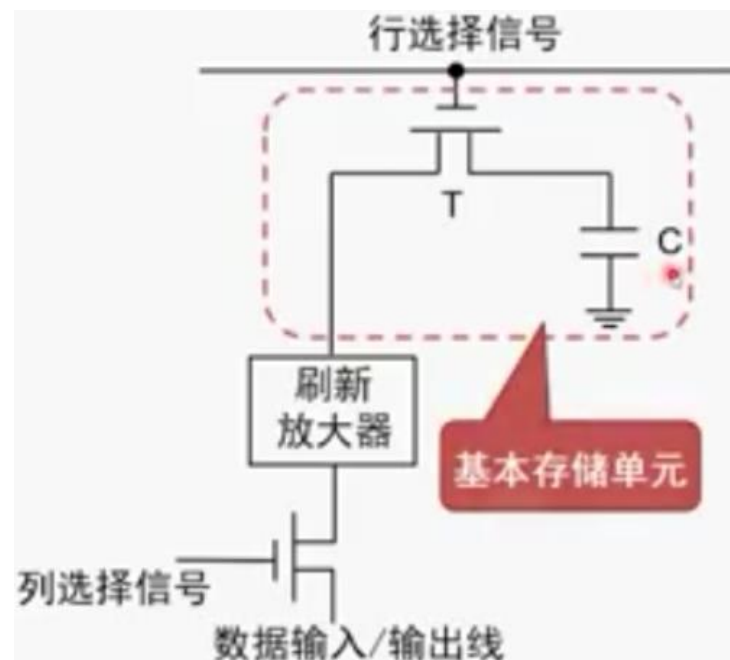
- 双稳态触发器
  - 保存输入数据，可选择输出
  - 电路组成：6个MOS管
  - VDD为电源端，保证M1-M4的MOS管保持稳定
  - BL与 $\overline{BL}$  信号为信号写入与读出端
  - WL信号为写入读出控制信号



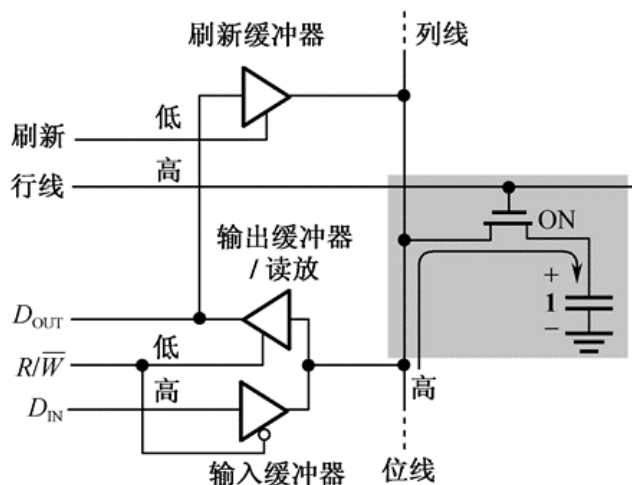
# DRAM基本存储单元



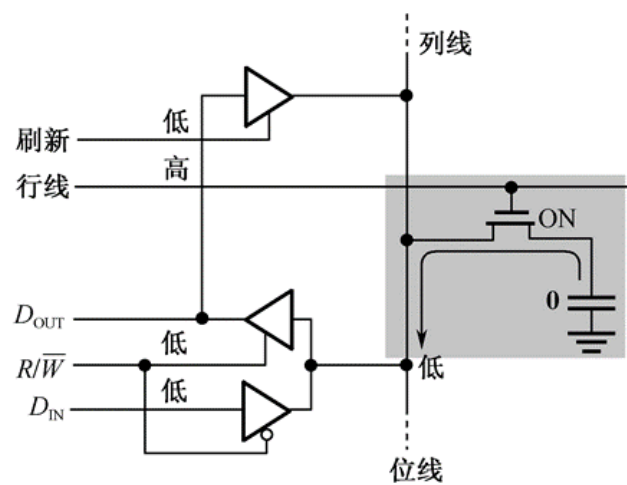
- 电容：充放电能力
  - 行列选择信号
    - 关闭，电容保存电荷
  - 写入过程
    - 数据输入线置0/1
    - 对电容进行充放电
  - 读出过程
    - 电容存储电荷驱动输出线
  - 刷新过程
    - 电容漏电效应，信息丢失
    - 刷新：保证数据正确性



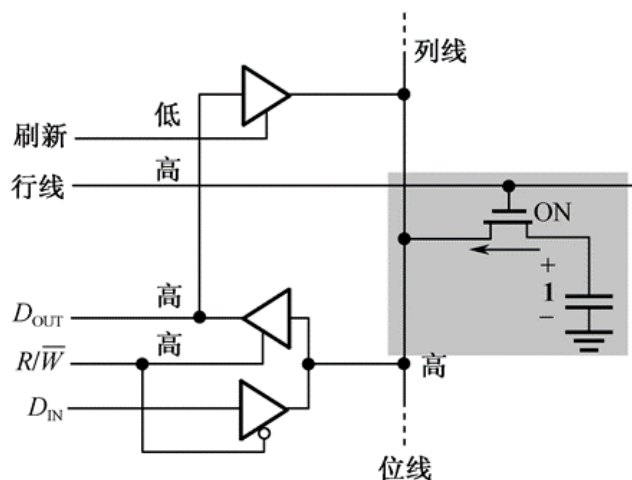
# DRAM基本存储单元



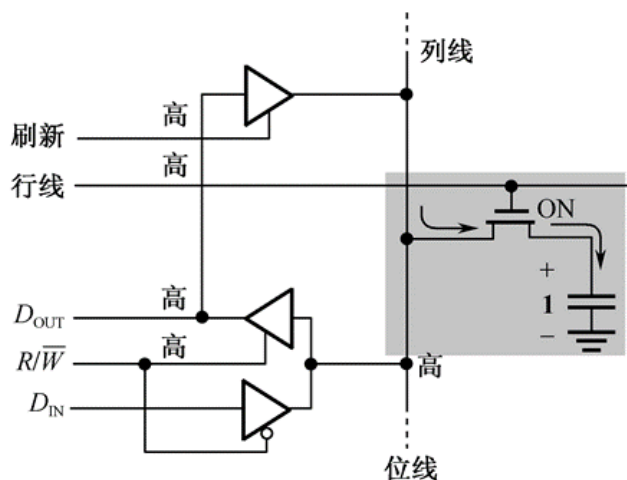
(a) 写 1 到存储位元



(b) 写 0 到存储位元



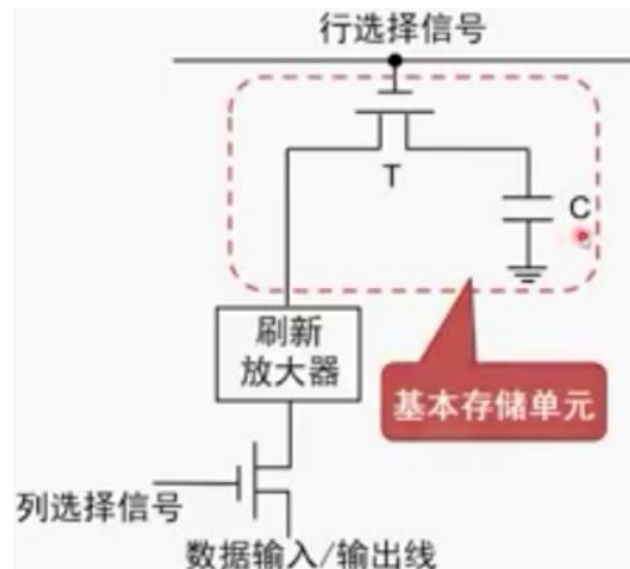
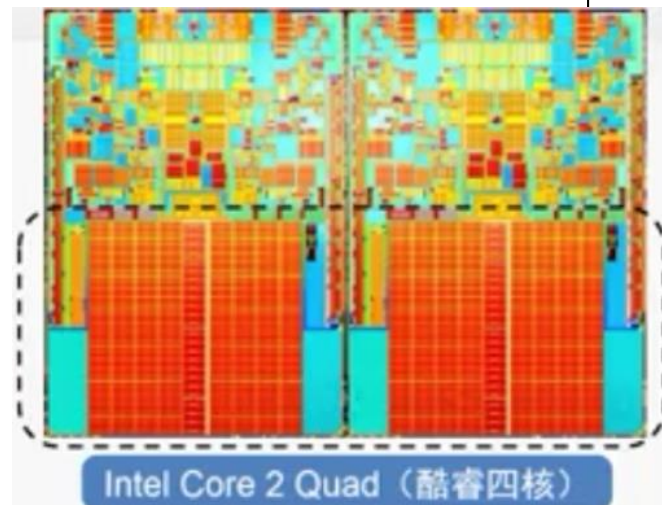
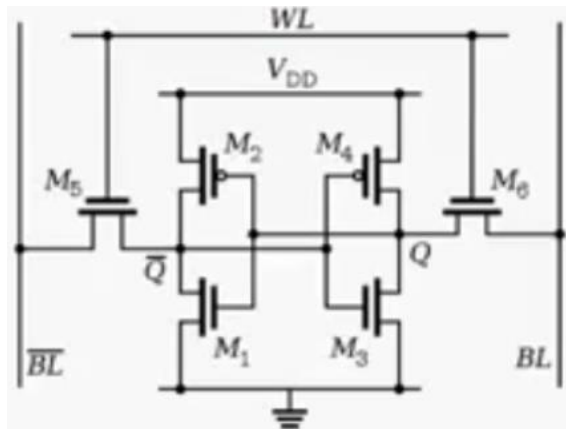
(c) 从存储位元读出 1



(d) 刷新存储位元的 1

# SRAM与DRAM对比

- SRAM
  - 结构复杂 (6个MOS管)
  - 集成度低、成本高
  - 不需刷新, 读写速度快
- DRAM
  - 结构简单 (电容), 成本较低
  - 定期刷新, 读写速度慢



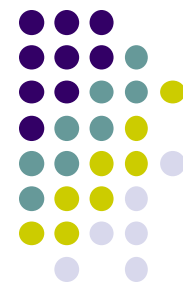


# 随机读写存储器

- SRAM与DRAM基本结构
- SRAM逻辑结构与操作
- DRAM逻辑结构与操作
- 存储器扩展方式
- DRAM高级传输模式



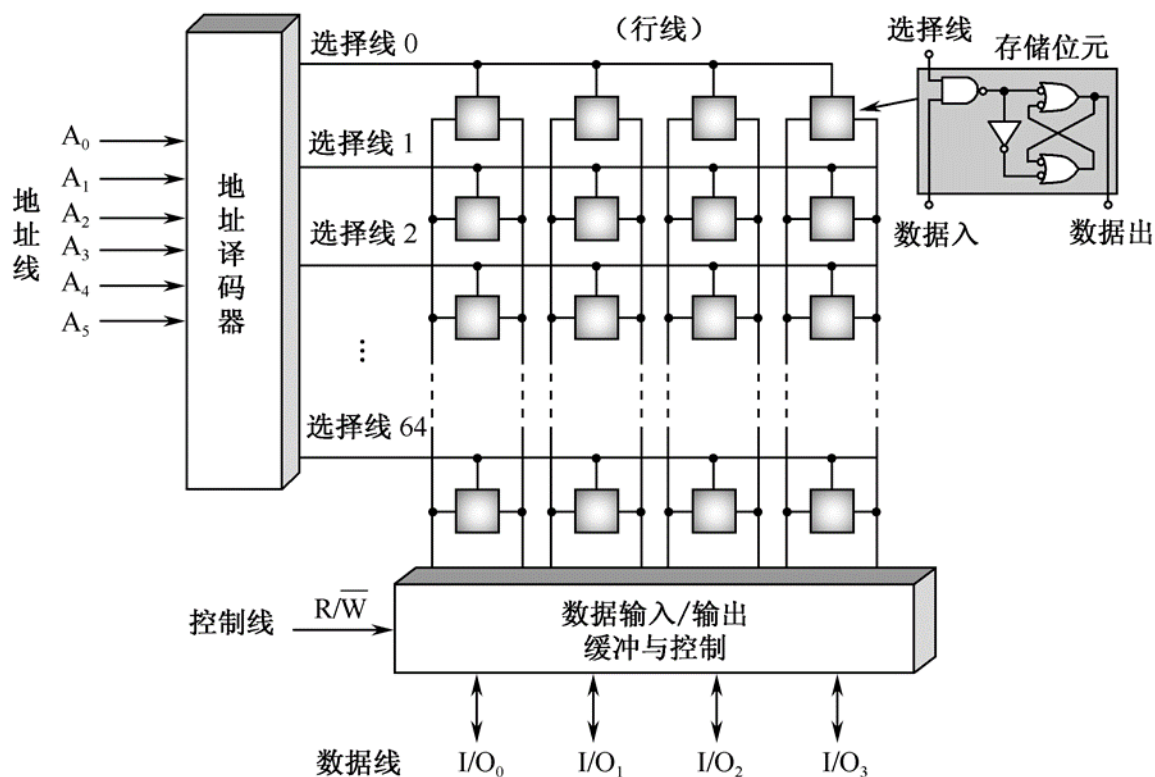
# 基本的静态存储元阵列



1、存储位元（触发器）

2、三组信号线

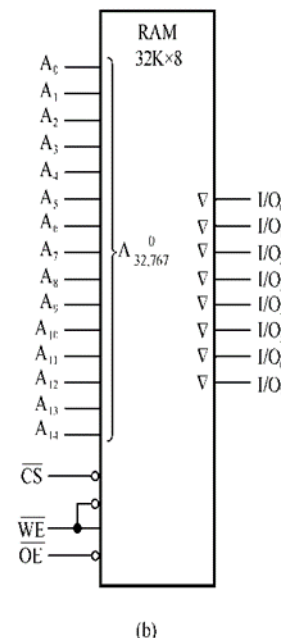
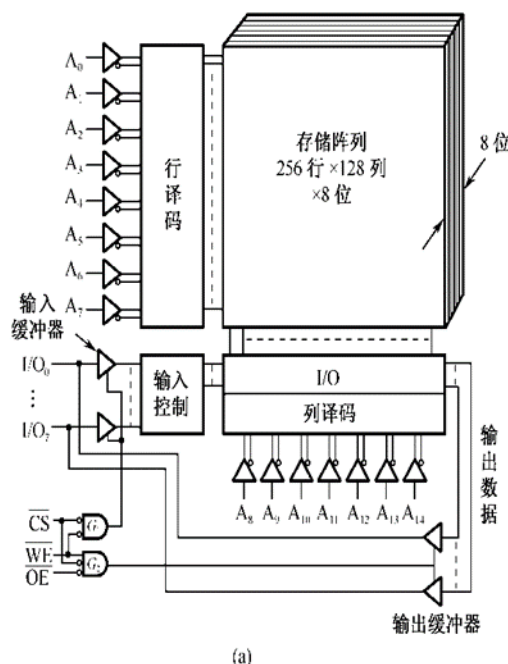
- 地址线
- 数据线
- 行线
- 列线
- 控制线



# 基本的SRAM逻辑结构

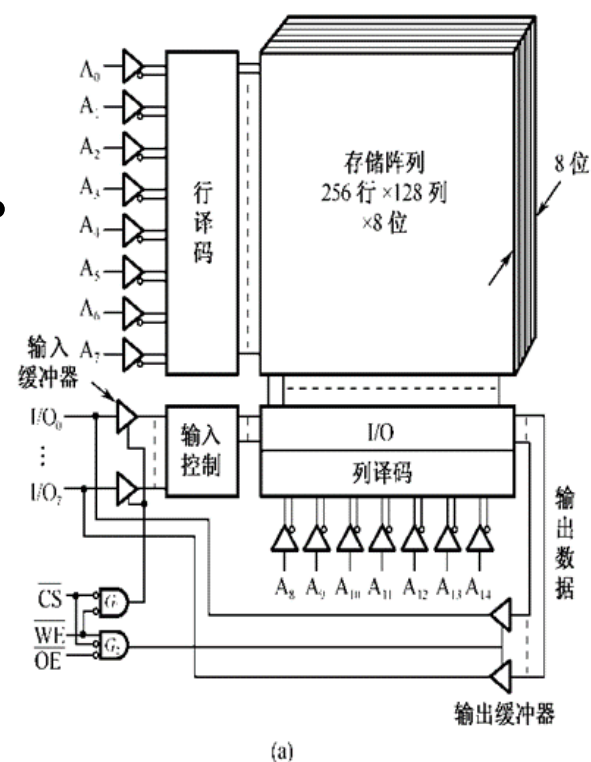


- SRAM芯大多采用双译码方式，以便组织更大的存储容量
- 采用了二级译码
  - 地址分成x向y向两部分（行、列译码）
- 右图为SRAM对应逻辑图
  - 地址线
  - 输入输出控制
  - 片选与使能信号



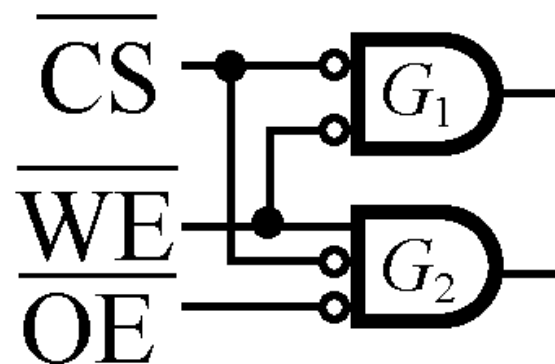
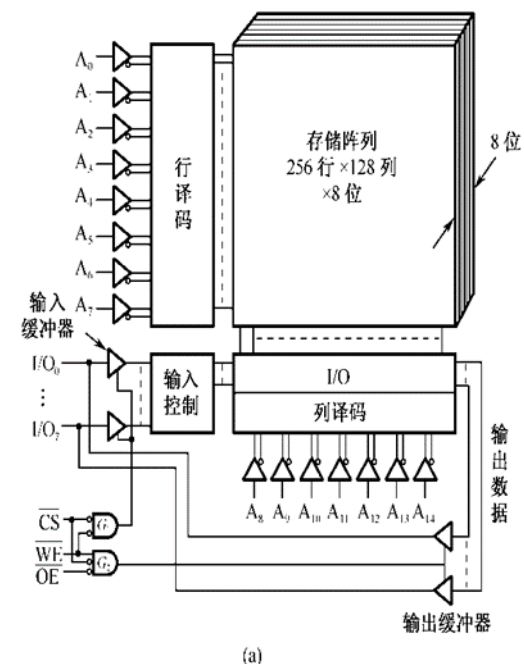
# 基本的SRAM逻辑结构

- 存储体 ( $256 \times 128 \times 8$ )
  - 通常把各个字的同一个字的同一位集成在一个芯片 ( $32K \times 1$ ) 中, 32K位排成  $256 \times 128$  的矩阵。8个片子就可以构成32KB
- 地址译码器
  - 采用双译码的方式 (减少选择线的数目)
  - $A_0 \sim A_7$  为行地址译码线
  - $A_8 \sim A_{14}$  为列地址译码线



# 基本的SRAM逻辑结构

- 读与写的互锁逻辑
- 控制信号中CS是片选信号，CS有效时（低电平），门G1、G2均被打开
- OE为读出使能信号，OE有效时（低电平），且WE=1时（高电平）
  - 门G2开启，门G1关闭，存储器进行读操作
- 写操作时，WE=0，门G1开启，门G2关闭，进行写操作
- 门G1和G2是互锁的，一个开启时另一个必定关闭（WE）



# SRAM读/写周期

- 读周期

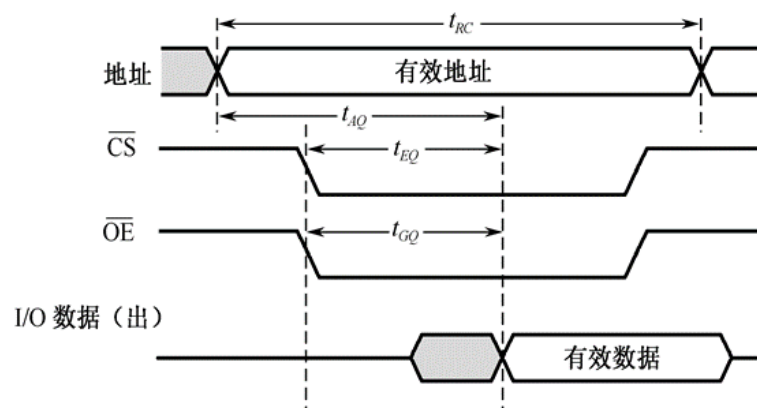
- 读出时间 $T_{AQ}$
- 读周期时间 $T_{RC}$

- 写周期

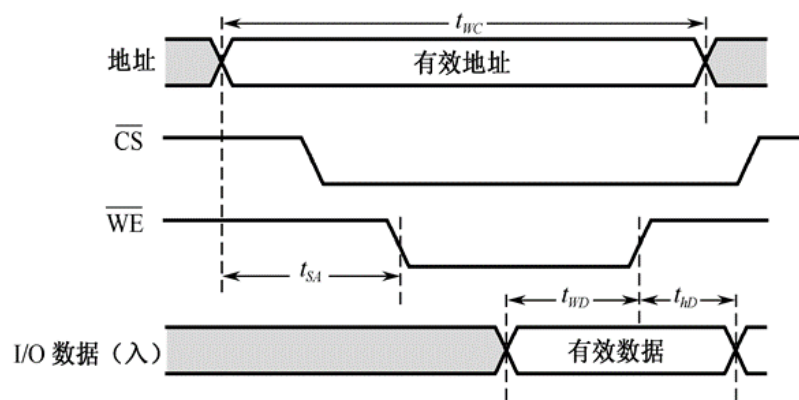
- 写时间 $T_{WD}$
- 写周期时间 $T_{WC}$

- 存取周期

- 为控制方便
- $T_{RC} = T_{WC}$



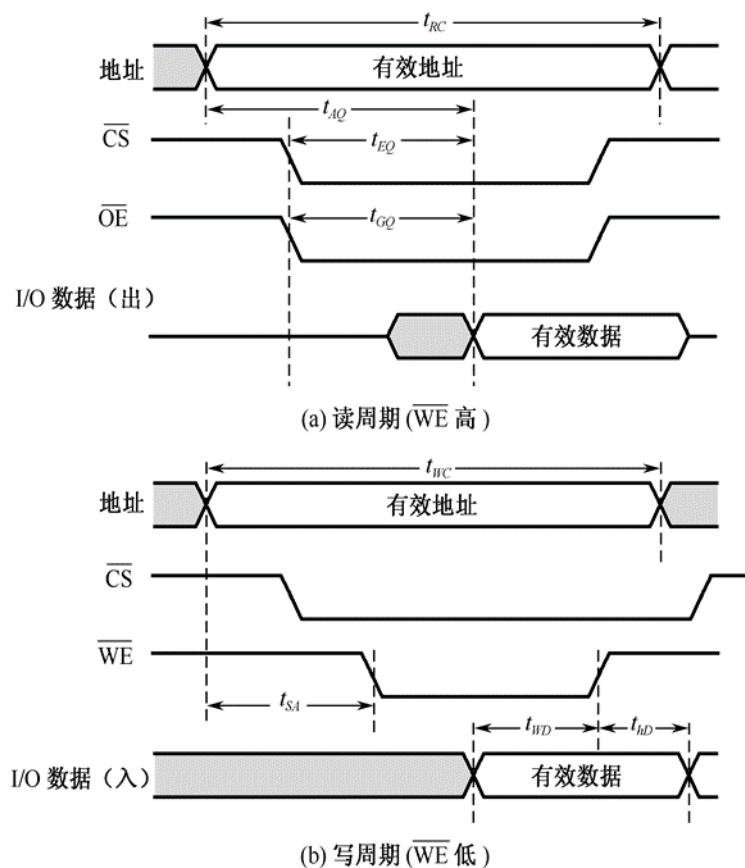
(a) 读周期 ( $\overline{WE}$  高)



(b) 写周期 ( $\overline{WE}$  低)

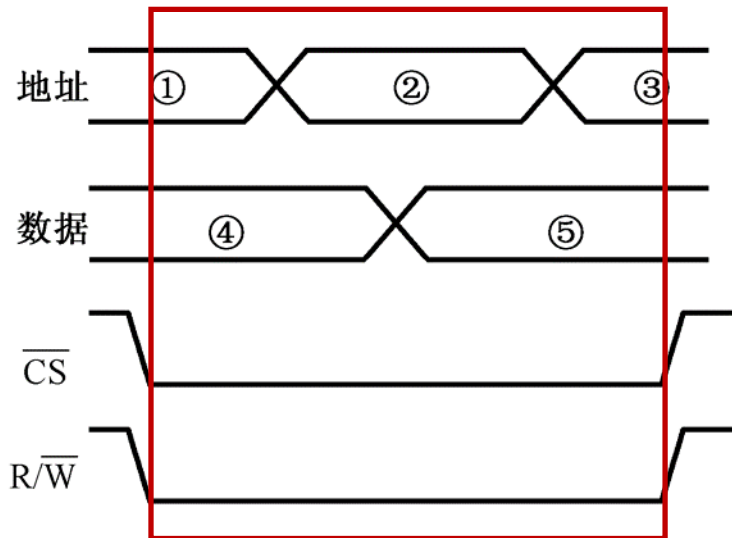
# SRAM读/写时序

- 时序过程
  - 地址信号
    - 选中存储单元
    - 维持有效
  - 片选信号
  - 读出、写入信号
    - 控制读出、写入操作
  - 数据信号

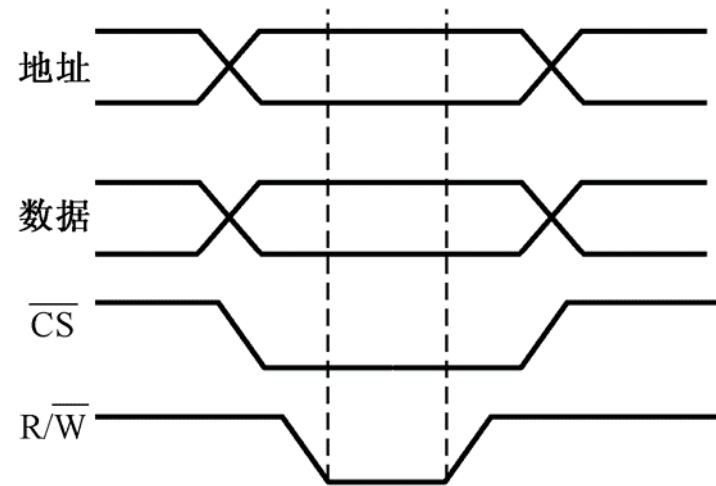




**例1：图3.5(a)是SRAM的写入时序图。其中R/W是读/写命令控制线，当R/W线为低电平时，存储器按给定地址把数据线上的数据写入存储器。**  
**请指出图3.5(a)写入时序中的错误，并画出正确的写入时序图。**



(a) 错误时序



(b) 正确时序



# 随机读写存储器

- SRAM与DRAM基本结构
- SRAM逻辑结构与操作
- DRAM逻辑结构与操作
- 存储器扩展方式
- DRAM高级传输模式

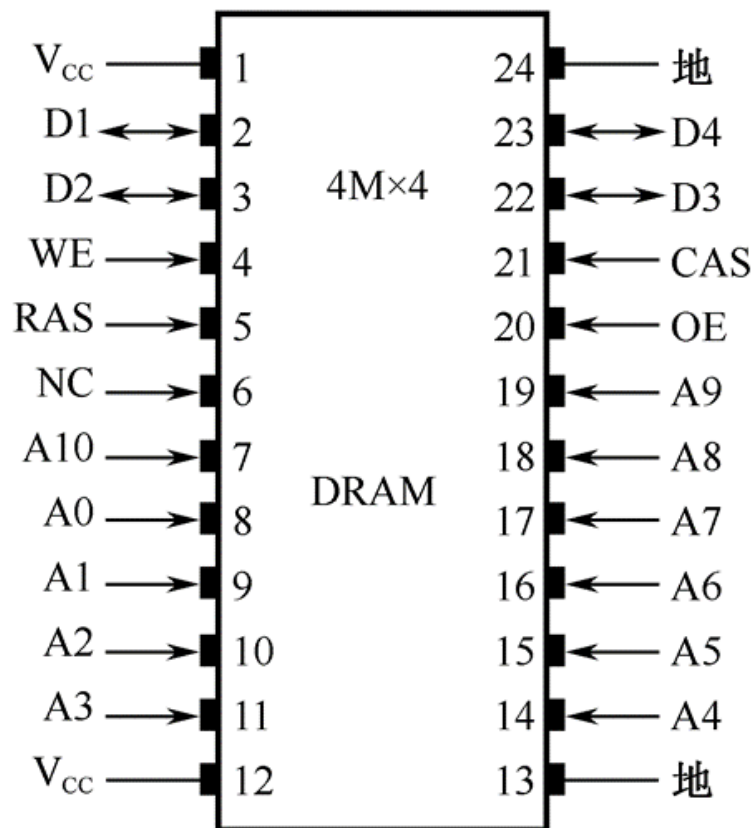


# DRAM芯片逻辑图

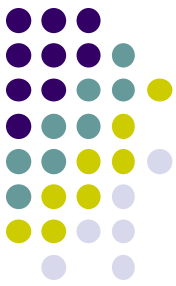


## 4位DRAM芯片的管脚图

- 两个电源脚VCC
- 两个地线脚VDD
- 一个空脚 (NC)
- 地址线A
- 数据线D
- 片选信号
  - 行选通信号RAS
  - 列选通信号CAS
- 输入输出控制信号
  - WE、OE



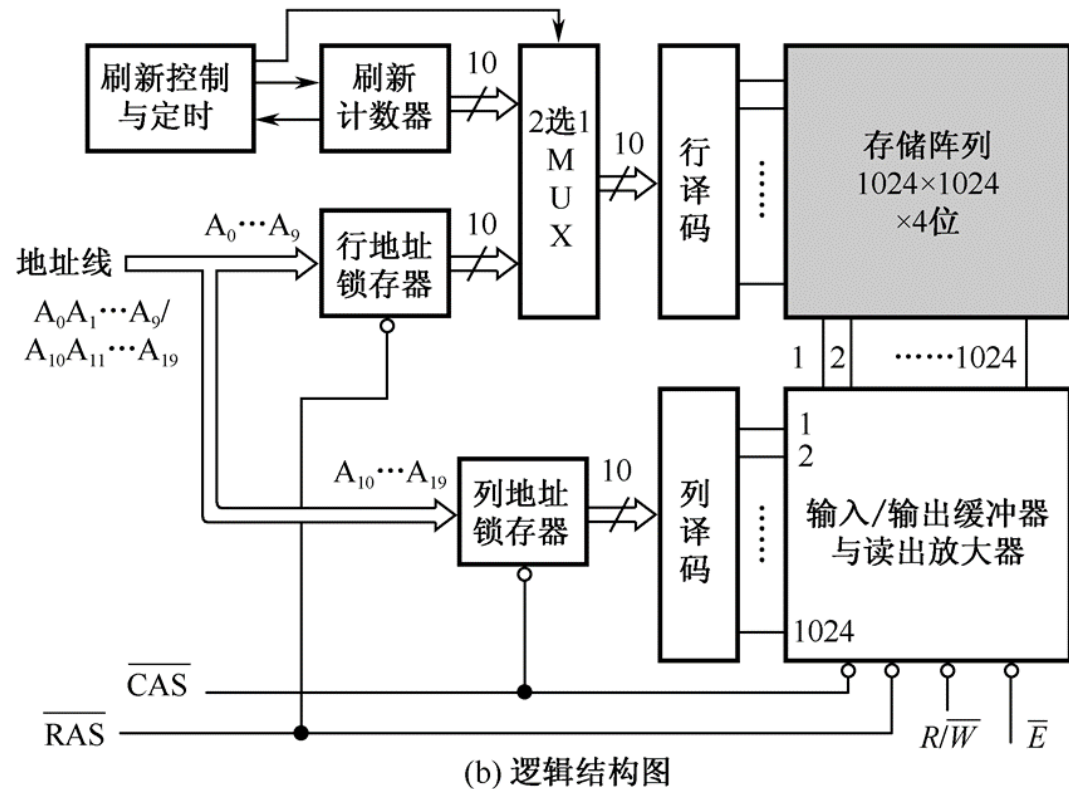
(a) 管脚图



# DRAM芯片结构与操作 (1)

- 行地址锁存器和列地址锁存器

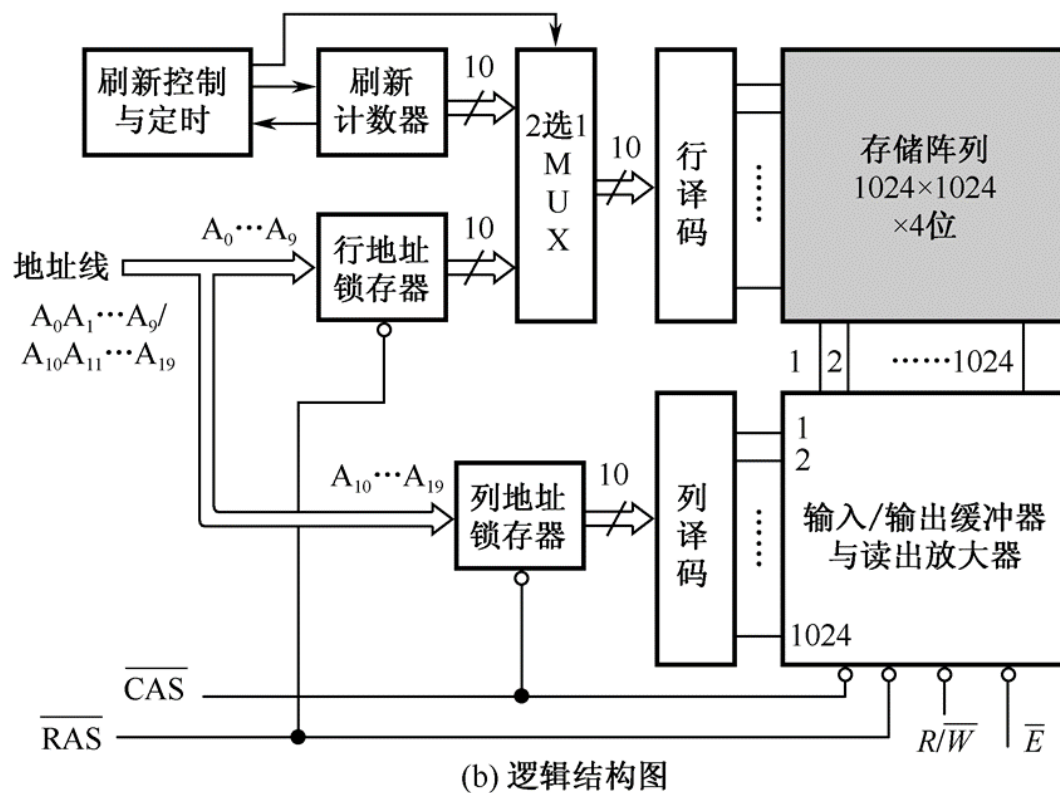
- 由于DRAM存储器容量很大，地址线宽度相应要增加
- 采取的办法是分时传送地址码
- 若地址总线宽度为10位，先传送地址码  $A_0 \sim A_9$ ；由行选通信号  $\overline{RAS}$  打入行地址锁存器
- 然后传送地址码  $A_{10} \sim A_{19}$ ，由列选通信号  $\overline{CAS}$  打入列地址锁存器
- 10位管脚  $\rightarrow$  20位地址



# DRAM芯片结构与操作 (2)



- 增加了刷新计数器和相应的控制电路
  - DRAM读出后必须刷新, 而未读写的存储元也要定期刷新
  - 按行刷新方式
  - 刷新操作与读/写操作是交替进行的, 所以通过2选1多路开关来提供刷新行地址或正常读/写的行地址

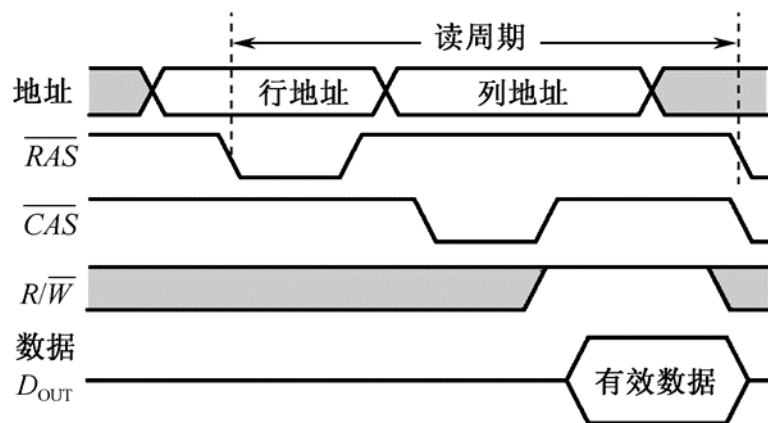




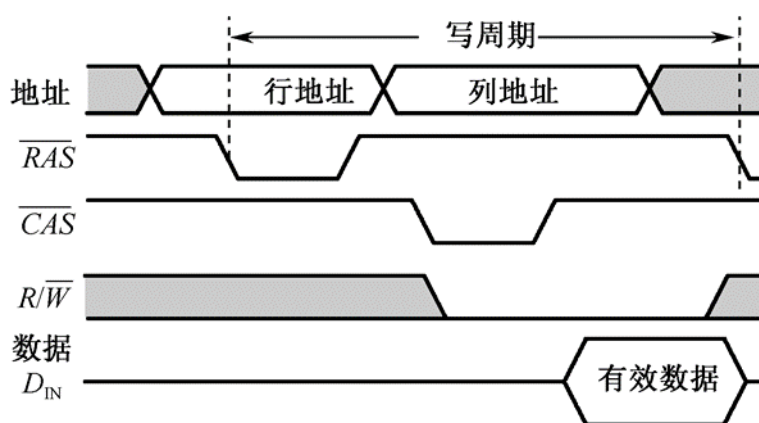
# DRAM读/写时序与周期

- 读/写周期

- 从行选通信号RAS下降沿开始，到下一个RAS信号的下降沿为止的时间，也就是连续两个读写/周期的时间间隔
- 通常为控制方便，读周期和写周期时间相等

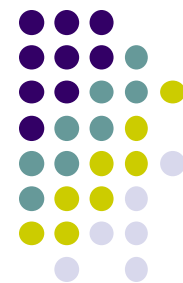


(a) 读周期

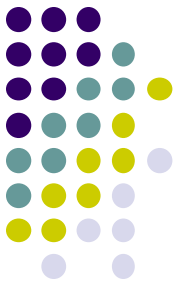


(b) 写周期

# DRAM刷新周期与方式

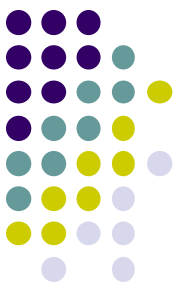


- 刷新周期
  - DRAM存储位元是基于电容器上的电荷量存储，这个电荷量随着时间和温度而减少
  - 必须定期地刷新，以保持它们原来记忆的正确信息
- 刷新操作有两种刷新方式：
  - 集中式刷新
    - DRAM的所有行在每一个刷新周期中都被刷新
    - 例如刷新周期为8ms的内存来说，所有行的集中式刷新必须每隔8ms进行一次。为此将8ms时间分为两部分：前一段时间进行正常的读/写操作，后一段时间（8ms至正常读/写周期时间）做为集中刷新操作时间
  - 分散式刷新
    - 每一行的刷新插入到正常的读/写周期之中
    - 如DRAM有1024行，如果刷新周期为8ms，则每一行必须每隔 $8\text{ms} \div 1024 = 7.8\mu\text{s}$ 进行一次。



# 随机读写存储器

- SRAM与DRAM基本结构
- SRAM逻辑结构与操作
- DRAM逻辑结构与操作
- 存储器扩展方式
  - 字扩展
  - 位扩展
  - 存储器模块条（内存）
- DRAM高级传输模式



# 字长位数扩展

- 给定的芯片字长位数较短，不满足设计要求的存储器字长
  - 需要用多片给定芯片扩展字长位数
  - 三组信号线中，地址线和控制线公用而数据线单独分开连接
  - $d = \text{设计要求的存储器容量} / \text{选择芯片存储器容量}$

**[例2] 利用1M×4位的SRAM芯片，设计一个存储容量为1M×8位的SRAM存储器。**

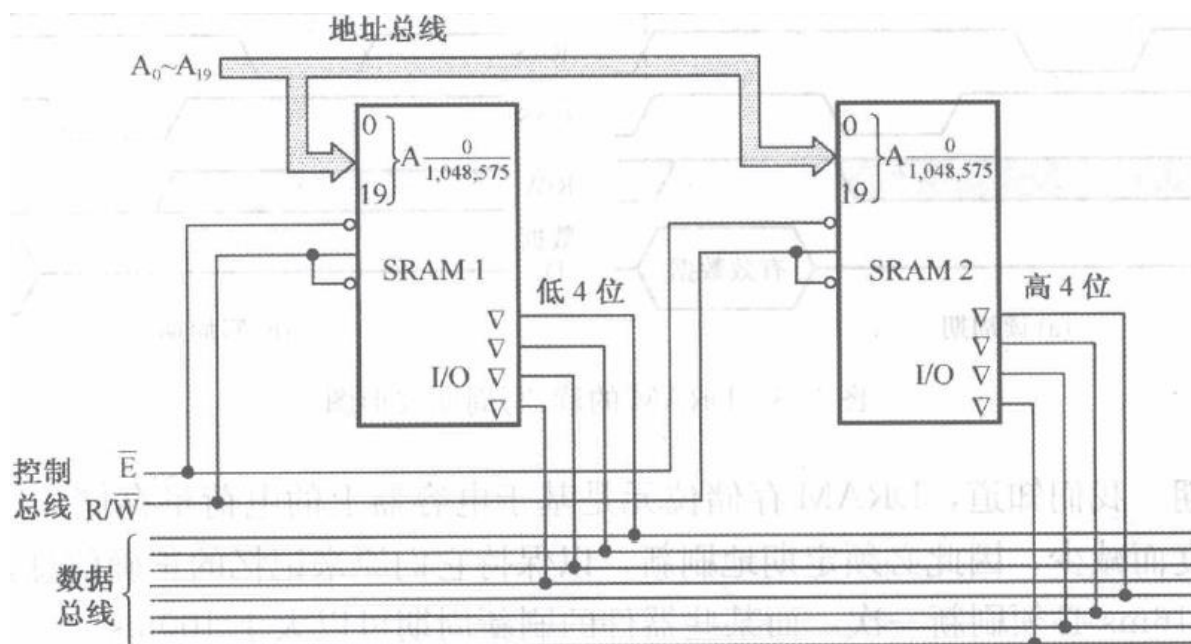
- 位数不足，8位需求 v.s. 4位芯片
- 所需芯片数量 =  $(1M \times 8) / (1M \times 4) = 2$ 片

# 字长位数扩展

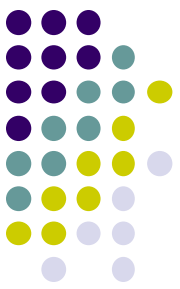


**[例2] 利用1M×4位的SRAM芯片，设计一个存储容量为1M×8位的SRAM存储器。**

- 地址线、控制线公用
- 数据线分高4位、低4位







# 字存储容量扩展

- 给定的芯片存储容量较小，不满足设计要求的总存储容量
  - 需要用多片给定芯片来扩展字数
  - 三组信号组中给定芯片的地址总线和数据总线公用，控制总线中R/W公用，使能端EN不能公用，它由地址总线的高位段译码来决定片选信号
  - $d = \text{设计要求的存储器容量} / \text{选择芯片存储器容量}$

## [例3]利用1M×8位的DRAM芯片设计2M×8位的DRAM存储器

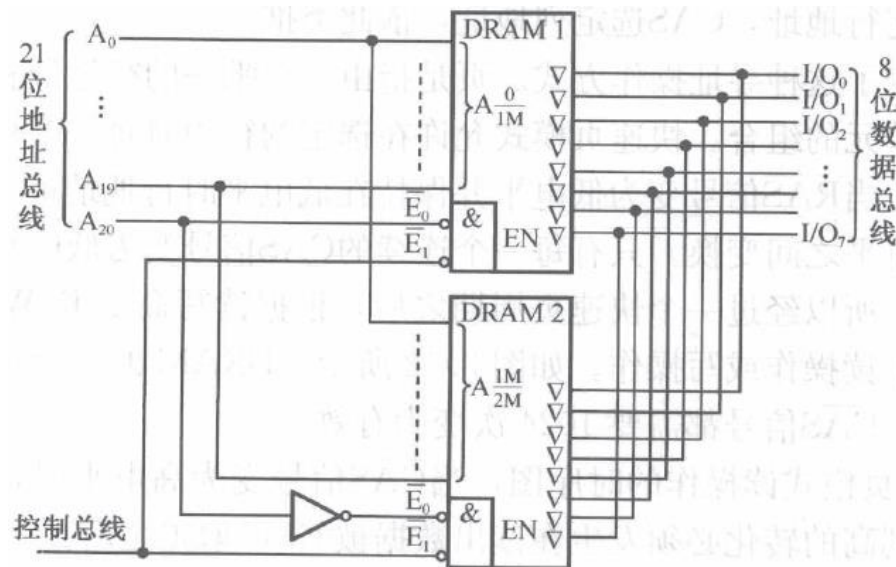
- 容量不足：2M需求 v.s. 1M芯片
- 所需芯片数  $d = (2M \times 8) / (1M \times 8) = 2(\text{片})$

# 字存储容量扩展



## [例3]利用1M×8位的DRAM芯片设计2M×8位的DRAM存储器

- 字长位数不变
- 地址总线A0~A19同时连接到2片DRAM的地址输入端
- 地址总线最高位有A20、A $\bar{20}$ ，分别作为两片DRAM的片选信号
- 两个芯片不会同时工作

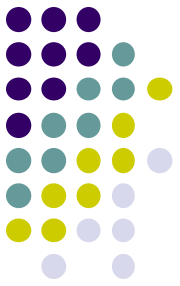




# 存储器模块条（内存条）

- 存储器通常以插槽用模块条形式供应市场
  - 称为内存条
  - 在一个条状形的小印制电路板上，用一定数量的存储器芯片，组成一个存储容量固定的存储模块
- 内存条有管脚数目有多种形式
  - 30脚内存条设计成8位数据线，存储容量从256KB ~ 32MB。
  - 72脚内存条设计成32位数据总线
  - 100脚以上内存条既用于32位数据总线又用于64位数据总线，存储容量从4MB ~ 512MB





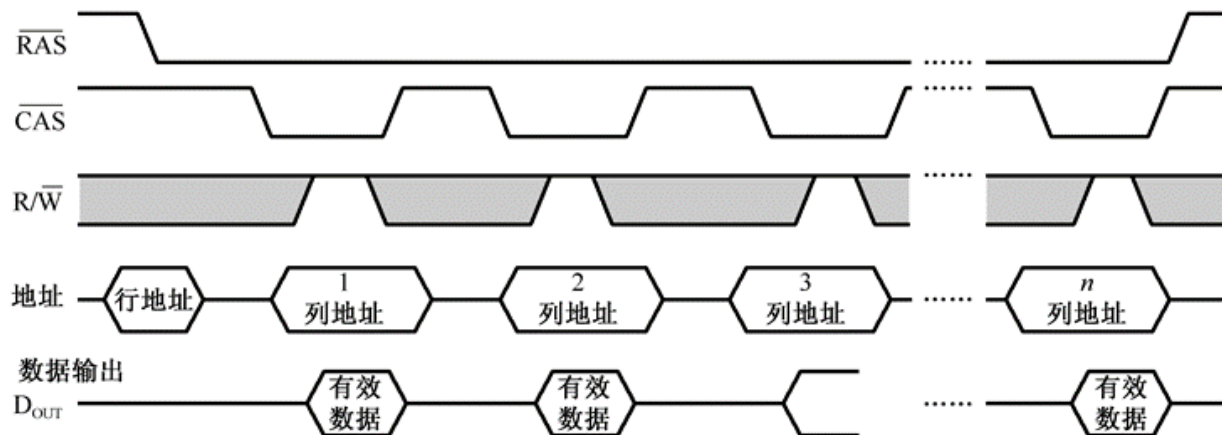
# 随机读写存储器

- SRAM与DRAM基本结构
- SRAM逻辑结构与操作
- DRAM逻辑结构与操作
- 存储器扩展方式
- DRAM高级传输模式



# FPM DRAM

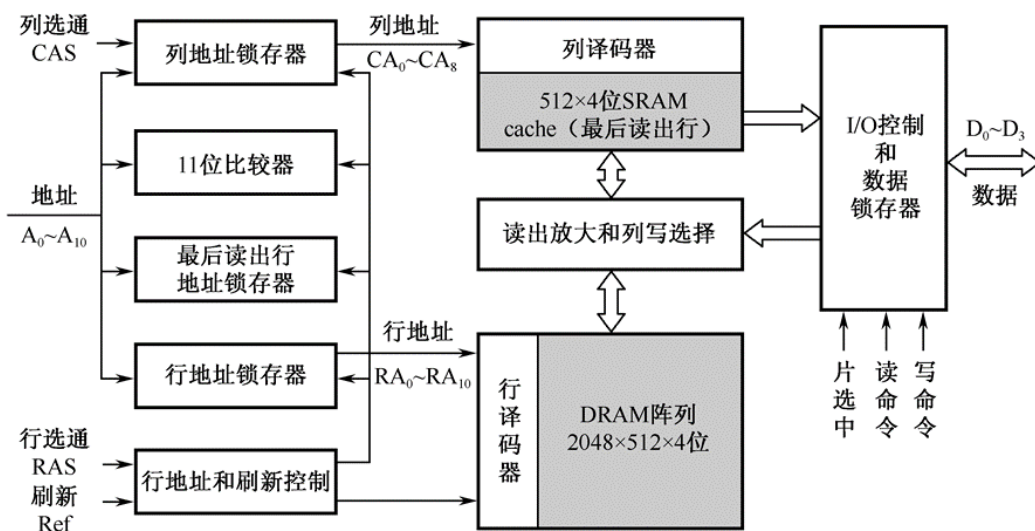
- FPM DRAM是快速页模式动态存储器
  - 根据程序的局部性原理来实现的
  - 一次行选、多次列选
  - 由低电平的行选通信号RAS确定行地址
  - 由低电平的列选信号CAS确定列地址



# CDRAM



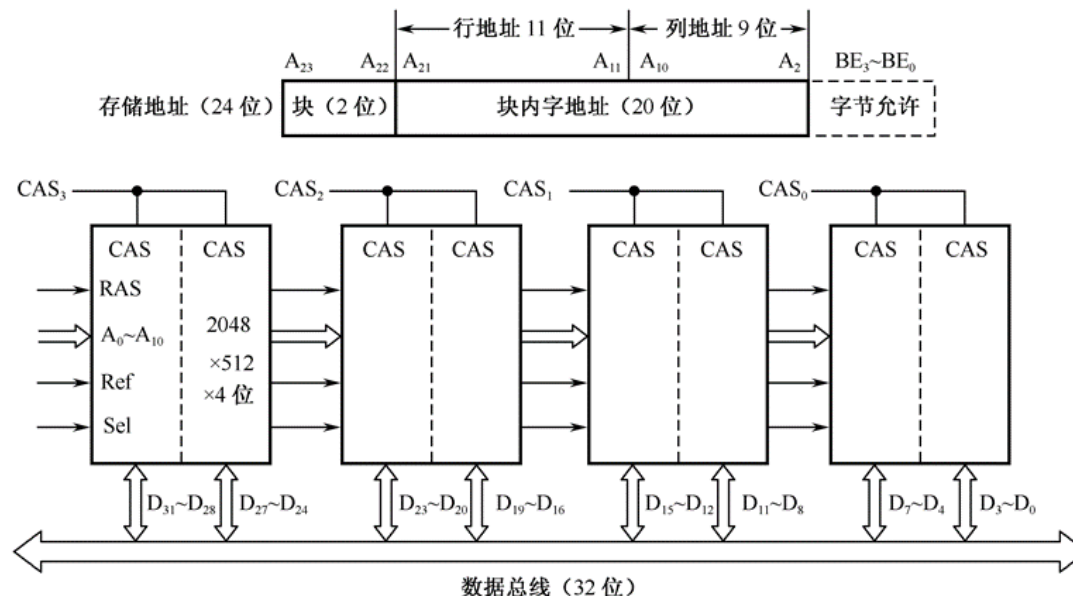
- CDRAM称为带高速缓冲存储器的动态存储器
  - 在通常的DRAM芯片内又集成了一个容量的SRAM，从而使DRAM芯片的性能得到显著改进
  - 如图所示出1M×4位CDRAM芯片的结构框图，其中SRAM为512×4位
  - 行地址比较、若命中，从SRAM取出





# CDRAM内存条组成

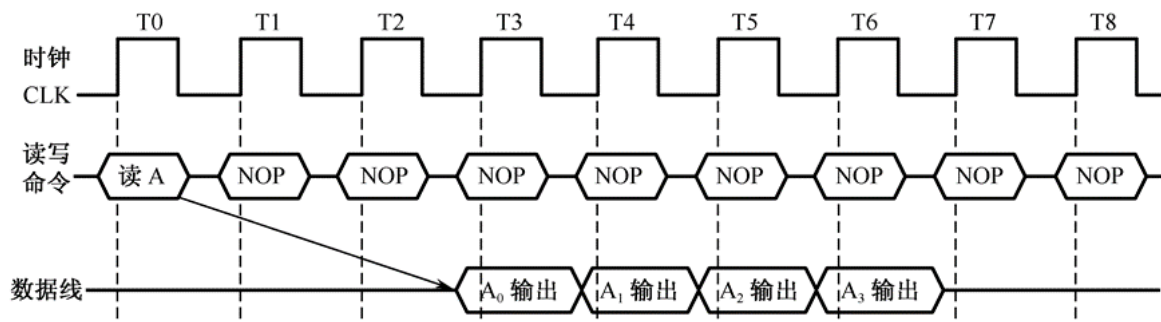
- 一片CDRAM的容量为1M×4位，8片这样的芯片可组成1M×32位4MB的存储模块
- 共用片选、行选通、刷新和地址线
- CAS信号控制输入输出位数



# SDRAM

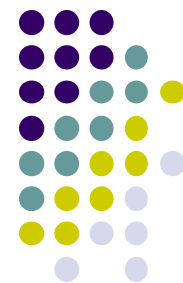


- SDRAM称为同步型动态存储器
  - 计算机系统中的CPU使用的是系统时钟，SDRAM的操作要求与系统时钟相同步
  - 在系统时钟的控制下从CPU获得地址、数据和控制信息
  - 它与CPU的数据交换同步于外部的系统时钟信号，并且以CPU/存储器总线的最高速度运行



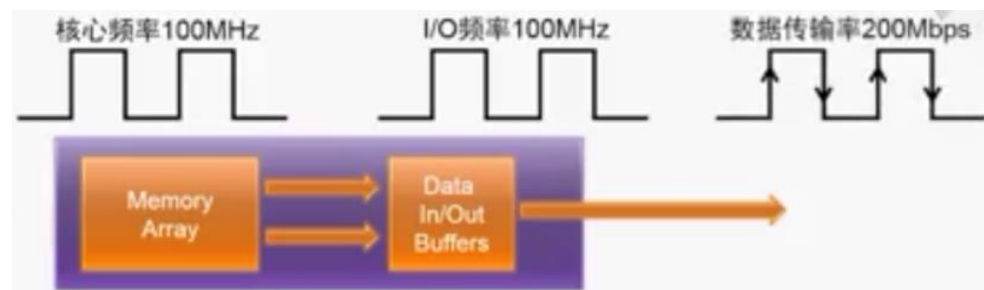
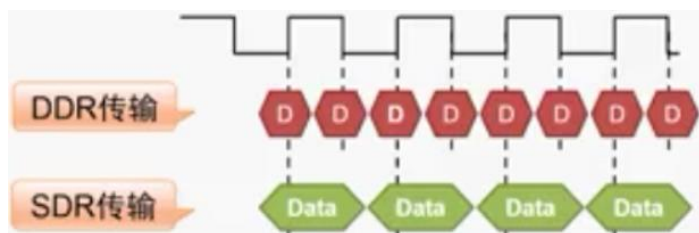
(b) SDRAM 读操作时序 (猝发长度=4  $\overline{\text{CAS}}$  延时=2)





# DDR SDRAM

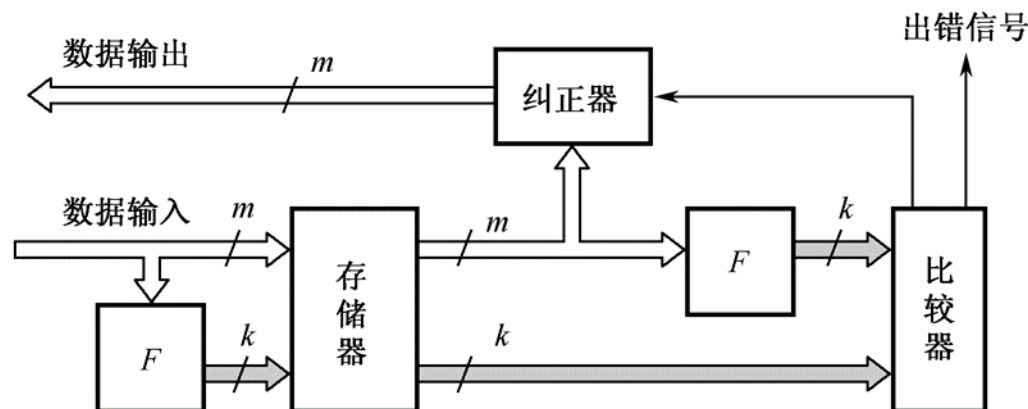
- 在SDRAM之后，又出现了双数据率的DDRSDRAM
  - SDRAM称为SDR SDRAM
- DDR SDRAM沿袭了SDR SDRAM内存的制造体系
  - SDRAM仅能在时钟上升沿传输数据
  - DDR SDRAM的最大特点便是在时钟沿的上升沿和下降沿都能传输数据
  - 提升近似一倍带宽

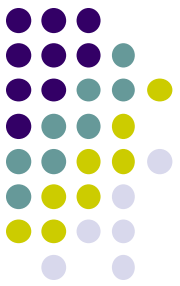




# DRAM读写正确性校验

- DRAM通常用做主存储器，其读写操作的正确性与可靠性至关重要
- 增加了附加位，用于读/写操作正确性校验，增加的附加位也要同数据位一起写入DRAM
- 采用汉明码





## 习题3-1

- 设有一个具有20位地址和32位字长的存储器

1) 该存储器能存储多少个字节的信息

$$2^{20} \text{ (地址线)} * 32 \text{ (字长)} / 8 \text{ (Byte)} \\ = 4 \text{ MB}$$

2) 如果存储器由512K\*8位SRAM芯片组成, 需要多少片

$$\text{字长扩展 } 32/8=4$$

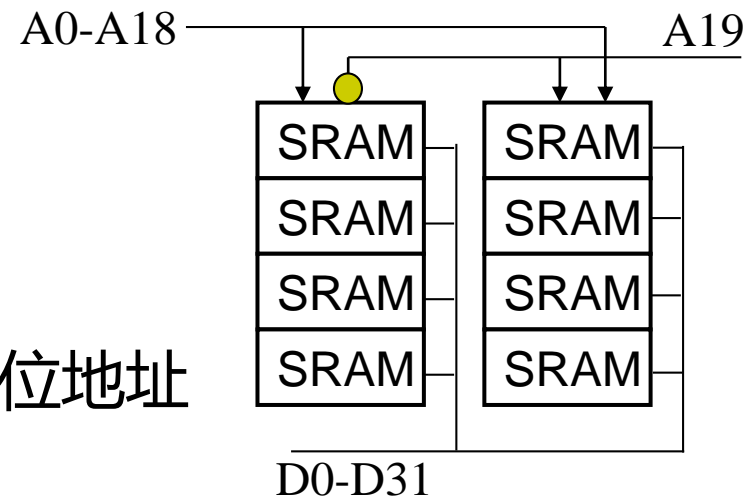
$$\text{容量扩展 } 1\text{M}/512\text{K}=2$$

$$\text{需要 } 4*2=8 \text{ 片}$$

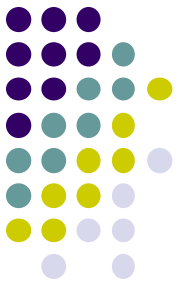
3) 需要多少位地址作芯片选择

$$\text{地址选择 (容量扩展)} \quad 2\text{倍} \rightarrow 1\text{位地址}$$

4) 画出逻辑框图



# 作业



- 第三章 (1)
- 3-2, 3-3, 3-4