目录

**实验一 序列检测器2**

**实验二 计数器3**

**实验三 8位寄存器743744**

**实验一 序列检测器**

1. 实验内容

设计一个序列检测器检测序列1110010。使用波形图进行仿真（至少要有一个检测成功的波形）。

1. 设计思路

每输入一个序列1110010则会在输出端输出一个1，其余时间为0。

首先写出状态转移图，再利用case语句，根据状态转移图写出状态的转移及输出。

检测序列为七位，所以可以设状态机状态数为8个；

输出信号由当前状态和输入条件决定，设计为mealy型状态机或moore型状态机，采用异步复位。

**实验二 计数器**

1. 实验介绍

计数器是通过电路的状态反映驶入脉冲数目的电路。计数器是应用非常广泛的时序电路，按照技术的特点分为二进制计数器、十进制计数器、环形计数器、扭环形计数器等。二进制计数器又分为加计数器、减计数器等。

1. 实验内容

用VHDL语言实现计数状态连续的模值为2N的计数器。这是一个同步清零的4为二进制加计数器，其计数的状态是从“0000~1111”进行变化。整个的计数周期是16个时钟周期，即24个时钟周期。凡是这种技术周期为2N且对计数状态无特殊要求的计数器，可以通过直接定义N位的计数信号和端口，对信号进行加或减操作，而不必进行计数状态的判断和控制。使用波形图进行仿真。

**实验三 8位寄存器74374**

1. 实验介绍

在数字系统中，寄存器可用来存储一组二进制代码，而触发器具有记忆功能，所以可以用触发器构成寄存器。本实验要求同学们完成8位寄存器74374的VHDL描述。74374的逻辑框图如下图所示，功能表如下表所示。逻辑框图中D为寄存器的8位数据输入，Q位寄存器的8位数据输出端，CLK为时钟信号，OE为控制信号。从功能表可以看出OE为低电平时，在时钟上升沿输入端信号从输出端输出，其他时刻输出保持；而OE为高电平时，输出一直保持为高阻。

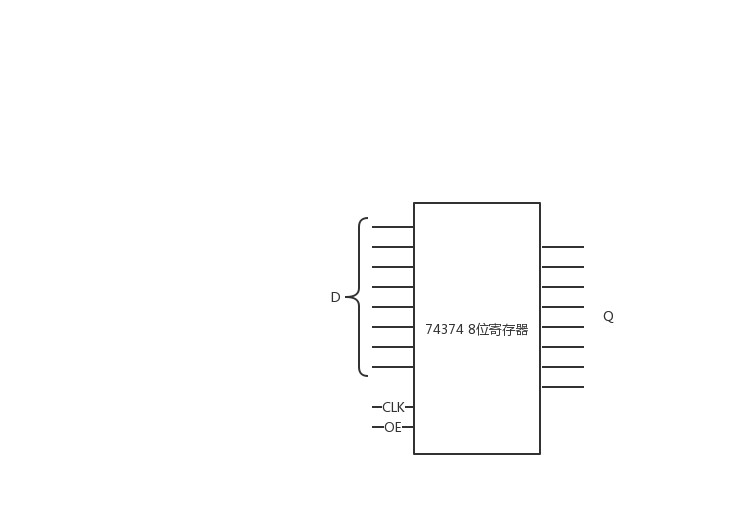


图4-1 74374的逻辑框图

表4-1 74374的功能表

|  |  |  |  |
| --- | --- | --- | --- |
| OE | CLK | D | Q |
| 0 | ↑ | 1 | 1 |
| 0 | ↑ | 0 | 0 |
| 0 | 0 | X | 保持 |
| 1 | X | X | 高阻 |

1. 实验内容

根据74374的逻辑框图和真值表，用VHDL语言实现74374的功能。并使用波形图进行仿真。