

一、理论知识

(一) 8086 处理器功能构成

1、数据总线：计算机中组成各部件间进行数据传送时的公共通道。其位数表示 CPU 的字长，数据总线越多，数据交换速度就越快。

2、地址总线：其宽度决定了处理器能直接访问的主存容量大小。8086 可直接对 1MB 个存储单元进行访问。

3、高速缓冲存储器 Cache:大大减少了 CPU 读取指令和操作数所需的时间，使 CPU 的执行速度显著提高。

4、8086 是 16 位微处理器，有 16 条数据总线，可以处理 8 位或 16 位数据，有 20 条地址总线，可以直接寻址 $2^{20}=1M$ 个存储单元和 64K 个 I/O 端口。

5、8088 是准 16 位处理器，其指令系统与 8086 完全兼容，CPU 内部结构仍为 16 位，但外部数据总线是 8 位。

6、为了充分使用总线以提高程序执行速度，被设计成两个独立功能部件：执行部件 EU 和总线接口部件 BIU。

7、BIU：由段寄存器、指令指针、地址形成逻辑、总线控制逻辑和指令队列等组成。

BIU 与外部总线连接未执行部件 EU 完成所有的总线操作，并计算形成 20 位的内存物理地址。

8、EU：由通用寄存器、标志寄存器、运算器（ALU）和 EU 控制系统等组成。

负责全部指令的执行，并为 BIU 提供访问存储器和 I/O 设备的地址。

(二) 8086 引脚功能

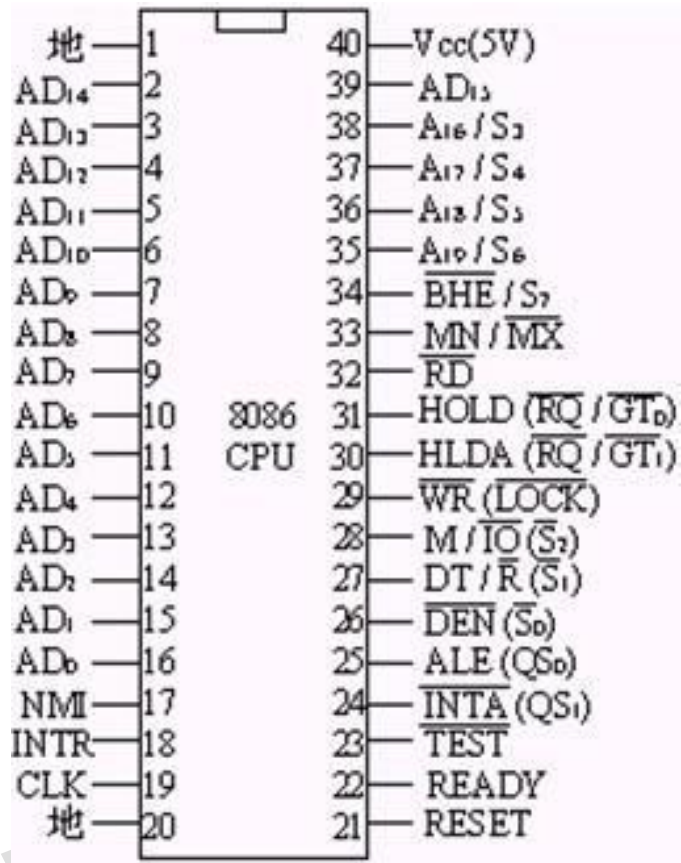
8086 微处理器有 40 条引脚，信号按功能可分为 4 部分：地址总线、数据总线、控制总线、以及其他（时钟、电源与地线）

地址线 20 条 } 地址/数据分时复用 16 条
数据线 16 条 } 地址/状态 4 条

控制线 16 条	{	M/ \overline{IO}	\overline{RD}	\overline{ER}	对内存或 I/O 读写 控制地址数据分开信号 中段
		ALE	\overline{DEN}	DT/ \overline{R}	
		NMI	INTR	\overline{INTA}	
		MN/ \overline{MX}	\overline{BHE}		

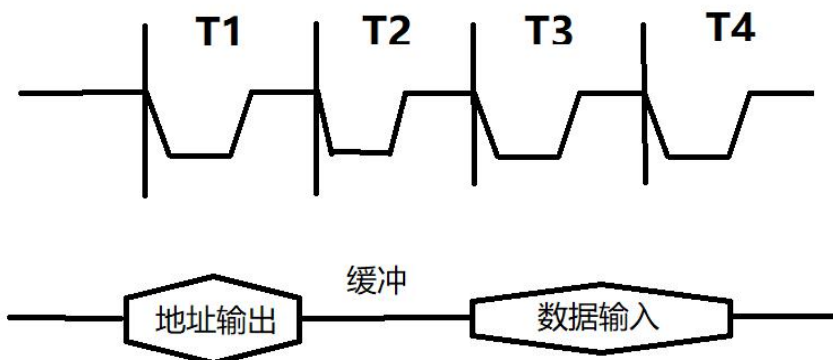
其他 4 条 地线、电源、时钟

- 1、AD0~AD15:地址/数据分时复用
- 2、A16/S3~A19/S6:地址/状态分时复用
- 3、 $\overline{\text{BHE}}/\text{S7}$:总线高位有效
- 4、 $\overline{\text{RD}}$:读信号
- 5、 $\overline{\text{WR}}$:写信号
- 6、M/ $\overline{\text{IO}}$:存储器或 I/O 端口访问信号
- 7、Ready:准备就绪信号
- 8、INTR: 中段请求信号
- 9、 $\overline{\text{INTA}}$: 中段响应信号
- 10、NMI: 非屏蔽中断请求信号
- 11、 $\overline{\text{TEST}}$:测试信号
- 12、RESET:复位信号
- 13、ALE: 地址锁存信号
- 14、DT/ $\overline{\text{R}}$: 数据发送/接受控制信号
- 15、 $\overline{\text{DEN}}$:数据允许信号
- 16、HOLD: 总线请求信号
- 17、HLDA:总线请求响应信号
- 18、MN/ $\overline{\text{MX}}$:工作模式选择信号



(三) 8086 总线周期

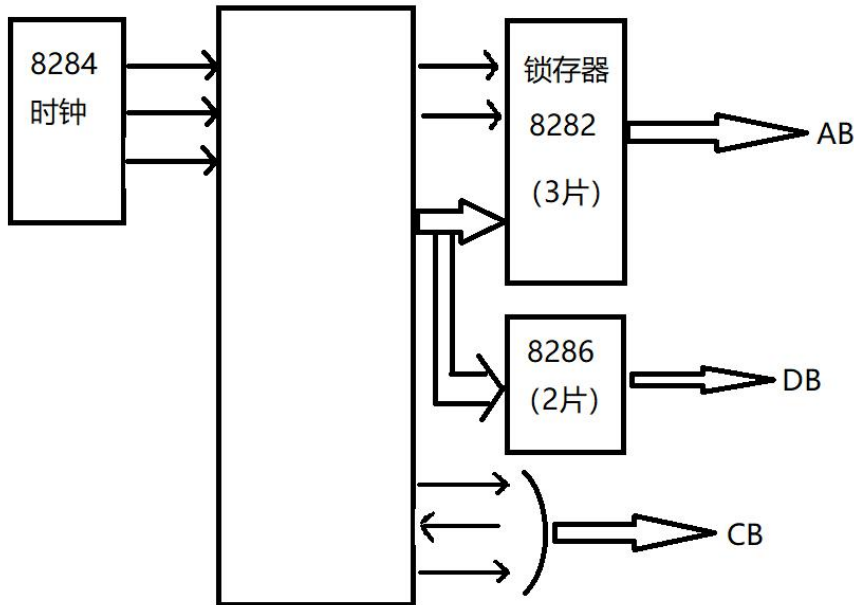
- 1、时钟周期: 时钟脉冲的重复周期称其为时钟周期 (T 状态), 是 CPU 的时间基准, 由计算机主频决定。如 8086 主频为 5MHZ, 1 个时钟周期就是 200ns。
- 2、总线周期: 8086CPU 与外部交换信息总是通过总线进行的, CPU 的周期, 一般一个总线周期由四个时钟周期组成 (T1\T2\T3\T4)
- 3、指令周期: 每条指令的执行由取指令、译码和执行等操作组成, 执行一条指令所需要的时间称为指令周期。不同指令周期是不等长的, 一个指令周期由一个或若干个总线周期组成。



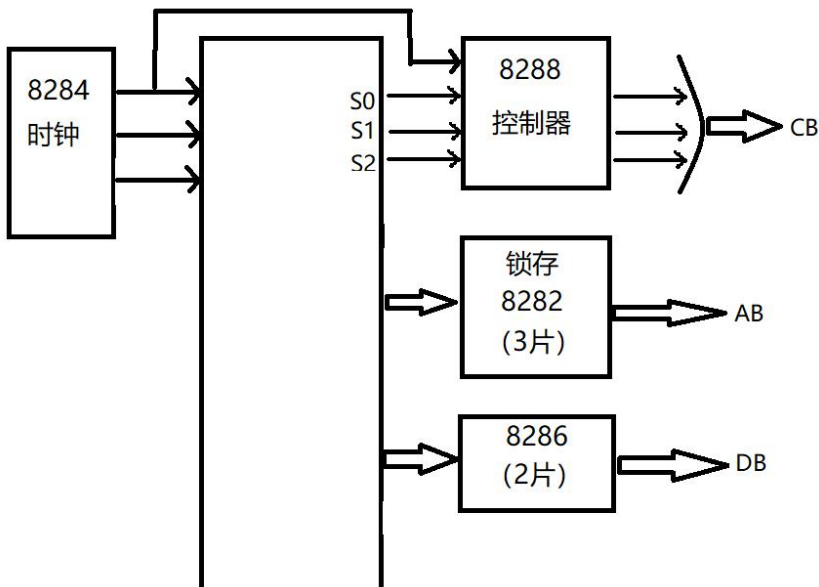


(四) 8086 工作方式

1、最小方式下 $\overline{MN}/\overline{MX}$ +5V 电源

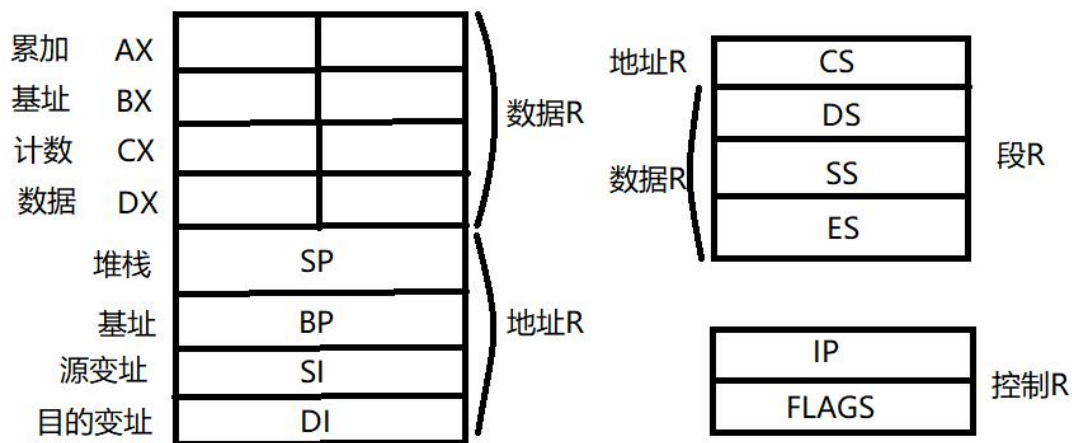


2、最大方式下 $\overline{MN}/\overline{MX}$ 接地



(五) 寄存器组织

在 8086/8088 微处理器中可供程序员使用的有 14 个 16 位寄存器，按期用途可分为通用寄存器、段寄存器、控制寄存器等 3 类。



- 1、CS:IP 固定
DS:BX、SI、DI 或位移量 默认
SS:SP 固定
SS:BP 默认
ES:DI (用于字符串操作指令) 固定

2、复位后内部寄存器状态

IP	0000H	通用寄存器	0000H
CS	FFFFH	标志 R	0000H
DS	0000H	指令队列缓冲器	空
SS	0000H		
ES	0000H		

3、FLAGS 标志 R

6 个状态标志：表示处理器当前运行状态

- CF : 进位标志, 运算结果又进 (借) 位, CF=0
- PF : 奇偶标志, 低 8 为中 1 的个数为偶数个, PF=1
- AF : 辅助进位, 低 4 位向前有进 (借) 位, AF=1
- ZF : 零标志位, 结果为 0, ZF=1
- SF : 符号标志, 与最高位一致
- OF : 溢出标志, 双高位判别法

3 个控制标志：控制处理器某一特定功能

- IF : 可屏蔽中段允许标志, IF=1 表示允许
- TF : 陷阱标志 (单步执行)
- DF : 方向标志, DF = 0 地址增量变化, DF = 1 地址减量变化

4、存储器空间

8086 有 20 条地址总线可以访问 20 条地址线，直接对 1MB 个存储单元进行访问。每个存储单元存放一个字节型数据且每个单元都有 20 位的地址。

5、存储器段结构

8086/8088CPU 中有关可用来存放地址的存储器如 IP、SP 等都是 16 位的。故智能直接寻址 64KB。为了对 1M 个存储单元进行管理，8086/8088 采用了段结构的存储器管理方法。

8086/8088 将整个存储器分为许多逻辑段，但只有 4 中类型：代码段、数据段、堆栈段和附加段。

每个逻辑段的容量小于或等于 64KB 允许他们在整个存储空间中浮动，各个逻辑段之间紧密相连，也可以相互重叠。

6、逻辑地址和物理地址

逻辑地址：由段地址（逻辑段起始地址的高 16 位）和偏移地址表示的存储单元的地址称为逻辑地址，记为： 段地址：偏移地址

物理地址：由 CPU 内部总线接口单元 BIU 中的地址加法器根据逻辑地址产生的 20 位存储单元地址称为物理地址

$$\text{物理地址} = \text{段地址} \times 10\text{H} + \text{偏移地址}$$

注意：段地址是由段寄存器（CS、DS、SS、ES）提供，偏移地址通常由地址寄存器（IP、BX、BP、SP、SI 或 DI 等）及立即数等提供。

7、8086/8088 存储器结构

8086 的 1M 存储空间实际上分为两个 512KB 的存储体构成，又称为存储库，分别叫高位库（奇地址、非规则字、两次）和低位库（偶地址、规则字、一次），而 8088 只有一个 1M 的存储体。