**电子技术实验——数电部分**

# 实验 2 基本逻辑门电路及其组合逻辑电路的设计

## 一、实验目的

1. 熟悉逻辑门电路逻辑功能；
2. 掌握门电路的使用方法。

## 二、实验原理

逻辑代数中最基本的函数关系是与、或、非，对应的运算关系与、或、非三种：

*L*  *A*g*A*; *L*  *A*  *B*; *L*  *A*

其它函数都是由这三种基本函数组合而成。除与非、或非等函数外，另种常用的函数为

异或函数，其逻辑表达式：

*L*  *A*  *B*  *AB*  *A*  *B*

式中符号④ 表示异或运算。根据这些函数关系可构成—系列的逻辑门电路。

本实验采用二输入与非门 74LS00、二输入或非门 74LS02、四输入与非门 74LS20，主要讲一下 74LS20，即一块集成块内含有两个互相独立的与非门，每个与非门有四个输入端。具逻辑框图、符号及引脚排列如图 1-2-1(a)、(b)所示。



（a）电路图 (b) 逻辑符号、引脚排列图 1-2-1 74LS20 电路图、逻辑符号及引脚排列

与非门的逻辑功能与非门的逻辑功能是： 当输入端中有一个或一个以上是低电平时， 输出 端为高电平； 只有当输入端全部为高电平时，输出端才是低电平(即有“0” 得“1”， 全“1”得“0”)

**74LS00、74LS02 的引脚图见附录。**

**TTL 集成电路使用规则：**

1、接插集成块时，要认清定位标记，不得插反，

2、电源电压使用范围为+4.5V~+5.5V 之间，实验中要求使用 Vcc=+5V，电源极性绝对不允许接错。

3、闲置输入端处理方法

* 1. 悬空，相当于正逻辑“1”，对于—般小规模集成电路的数据输入端， 实验时允许悬空处理。但易受外界干扰，导致电路的逻辑功能不正常。因此，对于接有长线的输入端，中规模以上的集成电路和使用集成电路较多的复杂电路，所有控制输入端必须按逻辑要求接入电路，不允许悬空。
  2. 直接按电源电压 VCC(也可以串入—只 1-l0 的固定电阻)或接至某一固定电压

(+2.4≤V≤4.5V)的电源上， 或与输入端为接地的多余与非门的输出端相接。

1. 若前级驱动能力允许，可以与使用的输入端并联。

4、输入端通过电阻接地，电阻值的大小将直接影响电路所处的状态。当 R≤680Ω 时， 输入端相当于逻辑“0”；当R≥4.7KΩ 时，输入端相当于逻 辑“1”。对于不同系列的器件，要求的阻值不同。

5、输出端不允许并联使用(集电极开路门(OC)和三态输出门电路(3S)除外)。否则不仅会使电路逻辑功能混乱，并会导致器件损坏。

6、输出端不允许直接接地或直接接+5V 电源，否则将损坏器件，有时为了使后级电路获得较高的输出电平，允许输出端通过电阻R 接至VCC，一般取R=3～5.1 KΩ。

## 三、实验仪器设备及元器件

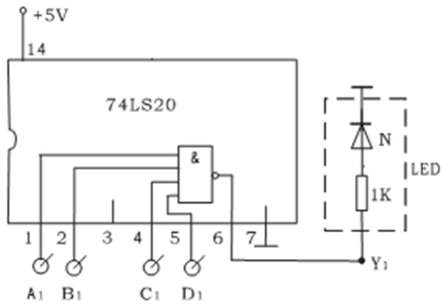
（1）数字电路实验装置

（2）集成块 74LS20、74LS00、74LS02

## 四、实验内容

1. 在合适的位置选取一个 14 脚 DIP 插座，按定位标记插好 74LS20 集成块。验证TTL 集成与非门 74LS20 的逻辑功能：按图 1-2-2 接线，门的四个输入端接逻辑开关输出插口，以提供“0”与 “1”电平信号，开关向上输出逻辑“1”，向下为逻辑“0”。门的输出端接由LED 发光二极管组成的逻辑电平显示器(又称 0-1 指示器)的显示插口， LED 亮为逻辑“1”， 不亮为逻辑“0”。按表 5-4-1 的真值表逐个测试集成块中 两个与非门的逻辑功能。74LS20 有 4 个输入端，有 16 个最小项，在实际测试时，只要通过对输入 1111、0111、1011、1101、

1110 五项进行检测就可判断其逻辑功能是否正常。



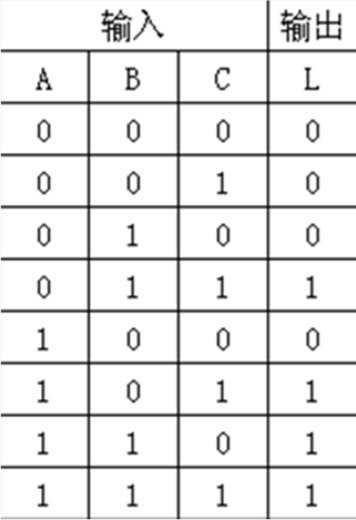
|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 输 入 | | | | 输 出 | |
| A | B | C | D | Y1 | Y2 |
| 1 | 1 | 1 | 1 |  |  |
| 0 | 1 | 1 | 1 |  |  |
| 1 | 0 | 1 | 1 |  |  |
| 1 | 1 | 0 | 1 |  |  |
| 1 | 1 | 1 | 0 |  |  |

图 1-2-2 与非门逻辑功能测试电路

1. 按上题的方法分别验证 74LS00、74LS02 的逻辑功能
2. 用所给定的元器件，构成三人表决器。

**提示：**

**1 明确设计要求：**

**A/B/C 三输入，两个及以上为 1，输出 1；否则输出 0。2 真值表—逻辑表达式 3 逻辑电路图**

A B

&

A

&

&

&

F

C

B C

*L*  *ABC*  *ABC*  *ABC*  *ABC*

## 五、报告要求

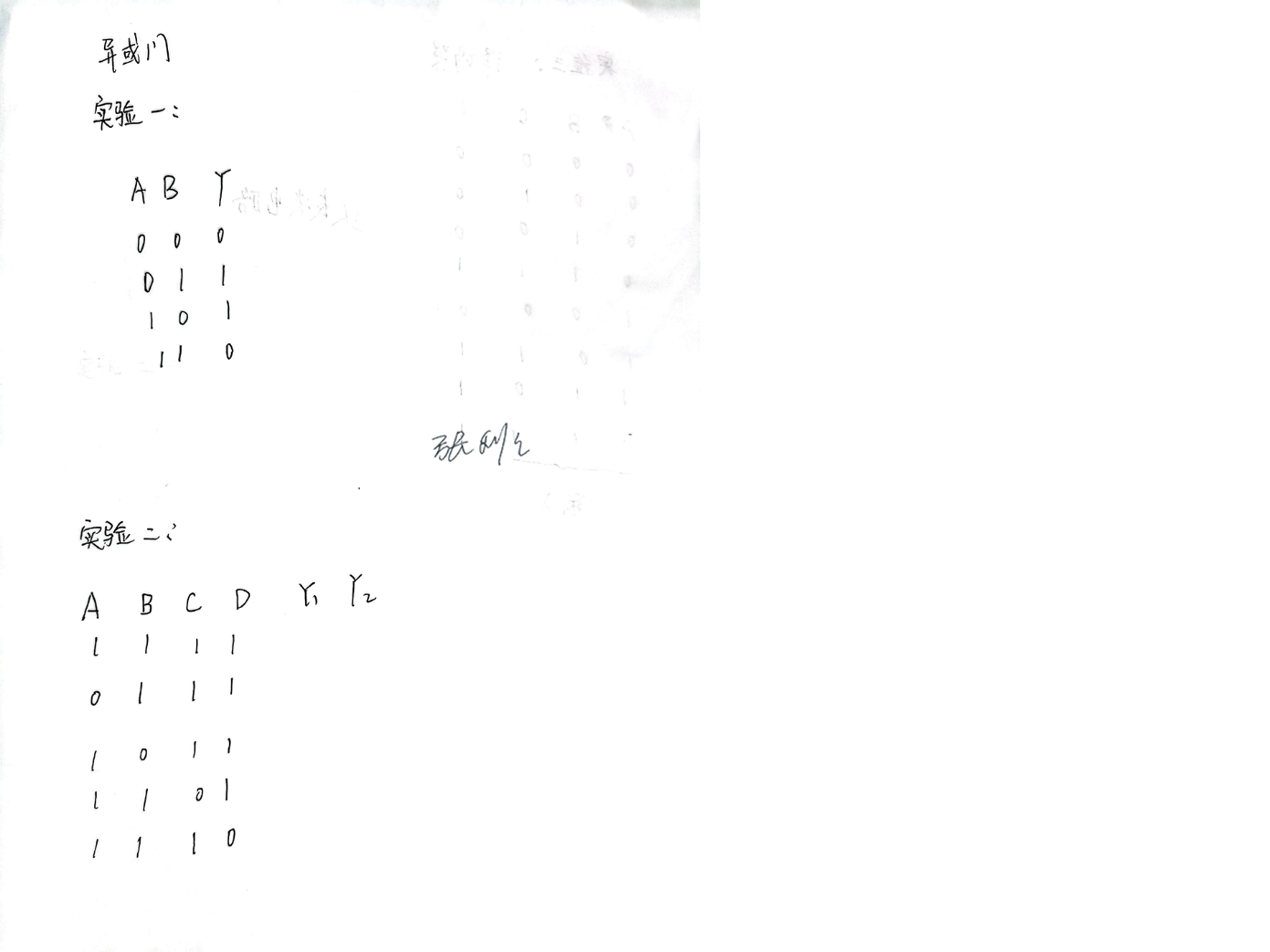
 *ABC*  *ABC*  *ABC*  *ABC*  *ABC*  *ABC*

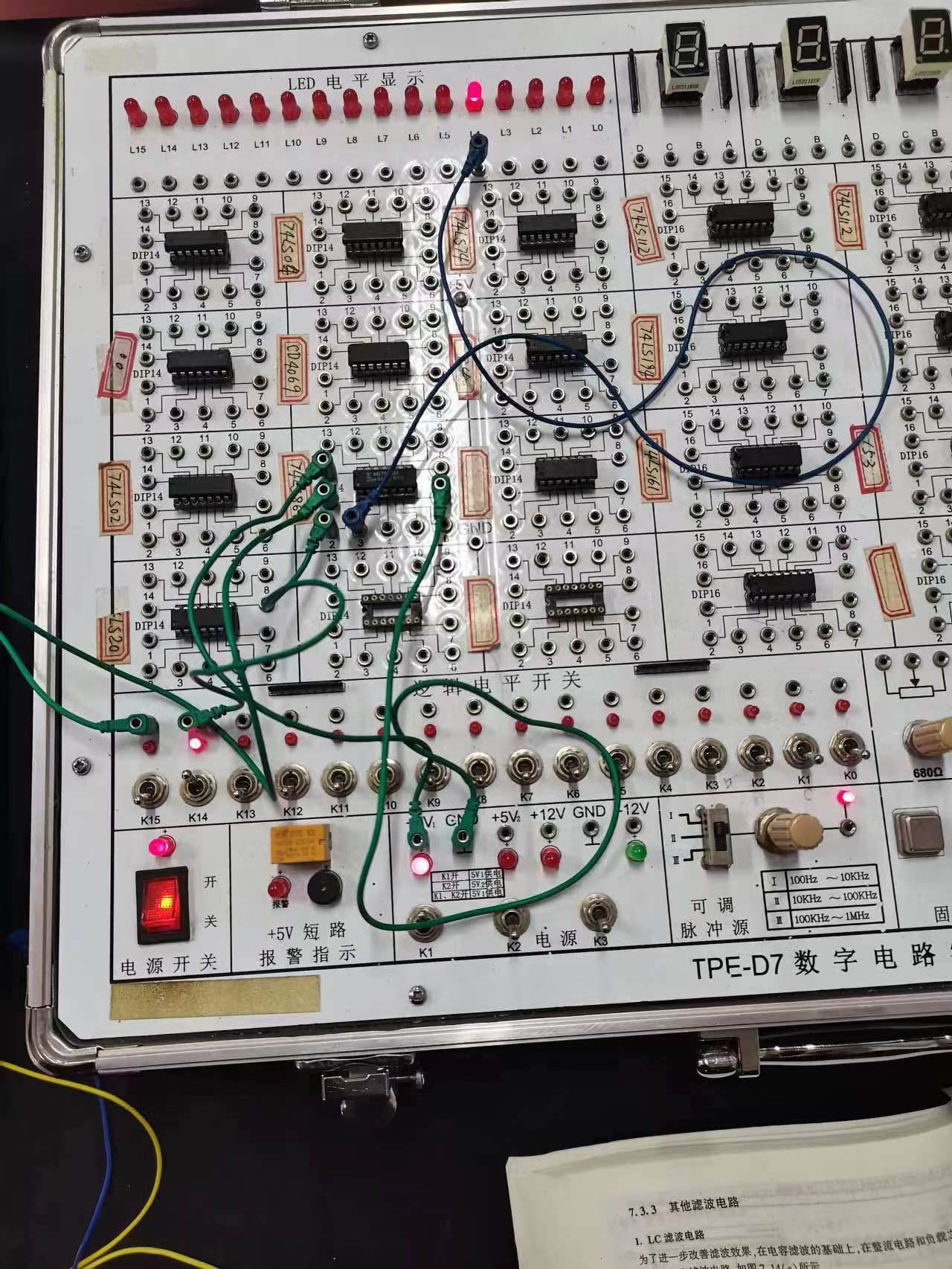
 *BC*( *A*  *A*)  *AC*(*B*  *B* )  *AB*(*C*  *C* )

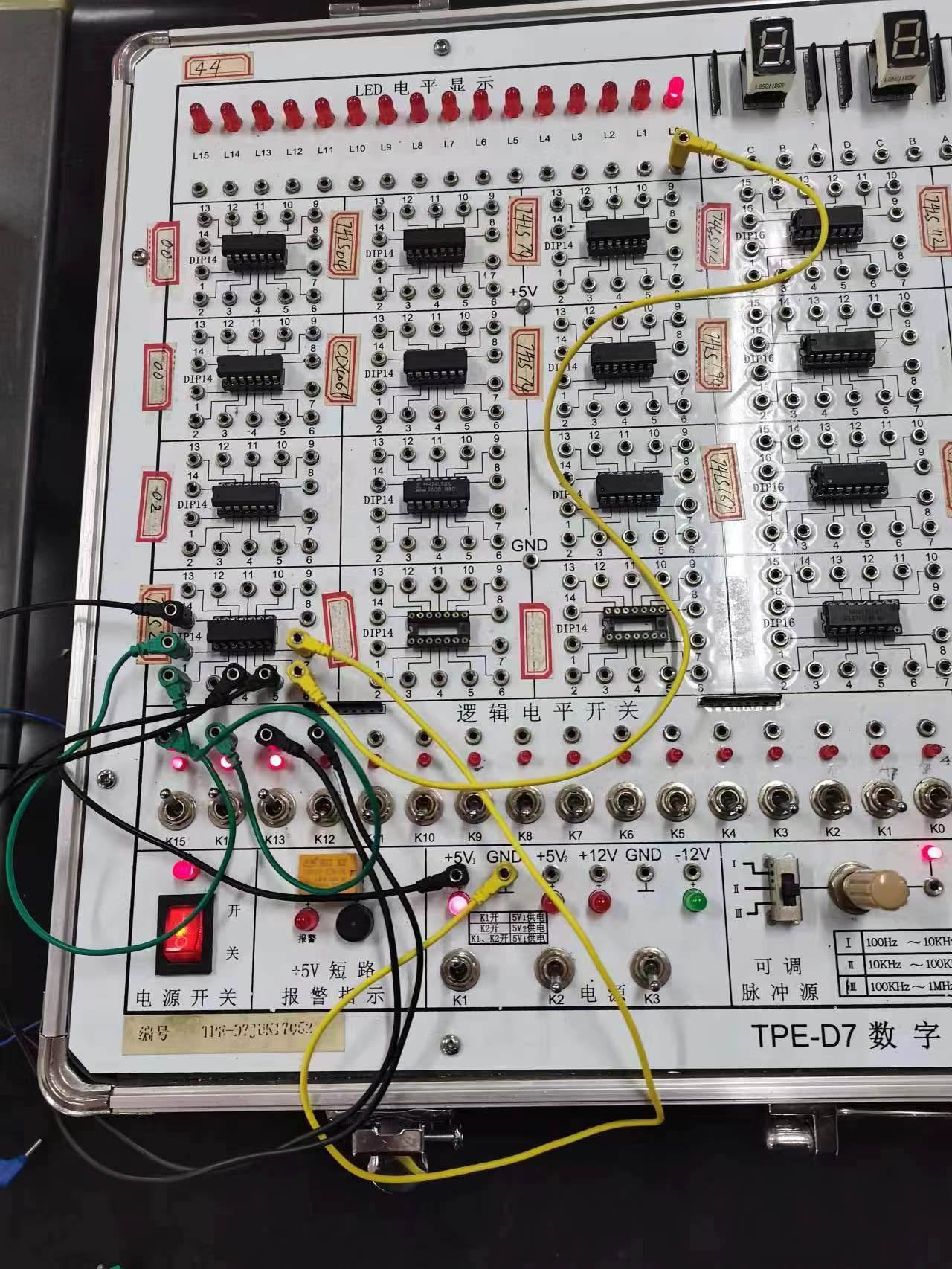
 *AB*  *AC*  *BC*  *AB*  *AC*  *BC*

1. 列表整理实验数据，画出实验电路；
2. 实验数据与理论值比较，并分析回答思考题。

## 六、实验数据







# 实验 3 译码器 74LSl38 使用方法及其应用

## 一、实验目的

1. 掌握中规模集成译码器的逻辑功能和使用方法；
2. 掌握中规模集成译码器、编码器组合逻辑电路的方法；

## 二、实验原理

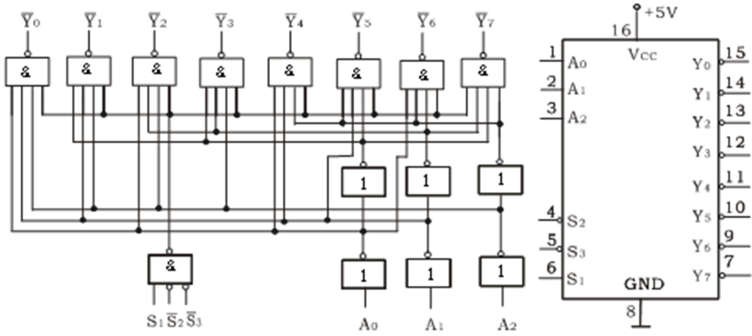
译码器是一个多输入、多输出的组合逻辑电路，不仅可用于代码的转换、终端的数字显示，还用于数据分配，存贮器寻址和组合控制信号等。译码器可分为通用译码器和显示译码器。前者又分为变量译码器和代码变换译码器。

**变量译码器 74LS138（又称二进制译码器）：**用以表示输入变量的状态，如 2-4 线、3-8线和 4-16 线译码器。若有n 个输入变量，则有 2n 个不同的组合状态，就有 2n 个输出端供其使用。而每一个输出所代表的函数对应于 n 个输入变量的最小项。**图 2-1-1(a)、(b)分别为3-8 线译码器 74LS138 的逻辑图及引脚排列。**其中 A2 、A1 、A0 为地址输入端，Y0 ～ Y7 为译码输出端，S1、S2 、S3 为使能端。**表 2-1-1 为 74LS138 功能表：**当 S1＝1， S2 ＋ S3 ＝0 时，器件使能，地址码所指定的输出端有信号（为 0）输出，其它所有输出端均无信号（全

为 1）输出。当 S1＝0， S2 ＋ S3

输出同时为 1。

＝X 时，或 S1＝X， S2 ＋ S3 ＝1 时，译码器被禁止，所有



* 1. (b)

图 2-1-1 3-8 线译码器 74LS138 逻辑图及引脚排列

**二进制译码器实际上也是负脉冲输出的脉冲分配器。**若利用使能端中的一个输入端输入数据信息，器件就成为一个数据分配器(又称多路分配器)，如图 2-1-2 所示。若在S1 输入端输入数据信息， S2 ＝ S3 ＝0，地址码所对应的输出是 S1 数据信息的反码；若从S2 端输入数据信息，令 S1＝1、S3 ＝0，地址码所对应的输出就是S2 端数据信息的原码。若数据信息

是时钟脉冲，则数据分配器便成为时钟脉冲分配器。

根据输入地址的不同组合译出唯一地址，故可用作地址译码器。接成多路分配器，可将一个信号源的数据信息传输到不同的地点。

**二进制译码器还能方便地实现逻辑函数**，如图 2-1-3 所示，实现的逻辑函数是：

Z＝ A B C  AB C  A B C ＋ABC 表 2-1-1

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输 入 | | | | | 输 出 | | | | | | | |
| S1 | S2 + S3 | A2 | A1 | A0 | Y0 | Y1 | Y2 | Y3 | Y4 | Y5 | Y6 | Y7 |
| 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 0 | × | × | × | × | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| × | 1 | × | × | × | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

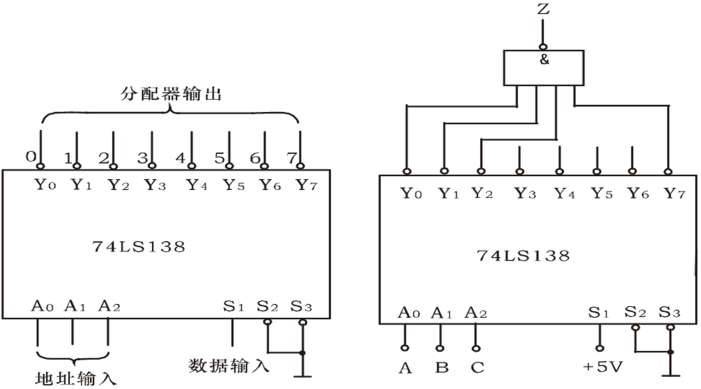


图 2-1-2 作数据分配器 图 2-1-3 实现逻辑函数

利用使能端能方便地将两个 3/8 译码器组合成一个 4/16 译码器，如图 2-1-4 所示。

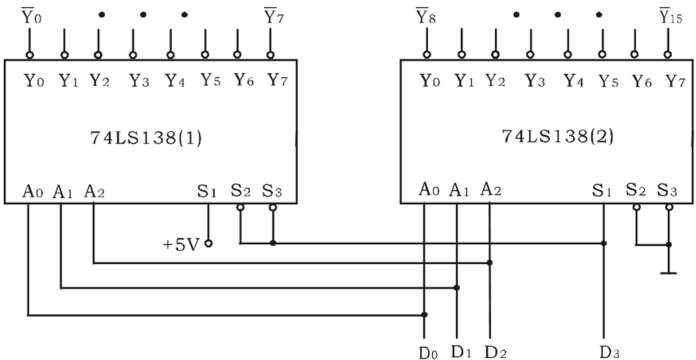


图 2-1-4 用两片 74LS138 组合成 4/16 译码器

## 三、实验设备与器件

1、＋5V 直流电源；2、逻辑电平开关；3、逻辑电平显示器；4、拨码开关组；5、74LS138

## 四、实验内容

（1）74LS138 译码器逻辑功能测试

将译码器使能端 S1、S2 、S3 及地址端 A2、A1、A0 分别接至逻辑电平开关输出口，八个输出端Y7    Y0 依次连接在逻辑电平显示器的八个输入口上，拨动逻辑电平开关，逐项测试 74LS138 的逻辑功能。

（2）用 74LS138 实现三人表决器。

## 五、注意事项

在将74LSl38 作为3 -8 线译码器使用时，一定要注意它的使能端S1、S2 、S3 。只有当S1=H， S2 + S3 =L 时，74LS138 才能正常译码。所以，在实验过程中，若 74LSl38 码状态不对，则在检查过电源正确后，还必须检查 S1 是否为高电平， S2 、 S3 是否均为低电平。

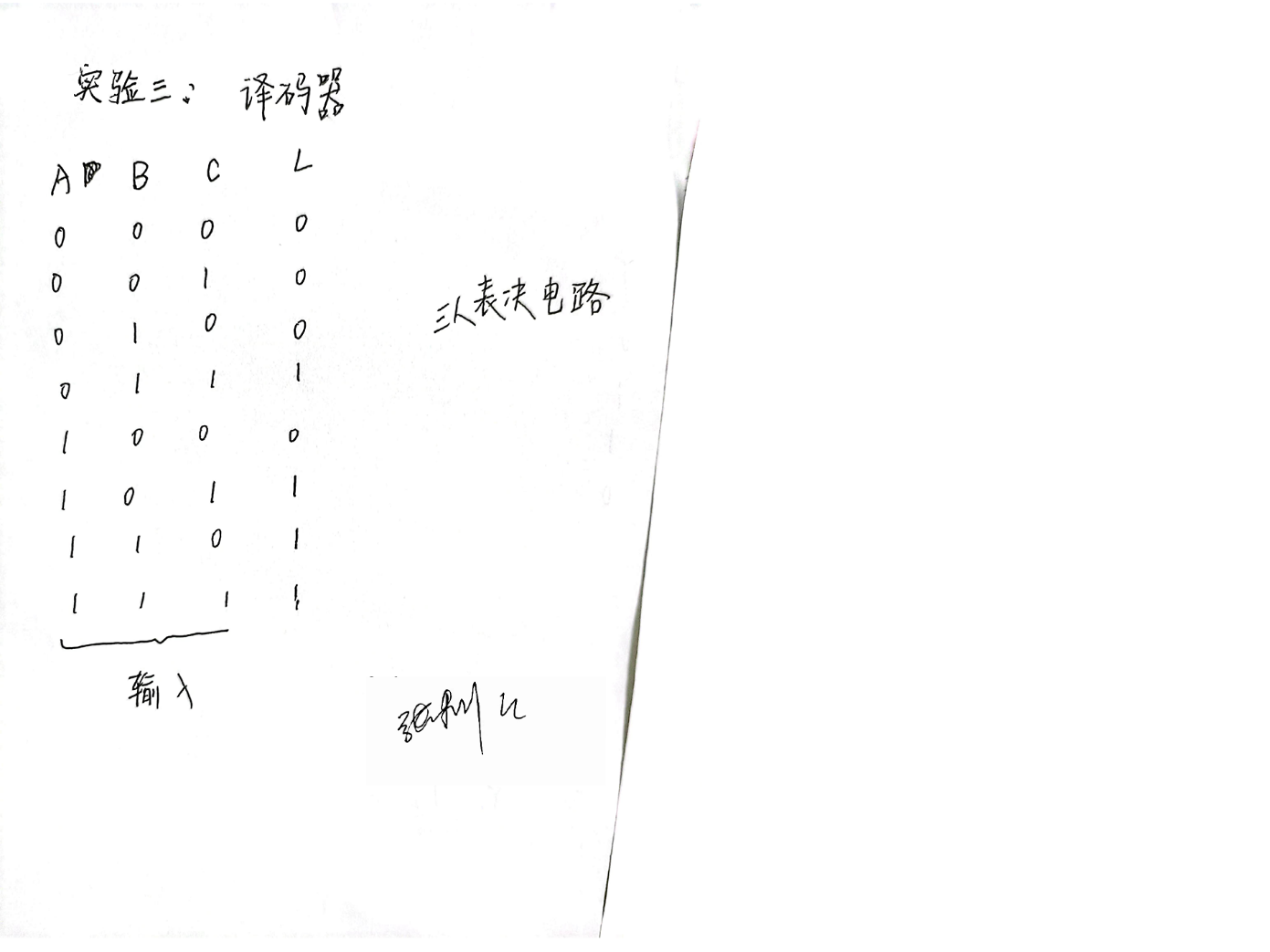
## 六、实验预习要求

1. 复习有关译码器和分配器的原理；
2. 用译码器对实验内容中各函数式进行预设计。

## 七、实验报告

1. 用译码器对实验内容进行设计、写出设计全过程、画出接线图、逻辑功能测试。
2. 画出实验线路，把观察到的波形画在坐标纸上，并标上对应的地址码。
3. 对实验结果进行分析、讨论。

## 八、实验数据



# 实验 4 多路选择器 74LS151 使用方法及其应用

## 一、实验目的

1. 掌握中规模集成数据选择器的逻辑功能及使用方法；
2. 学习用数据选择器构成组合逻辑电路的方法。

## 二、实验原理

数据选择器又叫“多路开关”。数据选择器在地址码(或叫选择控制)电位的控制下，从几 个数据输入中选择一个并将其送到一个公共的输出端。数据选择器的功能类似一个多掷开关， 如图 2-2-1 所示，图中有四路数据 D0~D3，通过选择控制信号A1、A0(地址码)从四路数据中选中某一路数据送至输出端 Q。

数据选择器为目前逻辑设计中应用十分广泛的逻辑部件，它有 2 选 1、4 选 1、8 选 1、16 选 1 等类别。以 8 选 1 数据选择器 74LS151 为例进行分析。

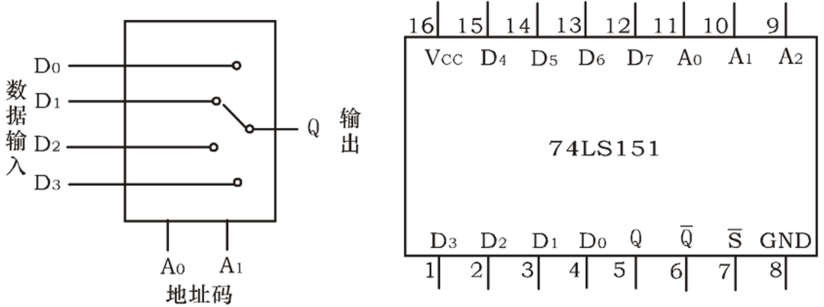
74LSl5l 为互补输出的 8 选 l 数据选择器，引脚排列如图 2-2-2，功能如表 2-2-1。选择控制端(地址端)为A2~A0，按二进制译码，从 8 个输入数据 D0~D7 中，选择一个需要的数据送到输出端 Q，S 为使能端，低电平有效。

图 2-2-1 4 选 1 数据选择器示意图 图 2-2-2 74LSl5l 引角排列根据 74LS151 的功能表，对其功能做如下说明：

① D0~D7 为八个数据输入端。

② Y 、Y 为两个互补输出端，分别以原码和反码的形式输出。

③ A0~A3 为三个地址输入端。

④ S 为选通输入端，低电平有效。

表 2-2-1

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 输 | |  | 入 | | 输 | 出 |
| S | A2 | | A1 | A0 | Q | Q |
| 1 | × | | × | × | 0 | 1 |
| 0 | 0 | | 0 | 0 | D0 | D0 |
| 0 | 0 | | 0 | 1 | D1 | D1 |
| 0 | 0 | | 1 | 0 | D2 | D2 |
| 0 | 0 | | 1 | 1 | D3 | D3 |
| 0 | 1 | | 0 | 0 | D4 | D4 |
| 0 | 1 | | 0 | 1 | D5 | D5 |
| 0 | 1 | | 1 | 0 | D6 | D6 |
| 0 | 1 | | 1 | 1 | D7 | D7 |

S =1 时，数据选择器不工作。此时，Y = L、Y =H。

S =0 时，数据选择器工作。此时输出端Y 的逻辑函数表达式为：

Y=(A2 A1A0 D0 +A2 A1A0 D1 +A2 A1 A0 D2 +A2A1A0 D3 +A2 A1A0 D4 A2 A1 A0 D5 +A2A1 A0 D6 +A2 A1A0 D7 )

## 数据选择器的应用——实现逻辑函数

**例：用 8 选 1 数据选择器 74LS151 实现函数。**

采用 8 选 1 数据选择器 74LSl5l 可实现任意三输入变量的组合逻辑函数。

F=AB+AC+BC

作出函数 F 的功能表，如表 2-2-2 所示，将函数 F 功能表与 8 选 1 数据选择器的功能表相比较，可知：

1. 将输入变量 C、B、A 作为 8 选 1 数据选择器的地址码 A2、Al、Ao；
2. 使 8 选 1 数据选择器的各数据输入 Do～D7 分别与函数 F 的输出值一一相对应。表 2-2-2

|  |  |  |  |
| --- | --- | --- | --- |
| 输 入 | | | 输 出 |
| C | B | A | F |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 |

即：A2A1A0=CBA；D0=D7=0；D1=D2=D3=D4=D5=D6=1

则 8 选 1 数据选择器的输出Q 便实现了函数：

#### F=AB+AC+BC

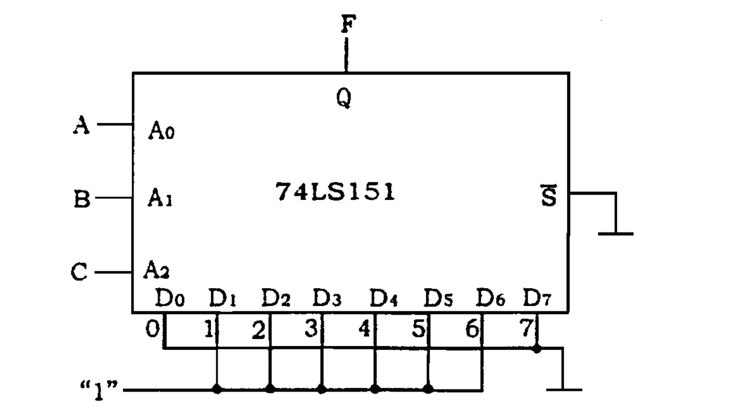
接线图如图 2-2-3 所示：

图 2-2-3 用 8 选 1 数据选择器实现

显然，采用具有 n 个地址端的数据选择实现 n 变量的逻辑函数时，应将函数的输入变量加到数据选择器的地址端(A)，选择器的数据输入端．(D)按次序以函数 F 输出值来赋值。**三、实验设备与器件**

1、+5V 直流电源 2、逻辑电平开关

3、逻辑电平显示器 4、74LS151、74LS153

## 四、实验内容

1. 根据功能表验证 74LS151 功能。
2. 用 8 选 1 数据选择器 74LS151 设计三输入多数表决电路，当三个输入中有两个或两个以上为一时，输出为一，否则输出为零。

① 写出设计过程；② 画出接线图；③ 验证逻辑功能

## 五、预习内容

1. 复习数据选择器的工作原理；
2. 用数据选择器对实验内容中各函数式进行预设计。

## 六、实验报告要求

用数据选择器对实验内容进行设计、写出设计全过程、画出接线图、进行逻辑功能测试。总结实验收获、体会。

## 七、实验数据

s