数电部分

实验一数字电路实验装置使用练习

一、实验目的

熟悉 KHD-2 型数字电路实验及其使用方法。

二、实验应达到的目标

（1）熟悉实验台各功能模块的位置及其应用；

（2）十六位开关电平输入、输出、LED 数码显示。

四、实验内容

(1) 用逻辑电平灯观察单脉冲信号。注意什么情况下单脉冲输出高电平，什么情况下

输出低电平？

(2) 在十六进制译码器输入端加入 0~16 的二进制编码（如：1011、0101 等）观察显

示结果，列表记录之。

(3) 拨动电平拨码开关，观察开关位置与输出电平之间的关系。

五、报告要求

（1）总结实验台各功能模块的使用方法及注意事项；

（2）记录实验结果，整理在实验报告上。

实验 2 基本逻辑门电路及其组合逻辑电路的设计

一、实验目的

（1）熟悉逻辑门电路逻辑功能；

（2）掌握门电路的使用方法。

二、实验原理

逻辑代数中最基本的函数关系是与、或、非，对应的运算关系与、或、非三种：



其它函数都是由这三种基本函数组合而成。除与非、或非等函数外，另种常用的函数为

异或函数，其逻辑表达式：

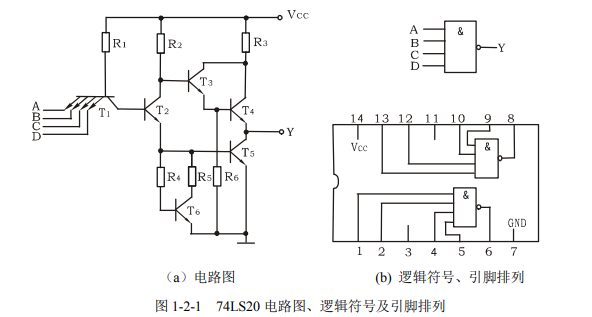
   

式中符号④ 表示异或运算。根据这些函数关系可构成—系列的逻辑门电路。

本实验采用二输入与非门 74LS00、二输入或非门 74LS02、四输入与非门 74LS20，主

要讲一下 74LS20，即一块集成块内含有两个互相独立的与非门，每个与非门有四个输入端。

具逻辑框图、符号及引脚排列如图 1-2-1(a)、(b)所示。



与非门的逻辑功能与非门的逻辑功能是： 当输入端中有一个或一个以上是低电平时，

输出 端为高电平； 只有当输入端全部为高电平时，输出端才是低电平(即有“0” 得“1”，

全“1”得“0”)

74LS00、74LS02 的引脚图见附录。

TTL 集成电路使用规则：

1、接插集成块时，要认清定位标记，不得插反，

2、电源电压使用范围为+4.5V~+5.5V 之间，实验中要求使用 Vcc=+5V，电源极性绝对

不允许接错。

3、闲置输入端处理方法

(1)悬空，相当于正逻辑“1”，对于—般小规模集成电路的数据输入端， 实验时允许悬

空处理。但易受外界干扰，导致电路的逻辑功能不正常。因此，对于接有长线的输入端，中

规模以上的集成电路和使用集成电路较多的复杂电路，所有控制输入端必须按逻辑要求接入

电路，不允许悬空。

(2)直接按电源电压 VCC(也可以串入—只 1-l0 的固定电阻)或接至某一固定电压

(+2.4≤V≤4.5V)的电源上， 或与输入端为接地的多余与非门的输出端相接。

（3）若前级驱动能力允许，可以与使用的输入端并联。

4、输入端通过电阻接地，电阻值的大小将直接影响电路所处的状态。当 R≤680Ω 时，

输入端相当于逻辑“0”；当 R≥4.7KΩ 时，输入端相当于逻 辑“1”。对于不同系列的器件，要

求的阻值不同。

5、输出端不允许并联使用(集电极开路门(OC)和三态输出门电路(3S)除外)。否则不仅会

使电路逻辑功能混乱，并会导致器件损坏。

6、输出端不允许直接接地或直接接+5V 电源，否则将损坏器件，有时为了使后级电路

获得较高的输出电平，允许输出端通过电阻 R 接至 VCC，一般取 R=3～5.1 KΩ。

三、实验仪器设备及元器件

（1）数字电路实验装置

（2）集成块 74LS20、74LS00、74LS02

四、实验内容

（1）在合适的位置选取一个 14 脚 DIP 插座，按定位标记插好 74LS20 集成块。验证

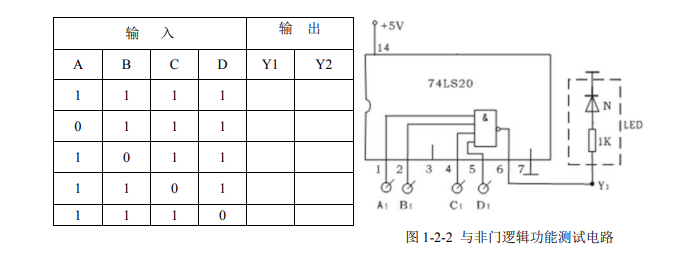
TTL 集成与非门 74LS20 的逻辑功能：按图 1-2-2 接线，门的四个输入端接逻辑开关输出插

口，以提供“0”与 “1”电平信号，开关向上输出逻辑“1”，向下为逻辑“0”。门的输出端接由

LED 发光二极管组成的逻辑电平显示器(又称 0-1 指示器)的显示插口， LED 亮为逻辑“1”，

不亮为逻辑“0”。按表 5-4-1 的真值表逐个测试集成块中 两个与非门的逻辑功能。74LS20

有 4 个输入端，有 16 个最小项，在实际测试时，只要通过对输入 1111、0111、1011、1101、1110 五项进行检测就可判断其逻辑功能是否正常。

 图 1-2-2 与非门逻辑功能测试电路

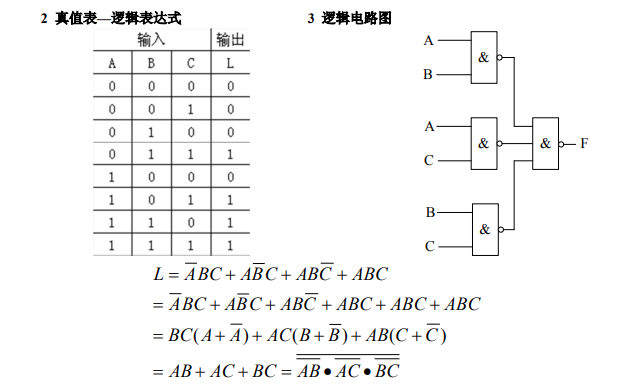
（2）按上题的方法分别验证 74LS00、74LS02 的逻辑功能

（3）用所给定的元器件，构成三人表决器。

提示：

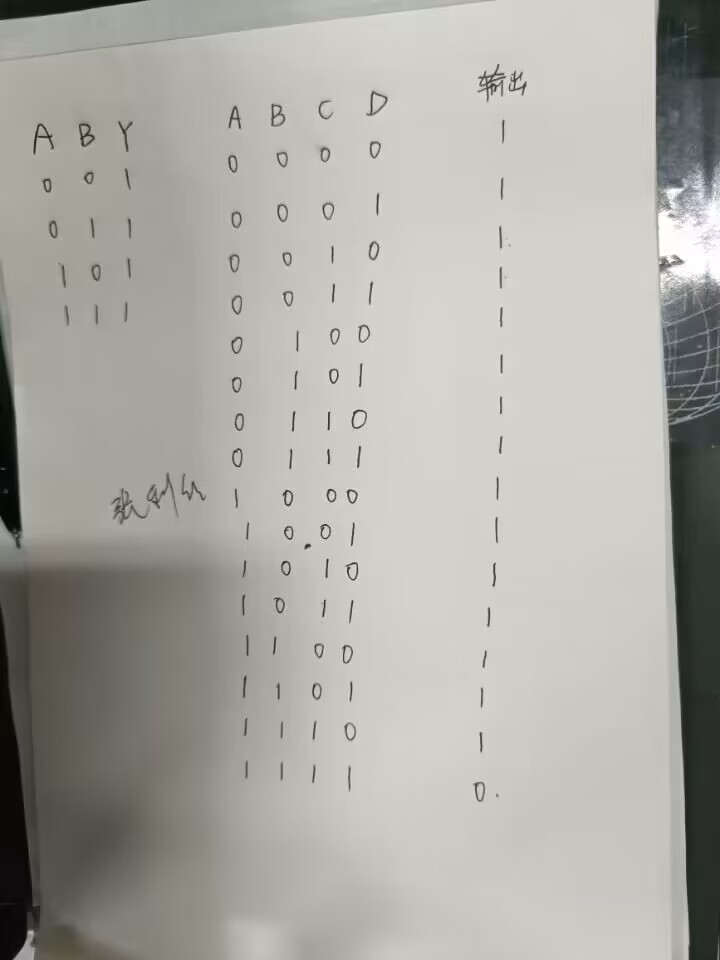
1 明确设计要求：

A/B/C 三输入，两个及以上为 1，输出 1；否则输出 0。

五、报告要求

（1）列表整理实验数据，画出实验电路；

（2）实验数据与理论值比较，并分析回答思考题



实验 3多路选择器 74LS151 使用方法及其应用

一、实验目的

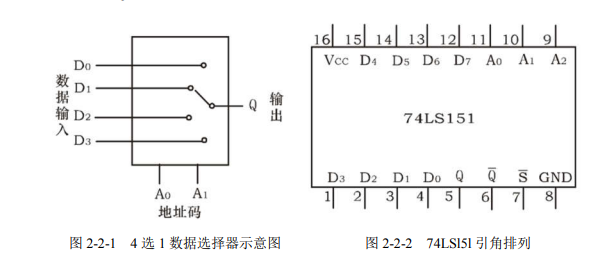
（1）掌握中规模集成数据选择器的逻辑功能及使用方法；

（2）学习用数据选择器构成组合逻辑电路的方法。

二、实验原理

数据选择器又叫“多路开关”。数据选择器在地址码(或叫选择控制)电位的控制下，从几个数据输入中选择一个并将其送到一个公共的输出端。数据选择器的功能类似一个多掷开关，如图 2-2-1 所示，图中有四路数据 D0~D3，通过选择控制信号 A1、A0(地址码)从四路数据中选中某一路数据送至输出端 Q。

数据选择器为目前逻辑设计中应用十分广泛的逻辑部件，它有 2 选 1、4 选 1、8 选 1、16 选 1 等类别。以 8 选 1 数据选择器 74LS151 为例进行分析。74LSl5l 为互补输出的 8 选 l 数据选择器，引脚排列如图 2-2-2，功能如表 2-2-1。选择控制端(地址端)为 A2~A0，按二进制译码，从 8 个输入数据 D0~D7 中，选择一个需要的数据送到输出端 Q，S 为使能端，低电平有效。



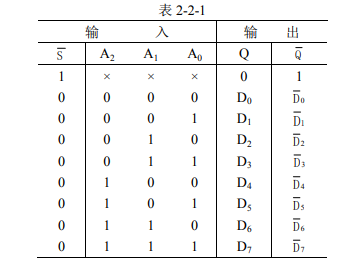
根据 74LS151 的功能表，对其功能做如下说明：

① D0~D7 为八个数据输入端。

② Y 、 Y 为两个互补输出端，分别以原码和反码的形式输出。

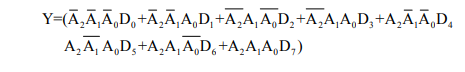
③ A0~A3 为三个地址输入端。

④ S为选通输入端，低电平有效。



S =1 时，数据选择器不工作。此时，Y = L、 Y =H。

S =0 时，数据选择器工作。此时输出端 Y 的逻辑函数表达式为：



数据选择器的应用——实现逻辑函数

例：用 8 选 1 数据选择器 74LS151 实现函数。

采用 8 选 1 数据选择器 74LSl5l 可实现任意三输入变量的组合逻辑函数。



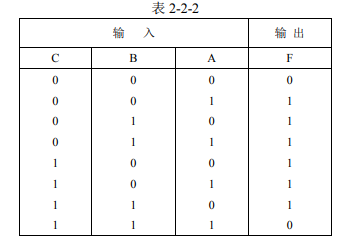
作出函数 F 的功能表，如表 2-2-2 所示，将函数 F 功能表与 8 选 1 数据选择器的功能表相比较，可知：

(1)将输入变量 C、B、A 作为 8 选 1 数据选择器的地址码 A2、Al、Ao；

(2)使 8 选 1 数据选择器的各数据输入 Do～D7分别与函数 F 的输出值一一相对应。

表 2-2-2

输 入 输 出

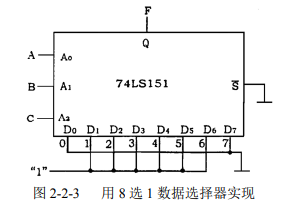


即：A2A1A0=CBA；D0=D7=0；D1=D2=D3=D4=D5=D6=1

则 8 选 1 数据选择器的输出 Q 便实现了函数：



接线图如图 2-2-3 所示：



显然，采用具有 n 个地址端的数据选择实现 n 变量的逻辑函数时，应将函数的输入变量加到数据选择器的地址端(A)，选择器的数据输入端．(D)按次序以函数 F 输出值来赋值。

三、实验设备与器件

1、+5V 直流电源 2、逻辑电平开关

3、逻辑电平显示器 4、74LS151、74LS153

四、实验内容

（1）根据功能表验证 74LS151 功能。

（2）用 8 选 1 数据选择器 74LS151 设计三输入多数表决电路，当三个输入中有两个或

两个以上为一时，输出为一，否则输出为零。

① 写出设计过程；② 画出接线图；③ 验证逻辑功能

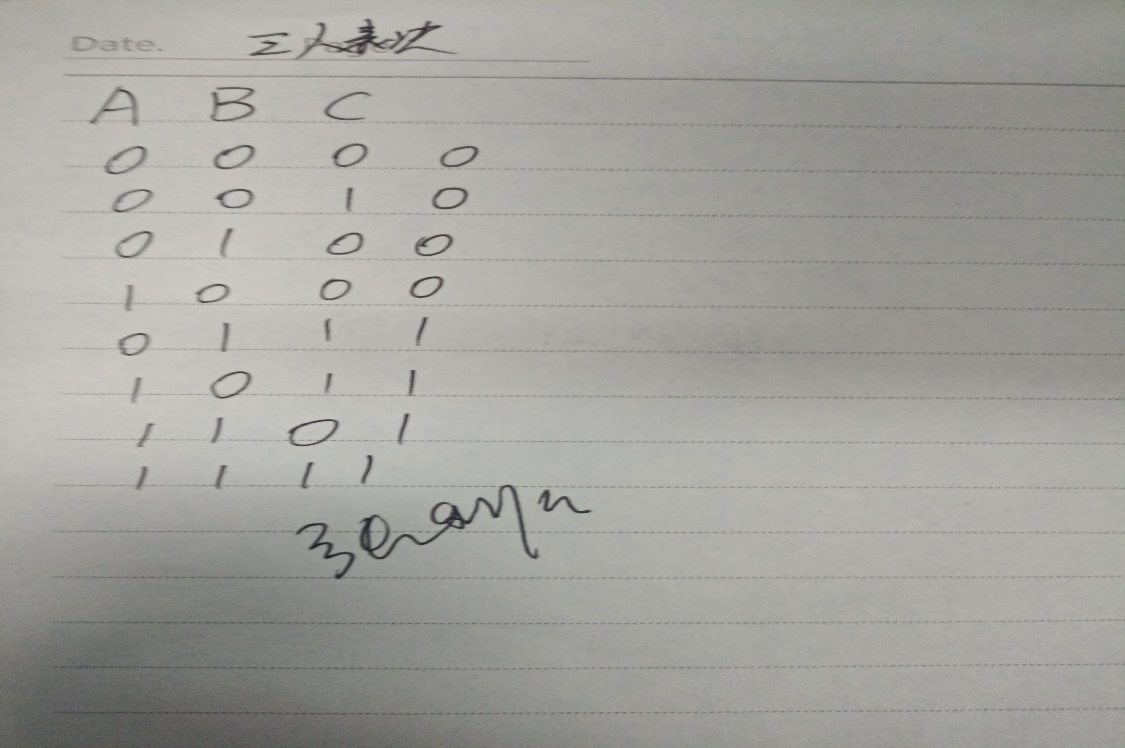
五、预习内容

（1）复习数据选择器的工作原理；

（2）用数据选择器对实验内容中各函数式进行预设计。

六、实验报告要求

用数据选择器对实验内容进行设计、写出设计全过程、画出接线图、进行逻辑功能测试。



实验 4 触发器及其应用

一、实验目的

（1）掌握基本 RS、JK、D 和 T 触发器的逻辑功能；

（2）掌握集成触发器的逻辑功能及使用方法；

（3）熟悉触发器之间相互转换的方法。

二、实验原理

触发器具有两个稳定状态，用以表示逻辑状态“1”和“0”，在一定的外界信号作用下，可

以从一个稳定状态翻转到另一个稳定状态，它是一个具有记忆功能的二进制信息存贮器件，

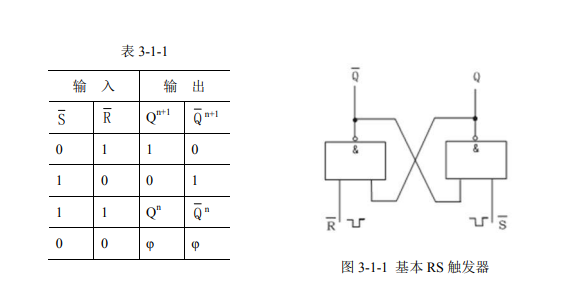
是构成各种时序电路的最基本逻辑单元。

1、基本 RS 触发器

图 3-1-1 为由两个与非门交叉耦合构成的基本 RS 触发器，它是无时钟控制低电平直接

触发的触发器。基本 RS 触发器具有置“0”、置“1”和“保持”三种功能。通常称 S 为置“1”端，

因为S ＝0（R ＝1）时触发器被置“1”；R 为置“0”端，因为 R ＝0（ S ＝1）时触发器被置“0”，当 S ＝ R ＝1 时状态保持；S ＝R ＝0 时，触发器状态不定，应避免此种情况发生，表 3-1-1为基本 RS 触发器的功能表。基本 RS 触发器。也可以用两个“或非门”组成，此时为高电平触发有效。



2、JK 触发器

在输入信号为双端的情况下，JK 触发器是功能完善、使用灵活和通用性较强的一种触

发器。本实验采用 74LS112 双 JK 触发器，是下降边沿触发的边沿触发器。引脚功能及逻辑符号如图 3-1-2 所示。

JK 触发器的状态方程为：

J 和 K 是数据输入端，是触发器状态更新的依据，若 J、K 有两个或两个以上输入端时，组成“与”的关系。Q 与 Q 为两个互补输出端。通常把 Q＝0、 Q ＝1 的状态定为触发器“0”状态；而把 Q＝1，Q ＝0 定为“1”状态。

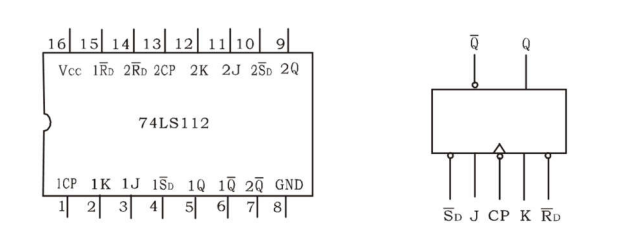
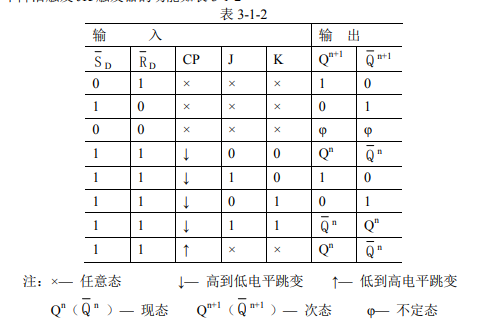


图 3-1-2 74LS112 双 JK 触发器引脚排列及逻辑符号

下降沿触发 JK 触发器的功能如表 3-1-2

JK 触发JK 触发器常被用作缓冲存储器，移位寄存器和计数器。

3、D 触发器

在输入信号为单端的情况下，D 触发器用起来最为方便，其状态方程为，其输

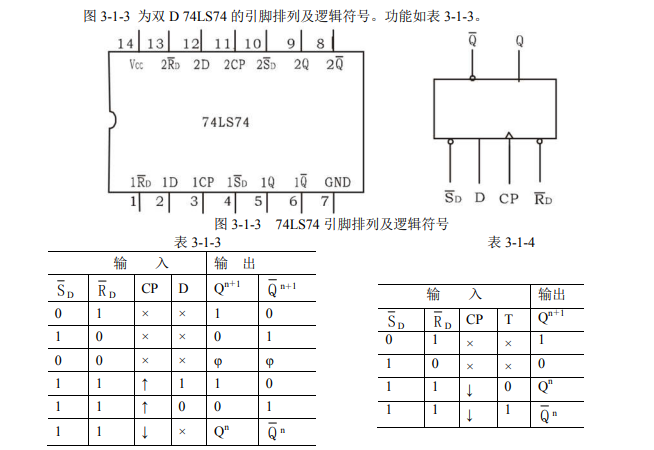
出状态的更新发生在 CP 脉冲的上升沿，故又称为上升沿触发的边沿触发器，触发器的状态

只取决于时钟到来前 D 端的状态，D 触发器的应用很广，可用作数字信号的寄存，移位寄

存，分频和波形发生等。有很多种型号可供各种用途的需要而选用。如双 D 74LS74、四 D

74LS175、六 D 74LS174 等。

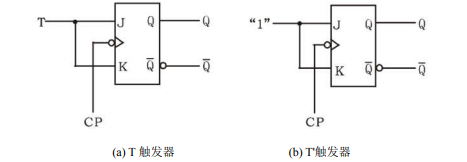
图 3-1-3 为双 D 74LS74 的引脚排列及逻辑符号。功能如表 3-1-3。

4、触发器之间的相互转换

在集成触发器的产品中，每一种触发器都有自己固定的逻辑功能。但可以利用转换的方

法获得具有其它功能的触发器。例如将 JK 触发器的 J、K 两端连在一起，并认它为 T 端，

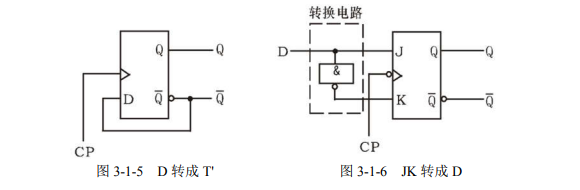
就得到所需的 T 触发器。如图 3-1-4(a)所示。其状态方程为：

 图 3-1-4 JK 触发器转换为 T、T'触发器

T 触发器的功能如表 3-1-4：由功能表可见，当 T＝0 时，时钟脉冲作用后，其状态保持不变；当 T＝1 时，时钟脉冲作用后，触发器状态翻转。所以，若将 T 触发器的 T 端置“1”，如图 4－4(b)所示，即得 T'触发器。在 T'触发器的 CP 端每来一个 CP 脉冲信号，触发器的状态就翻转一次，故称之为反转触发器，广泛用于计数电路中。同样，若将 D 触发器 端与 D 端相连，便转换成 T'触发器。如图 3-1-5 所示。

JK 触发器也可转换为 D 触发器，如图 3-1-6。

图 3-1-5 D 转成 T' 图 3-1-6 JK 转成 D



三、实验设备与器件

1、＋5V 直流电源 2、双踪示波器

3、连续脉冲源 4、单次脉冲源

5、逻辑电平开关 6、逻辑电平显示器

7、74LS112、74LS74

四、实验内容

1、测试双 JK 触发器 74LS112 逻辑功能

(1) 测试R D 、S D 的复位、置位功能

任取一只 JK 触发器，R D、S D、J、K 端接逻辑开关输出插口，CP 端接单次脉冲源，Q、Q 端接至逻辑电平显示输入插口。要求改变R D，S D（J、K、CP 处于任意状态），并在R D＝0（S D＝1）或S D＝0（R D＝1）作用期间任意改变 J、K 及 CP 的状态，观察 Q、Q 状态。自拟表格并记录之。

(2) 测试 JK 触发器的逻辑功能

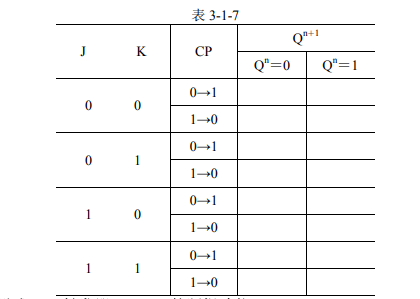
按表 3-1-7 的要求改变 J、K、CP 端状态，观察 Q、Q 状态变化，观察触发器状态更新

是否发生在 CP 脉冲的下降沿（即 CP 由 1→0），记录之。

(3) 将 JK 触发器的 J、K 端连在一起，构成 T 触发器。

根据 T（J=K）输入端的状态，改变 CP 脉冲，观察 Q 端的变化情况。

Q



2、测试双 D 触发器 74LS74 的逻辑功能

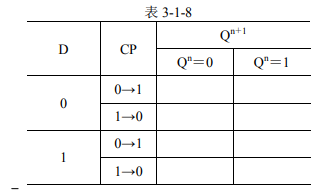
(1) 测试R D 、S D 的复位、置位功能

测试方法同实验内容 1，自拟表格记录。

(2) 测试 D 触发器的逻辑功能

按表 3-1-8 要求进行测试，并观察触发器状态更新是否发生在 CP 脉冲的上升沿（即由

0→1），记录之。

(3) 将 D 触发器的Q 端与 D 端相连接，构成 T'触发器。测试

五、实验预习要求

（1）复习有关触发器内容；（2）列出各触发器功能测试表格；

（3）按实验内容 4、5 的要求设计线路，拟定实验方案。

六、实验报告

（1）列表整理各类触发器的逻辑功能；总结观察到的波形，说明触发器的触发方式；

（2）利用普通的机械开关组成的数据开关所产生的信号是否可作为触发器的时钟脉冲

信号？为什么？是否可以用作触发器的其它输入端的信号？又是为什么

