

**教学上机实验报告**

**课程名称：**  计算机组成原理

**任课教师姓名：** 刘静

**学生学号：**  312105010207

**学生姓名：**  刘晨阳

**学生专业班级：** 计算机2106

**2022 ～ 2023 学年 第2学期**

|  |
| --- |
| **河南理工大学**  **教学上机实验报告评价分值标准** |
| |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | | 序号 | 评价指标 | 分值 | 评价等级及参考分值 | | | | | 评价分 | | 优 | 良 | 中 | 合格 | 差 | | 1 | 实验报告内容完整充实 | 10 | 10 | 8 | 7 | 6 | 3 |  | | 2 | 实验内容书写规范、字迹工整认真 | 10 | 10 | 8 | 7 | 6 | 3 |  | | 3 | 实验过程叙述详细、概念正确，语言表达准确，结构严谨，调理清楚，逻辑性强，自己努力完成，没有抄袭。 | 30 | 30 | 26 | 23 | 20 | 10 |  | | 4 | 对实验过程中存在的问题分析详细透彻、深刻、全面、规范，结合实验内容，有自己的个人见解和想法，并能结合该实验提出相关问题，给出解决方法。 | 30 | 30 | 26 | 23 | 20 | 10 |  | | 5 | 实验结果、分析和结论正确无误 | 20 | 20 | 17 | 15 | 13 | 6 |  | | 总得分 | | | | | | | |  |   签名（签章）：  日期： 年 月 日 |
|  |

|  |
| --- |
| **河南理工大学教学上机实验报告** |
| 上机时间 2023年 5月 18 日 |
| **实验题目：**  **8位可控加减法电路设计** |
| **实验目的和要求：**  **实验目的：**  帮助学生掌握一位全加器的实现逻辑，掌握多位可控加减法电路的实现逻辑，熟悉 Logisim 平台基本功能，能在 logisim 中实现多位可控加减法电路。  实验内容：  在 Logisim 模拟器中打开 alu.circ 文件，在对应子电路中利用已经封装好的全加器设计8位串行可控加减法电路，其电路引脚定义如图所示，用户可以直接使用在电路中使用对应的隧道标签，其中 X，Y 为两输入数，Sub 为加减控制信号，S 为运算结果输出，Cout 为进位输出，OF 为有符号运算溢出位。 |
| **实验过程**：  使用logism软件打开circ文件    实验框架如下：    电路引脚如下：    我们对电路进行测试，测试数据如下：   |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | | 输入 | | | 输出 | | | | X | Y | Sub | S | Cout | OF | | 10 | 21 | 0 | 31 | 0 | 0 | | 81 | 78 | 1 | 03 | 1 | 0 | | 79 | 02 | 0 | 81 | 0 | 0 | | 41 | 10 | 1 | 31 | 0 | 0 | | 43 | 02 | 1 | 41 | 1 | 0 | |
| **实验结果：**  **测试结果如下：**            **头歌测试通过** |
| **实验分析：**  **测试分析如下，X：1001 000；Y：1000 0000；Sub=0有符号：-112的补码是1001 0000，-128的补码是1000 0000，将两个数的补码相加，得到0001 0000。这个结果的最高位是0，说明是一个正数，溢出标志OF=1，因为最高符号位进位Cout为1，而最高数据位进位为0，两者不相同，所以发生溢出。**  **无符号：144的补码是1001 0000，128的补码是1000 0000，将两个数的补码相加，得到0001 0000。因为其原本结果为100010000超出8位，所以发生溢出。**    **X：0100 0000；Y：1000 0000；Sub=1有符号：64的补码是0100 0000，-128的补码是1000 0000，将两数的补码相减，得到1100 0000。这个结果的最高位为1，说明是一个负数，溢出标志OF=1，因为最高符号位进位Cout为0，最高数据为进位为1，两者不同，所以发生溢出。无符号：64的补码是0100 0000，128的补码是1000 0000，将两者的补码相减，得到1100 0000。按照模2^8取余的话，该结果和原来数值同余，所以没有发生溢出。** |
| **实验成绩：**  **日期： 年 月 日** |

|  |
| --- |
| **河南理工大学教学上机实验报告** |
| 上机时间 2023年 5 月 25 日 |
| **实验题目：**  **汉字字库存储芯片扩展实验** |
| **实验目的和要求：**  实验目的：  理解存储系统进行位扩展、字扩展的基本原理，能利用相关原理解决实验中汉字字库的存储扩展问题，并能够使用正确的字库数据填充  实验要求：  有如下 ROM 组件，4片4K\*32位 ROM ，7片 16K\*32位 ROM，请在 Logisim 平台构建 GB2312 汉字编码的16K\*16点阵汉字字库，电路输入为汉字区号和位号，电路输出为8×32位（16K\*16=256 位点阵信息），待完成的字库电路输入输出引脚见后图，具体参见工程文件中的 storage.circ 文件，图中左侧是输入引脚，分别对应汉字区位码的区号和位号，中间区域为8个32位的输出引脚，可一次性提供一个汉字的256位点阵显示信息，右侧是实际显示区域，用于观测汉字显示是否正常 |
| **实验过程**：  4K×32位ROM中地址线需要使用12位二进制表示，而16K×32位ROM中地址线的位数是14位，故此时需要进行字扩展。将4片小容量ROM的地址端并联，将并联后的地址段与分线器的0-11端连接，然后通将14位地址线的高两位（12-13端）引出连接在2-4译码器的输入端，输出4个相应的信号当作片选信号。译码器的输出端分别与四个ROM的sel端连接，最后将4片小容量ROM数据段并联和D1连接，这样就可以完成字扩展。  电路框架如下：    电路引脚如下：  完成存储扩展设计后，可以在字库测试电路中进行对比测试，如下图所示 |
| **实验结果：**  **设计电路如下：**      **头歌平台测试如下：** |
| **实验分析：**  **在一些涉及到文本处理、中文输入法等应用中，需要使用大量的汉字字库进行存储和查询。然而，传统的存储器容量有限，无法满足大规模汉字字库的需求。本实验我们通过字扩展对该存储器进行了容量的扩展，充分发挥了扩展存储器在存储大规模汉字字库中的优势** |
| **实验成绩：**  **日期： 年 月 日** |

|  |
| --- |
| **河南理工大学教学上机实验报告** |
| 上机时间 2023年 6月 1 日 |
| **实验题目：**  **单周期MIPS CPU设计** |
| **实验目的和要求：**  实验目的：  掌握控制器设计的基本原理，能利用硬布线控制器的设计原理，在 Logisim 平台中设计实现 MIPS 单周期 CPU  实验要求：  利用运算器实验，存储系统实验中构建的运算器、寄存器文件、存储系统等部件以及 Logisim 中其它功能部件，构建一个32位 MIPS CPU 单周期处理器。要求支持8条 MIPS 核心指令，最终设计实现的 MIPS 处理器能运行实验包中的冒泡排序测试程序 sort.asm，该程序自动在数据存储器0~15号字单元中写入16个数据，然后利用冒泡排序将数据升序排序，要求统计指令条数与 MARS 中的指令统计数目进行对比 |
| **实验过程**：  电路框架如下    电路引脚如下    测试数据如下：    电路如下： |
| **实验结果：**  **头歌测试结果如下** |
| **实验分析：**  **在该实验中，需要设计并实现一个支持MIPS指令集的运算器，包括算术逻辑单元(ALU)、寄存器堆、控制单元等模块。同时，还需要编写测试程序，对运算器进行测试和验证，确保其能够正确地执行各种指令和计算操作。**  **在测试过程中，需要对运算器进行各种测试，包括单指令测试、多指令测试、边界测试等。通过这些测试，可以验证运算器的正确性、稳定性和性能等方面的指标，并对其进行优化和改进**  **总的来说，MIPS运算器设计实验是一项非常有意义和挑战性的实验，可以帮助深入理解计算机体系结构和指令集架构的原理和实现方法，并提高的设计和实现能力** |
| **实验成绩：**  **日期： 年 月 日** |

|  |
| --- |
| **河南理工大学教学上机实验报告** |
| 上机时间 2023年 6月 8日 |
| **实验题目：**  **支持中断的时序发生器FSM设计** |
| **实验目的和要求：**  实验目的：  帮助学生理解传统三级时序系统中断处理机制，学生能设计支持中断处理的变长指令周期的时序发生器状态机以及输出函数  实验要求：  在变长指令周期的三级时序系统增加一个中断响应机器周期Mint，在Mex最后一个节拍如果检测到外部中断请求，系统进入Mint机器周期，进行中断响应，对时序发生器的改造包括状态机和输出函数两部分，本实验要求设计支持中断的状态机。    变长指令周期中如果需要支持中断，需要增加额外的机器周期和状态，具体状态图如下，注意S9，S10就是中断响应周期Mint对应的两个节拍状态。    按状态图填写相应的excel表，自动生成次态逻辑表达式后，即可在logisim中自动生成该电路。 |
| **实验过程**：  该电路的引脚如下：    通过对电路进行设计，然后用相应测试用例进行测试  测试用例如下：    然后将设计电路代码导出放到头歌平台上进行测试 |
| **实验结果：**  **头歌平台测试结果如下：**    **设计电路如下：** |
| **实验分析：**  **单周期MIPS（Microprocessor without Interlocked Pipeline Stages）CPU是一种基于冯·诺依曼体系结构的简化指令集架构（ISA）的中央处理器，在每个时钟周期内，按照指令的执行流程依次进行，完成一条指令的执行后再进行下一条指令的执行。相比于流水线CPU，单周期CPU的设计相对简单，但效率较低，因为每条指令的执行时间相等，无法充分利用硬件资源。通过该实验，我更深刻的理解了计算机的基本组成部分，包括寄存器、数据通路、控制单元、存储器等，并学会它们之间的协作工作原理，了解通过时钟脉冲和时序逻辑来协调CPU各个部件的操作，确保正确的指令执行顺序和数据的传输** |
| **实验成绩：**  **日期： 年 月 日** |