

Part II 门电路与组合逻辑 *OK*

Lecture 04 门电路

一、概述

门电路：实现一些基本逻辑功能的电路，是建立数字系统的基础器件。

集成门电路：将构成门电路的各种元件集中制作在一块半导体芯片上。

根据所采用的半导体器件，数字集成电路可以分为两大类。

双极型集成电路：采用双极型半导体器件作为元件，主要特点是速度快、负载能力强，但功耗较大、集成度较低。

单极型集成电路（又称为 MOS 集成电路），采用金属-氧化物半导体场效应管（MOSFET）作为元件，主要特点是结构简单、制造方便、集成度高、

功耗低，但速度较慢。

双极型集成电路：DTL、TTL、ECL 等。TTL 电路的“性能价格比”最佳，应用最广泛。

MOS 集成电路：PMOS、NMOS、CMOS 等。CMOS 电路应用较普遍，因为它不但适用于通用逻辑电路的设计，而且综合性能最好。

根据一片集成电路芯片上包含的逻辑门个数或元件个数，数字集成电路可以分为：SSIC、MSIC、LSIC、VLSIC。

数字电路中的**晶体管**和 **MOS 管**等器件一般是以**开关**方式运作的，其工作状态相当于开关的“接通”与“断开”，而且根据需要在这两种状态之间转换。

(一) 二极管的开关特性

二极管(硅管)电路及其简化的伏安特性曲线分别如下:

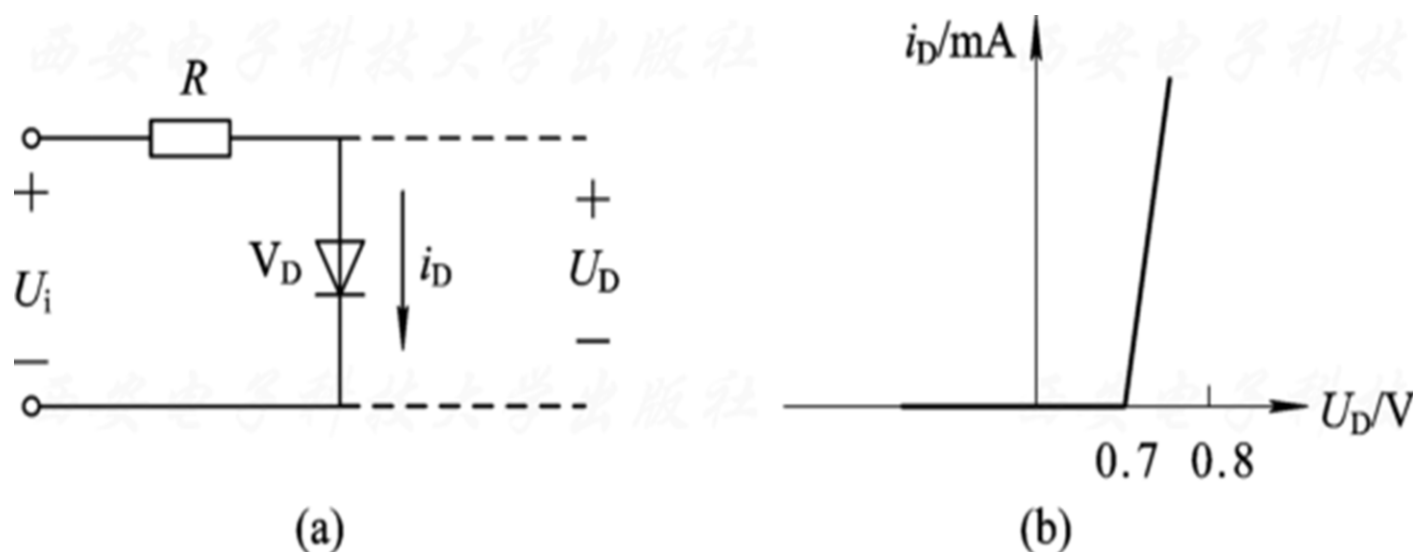


图2.4.1 二极管伏安特性

(a) 二极管电路; (b) 简化的二极管伏安特性

当二极管 V_D 上所加电压 U_D 小于 0.7 V 时，二极管**截止**，二极管电流 i_D 近似为 0 ，相当于开关断开。

当二极管上所加正向电压大于 0.7 V 时，二极管**导通**，正向电流迅速增加，相当于开关闭合。

正向导通时，二极管上压降 U_D 约为 0.7 V ，一般不超出 0.8 V 。

（二）三极管的开关特性

三极管有截止、放大和饱和三个工作区，作为开关元件工作在截止和饱和区。

三极管（NPN 硅管）单管共射开关电路及其输出特性如图 2.4.2 所示。

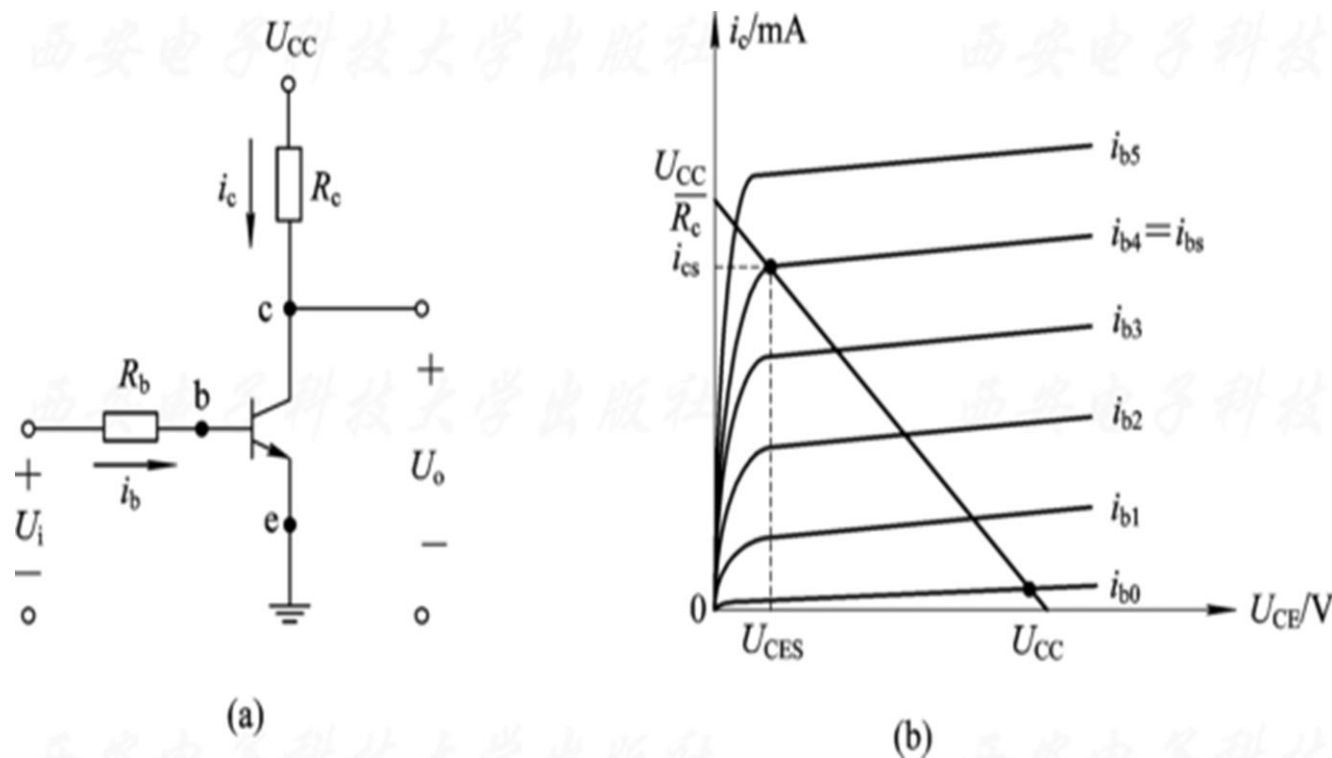


图2.4.2 晶体三极管开关特性

(a) 三极管单管共射开关电路；(b) 输出特性

当 $U_i < U_{be}$ 时，晶体管发射结和集电结均反偏，晶体管工作于**截止区**，晶体管 c、e 间相当于开关

断开。

增大 U_i ，使发射结正偏，集电结反偏，则晶体管工作于**放大区**。

随着输入电压 U_i 的增大，晶体管脱离放大区，而进入**饱和区**，晶体管 c、e 间相当于开关闭合。

(三) MOS 管的开关特性

MOS 管的开关特性同三极管类似。

NMOS 管在 **P 型衬底**上，生成两个高掺杂浓度的 **N 型区**，分别引出**源极 (S)**和**漏极 (D)**，在衬底之上的源极和漏极之间，制作一层极薄的二氧化硅绝缘层，在它之上再用金属或多晶硅制作一层导电层作为**栅极 (G)**。

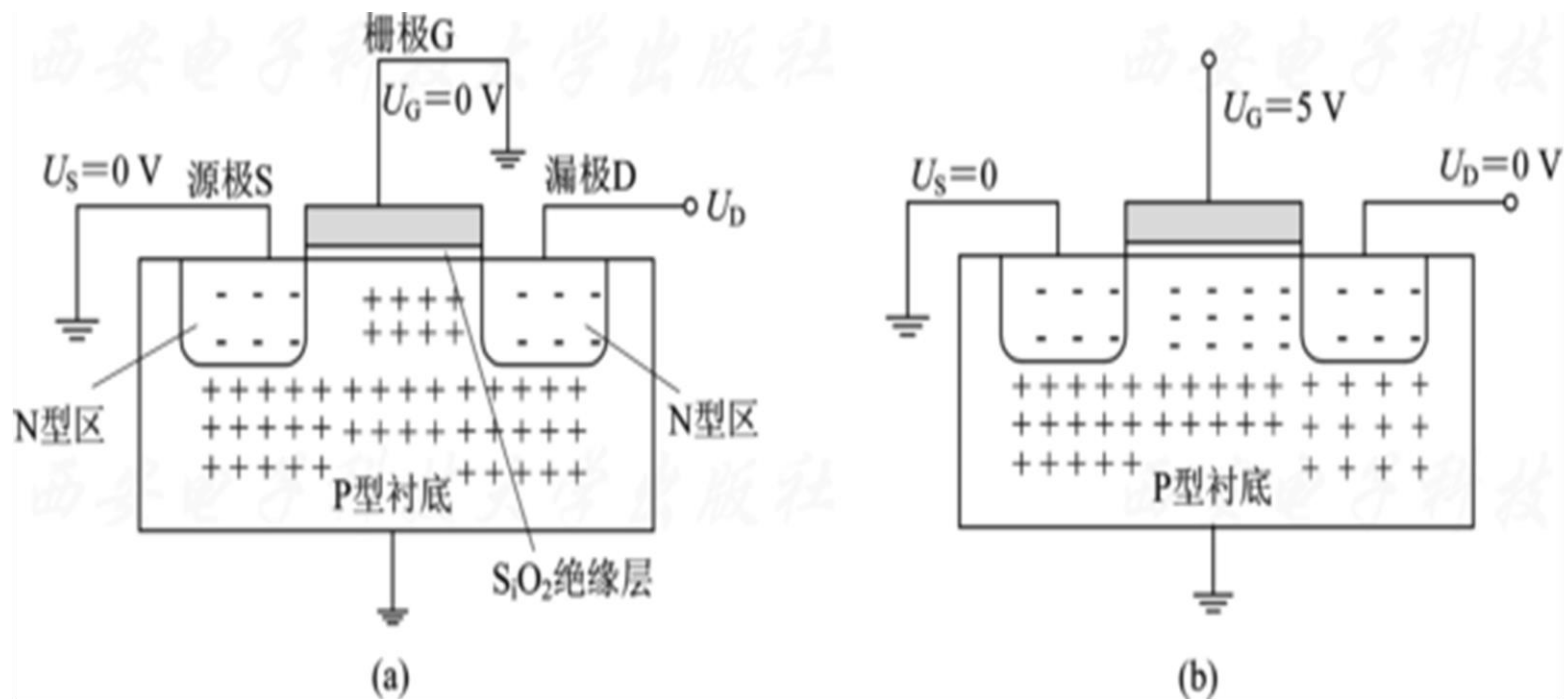


图2.4.3 NMOS晶体管的物理结构

(a) $U_{GS}=0$ V时晶体管截止； (b) $U_{GS}=5$ V时晶体管导通

当 $U_{GS}=0$ 时，晶体管截止，漏极 D 和源极 S 间相当于**开关断开**。

当 $U_{GS}=5V$ 时，晶体管导通，漏极 D 和源极 S 间相当于**开关闭合**。

使漏极、源极之间处于临界导通的栅、源间电压称为**开启电压**，记为 U_T 。

对 NMOS 管， $U_T>0$ 。当 $U_{GS}<U_T$ 时，NMOS 管截止；当 $U_{GS}\geq U_T$ 时，NMOS 管导通。 U_T 的典型值是 $0.2U_{DD}$ （ U_{DD} 为电源电压）。

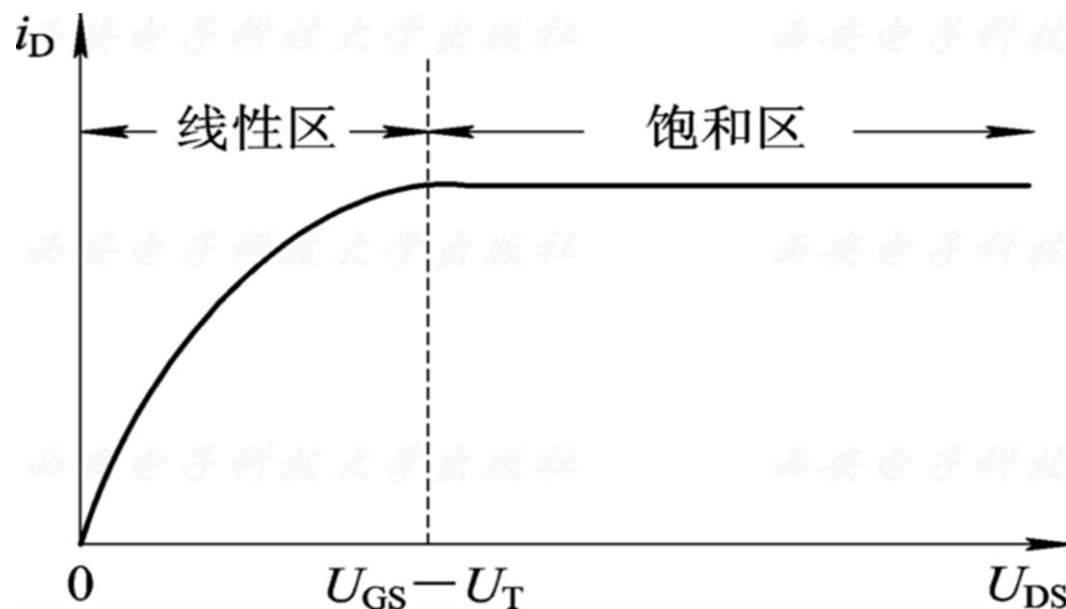


图2.4.4 NMOS管中的电流-电压关系

NMOS 管导通时，由漏极流向源极的电流 i_D 与漏极、源极间电压 U_{DS} 之间的关系如图 2.4.4 所示。

当 $U_{DS} < U_{GS} - U_T$ 时，栅极和漏极之间的电压 $U_{GD} = U_{GS} - U_{DS} > U_T$ ，这一区域称为**线性区**；当 $U_{DS} > U_{GS} - U_T$ 时， $U_{GD} = U_{GS} - U_{DS} < U_T$ ，这一区域称为**饱和区**。

PMOS 管的构造是在 N 型衬底上生成 P 型区，通过栅极、源极间外加的负电压来形成空穴型导电沟道，因此其开启电压 $U_T < 0$ ，电流方向与 NMOS 管相反，其余情况类似。

MOS 管的电路符号如图 2.4.5 所示。

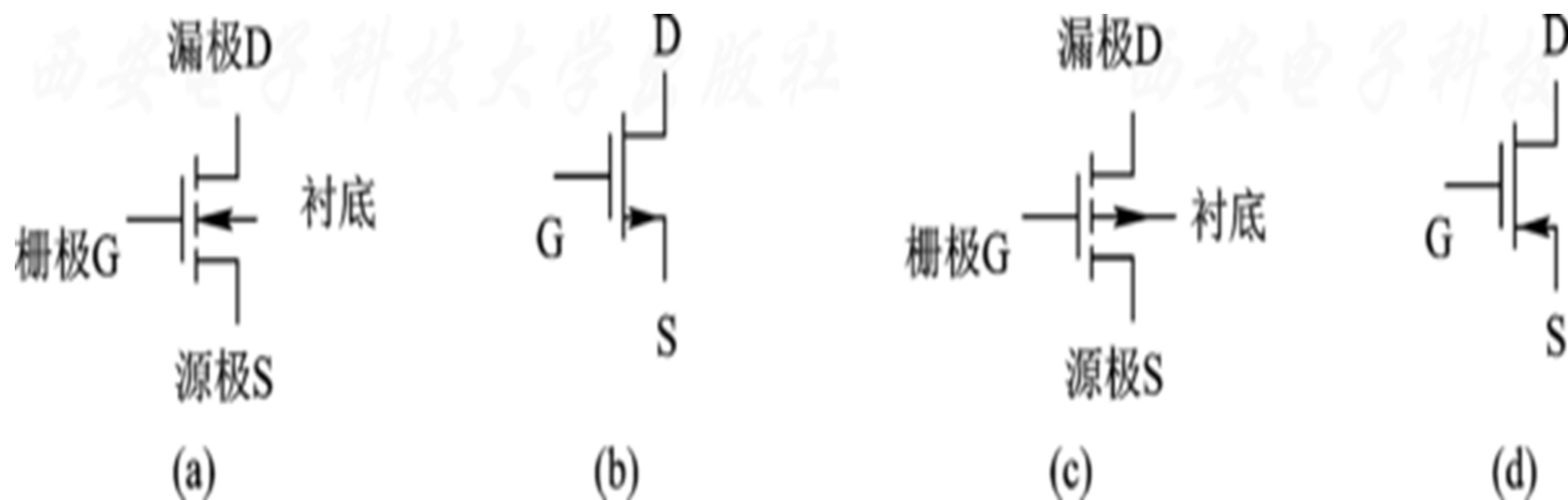


图2.4.5 MOS晶体管符号

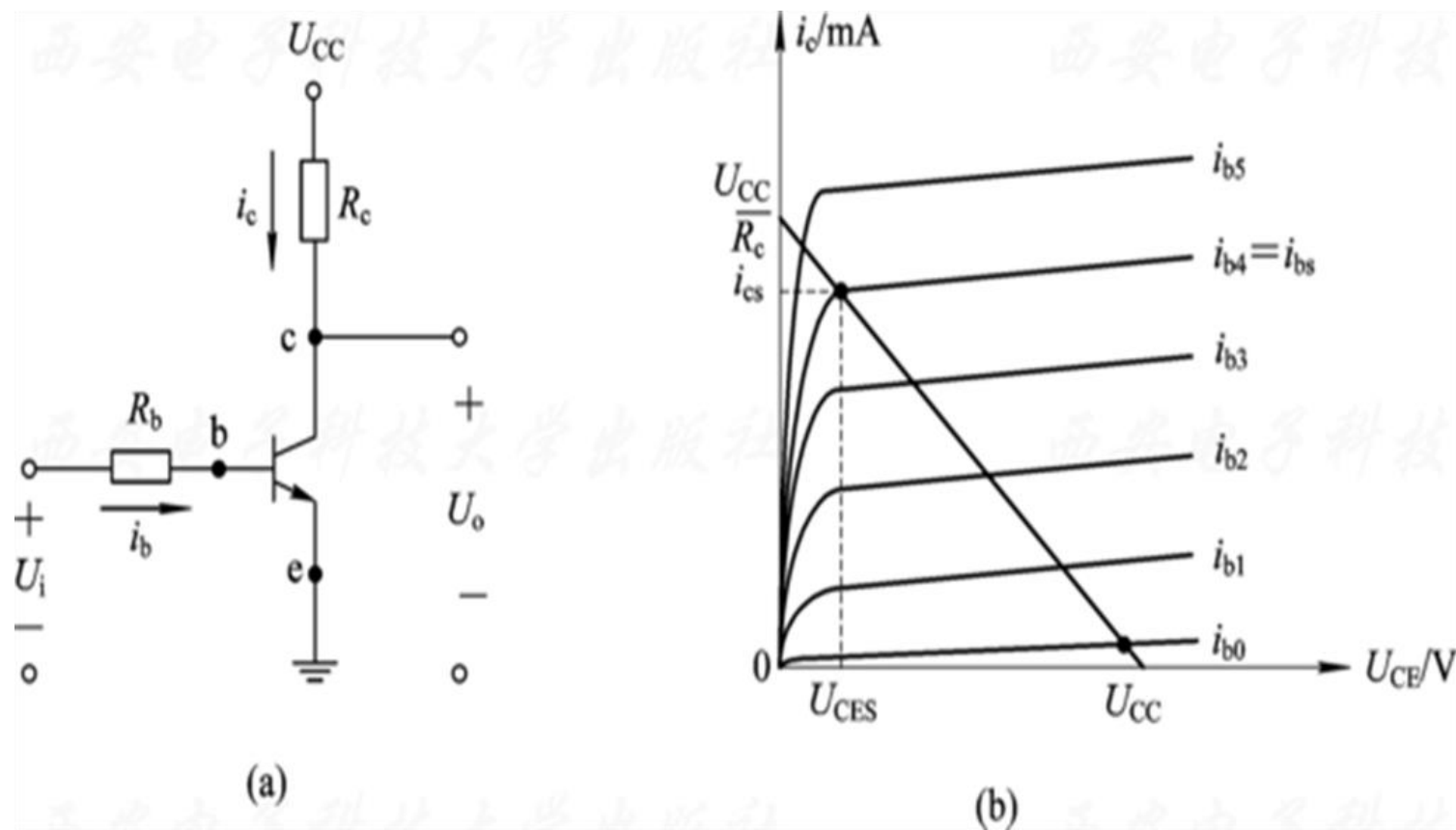
(a) NMOS管符号； (b) NMOS管简化符号；

(c) PMOS管符号； (d) PMOS管简化符号

利用晶体管的开关特性，可以很容易地建立逻辑门电路。

例如，图 2.4.2 (a) 所示的三极管单管共射开关电路其实就是一个非门（反相器），三极管非门的功能表如图 2.4.6 (a) 所示。

如果将高电平用 1 表示，低电平用 0 表示，就可以得到如图 2.4.6 (b) 所示的非运算真值表，即 $U_o = \overline{U_i}$ ，其逻辑符号如图 2.4.6 (c) 所示。



输入电压 U_i	输入电平	输出电压 U_o	输出电平
0.3 V	L	U_{CC}	H
3 V	H	0.3 V	L

(a)

U_i	U_o
0	1
1	0

(b)



(c)

图2.4.6 非门功能表、真值表与逻辑符号

需要说明的**两个问题**:

1) 逻辑门电路的高、低电平

逻辑电路的高、低电平通常表示一个电压范围。按输入输出的高、低电平分别称为**输入高电平 U_{iH} 、输入低电平 U_{iL} 、输出高电平 U_{oH} 和输出低电平 U_{oL}** 。

输出高电平 U_{oH} 和输出低电平 U_{oL} 允许的电压

范围及典型值与电源电压 U_{CC} 及电路所采用的技术等有关。

为保证电路输出有效的高电平或低电平，集成电路对输入的高、低电平范围有限制，包括输入低电平的上限 U_{iLmax} 和输入高电平的下限 U_{iHmin} 。
 0 V 到 U_{iLmax} 间的输入电压都作为低电平输入；
 U_{iHmin} 到 U_{CC} 间的输入电压都作为高电平输入。

2) 正逻辑与负逻辑

将图 2.4.6 (a) 所示的功能表转化为图 2.4.6 (b) 所示的真值表时，用 1 表示高电平，用 0 表示低电平，这样的逻辑系统称为**正逻辑**系统。如果用 0 表示高电平，而用 1 表示低电平，则称为**负逻辑**系统。

例如，一个逻辑门的功能表如图 2.4.7 (a) 所示，若采用正逻辑系统，则对应的真值表如图 2.4.7

(b) 所示；若采用负逻辑系统，则对应的真值表如图 2.4.7 (c) 所示。比较图 2.4.7 (b) 与图 2.4.7 (c)，可以看出，**正逻辑与门相当于负逻辑的或门**。如无特殊说明，本书一律采用正逻辑系统。

输入		输出
A	B	Y
L	L	L
L	H	L
H	L	L
H	H	H

(a)

输入		输出
A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

(b)

输入		输出
A	B	Y
1	1	1
1	0	1
0	1	1
0	0	0

(c)

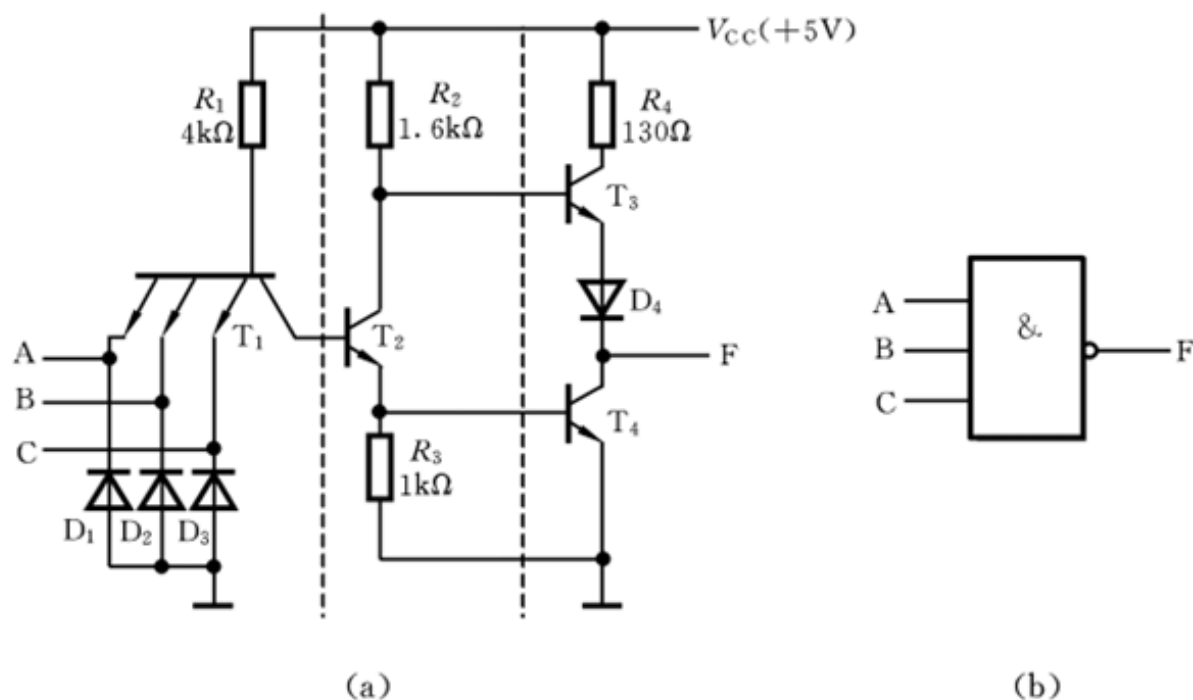
(a) 功能表； (b) 正逻辑真值表； (c) 负逻辑真值表

三、TTL 集成门电路

(一) TTL 与非门

(1) 电路结构

典型 TTL 与非门电路图及相应逻辑符号如右图：

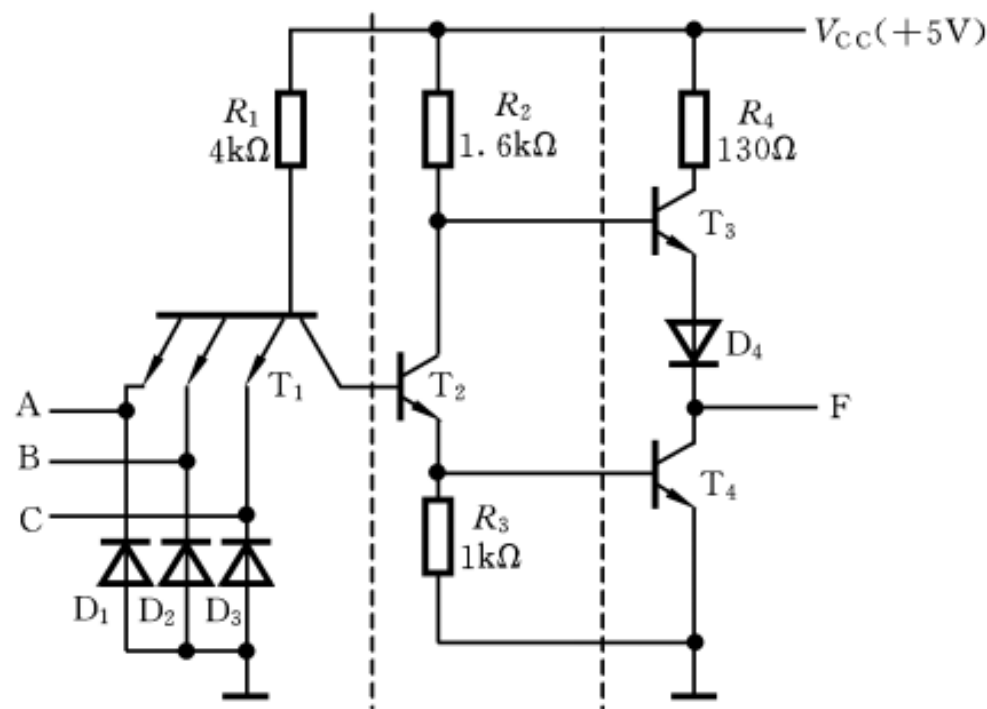


该电路可按图中虚线划分为三部分：左边的

输入级、中间级、右边的输出级。

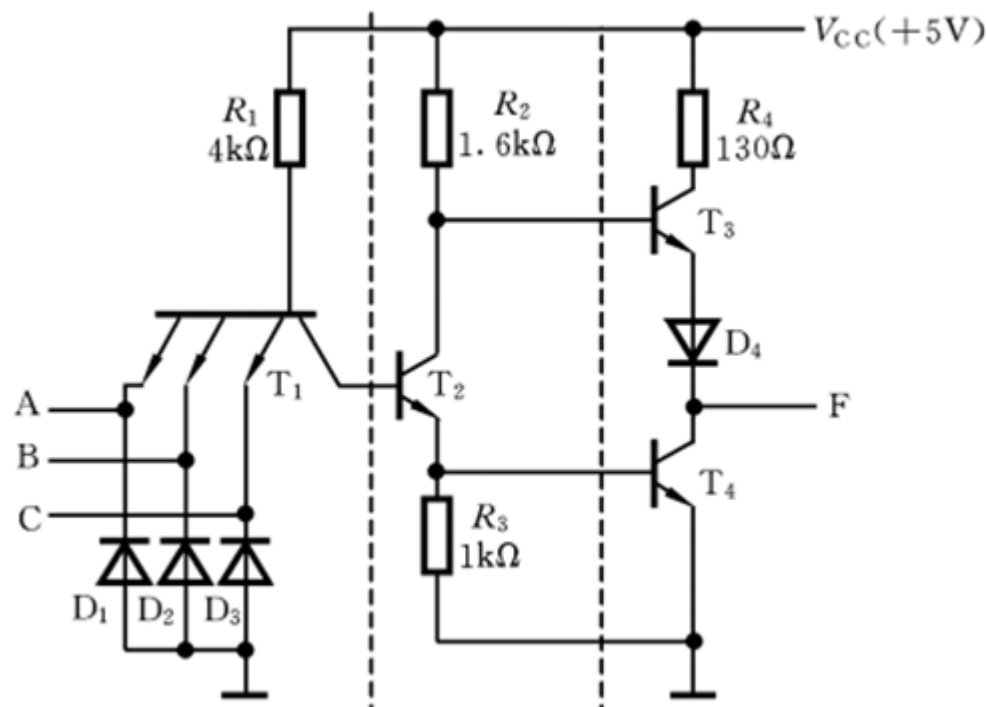
(2) 工作原理：输入端 A 、 B 、 C 全部接高电平（3.6V）时：电源 V_{cc} 通过 R_1 和 T_1 的集电结向 T_2 提供足够的基极电流，

使 T_2 饱和导通。 T_2 的发射极电流在 R_3 上产生的压降又使 T_4 饱和导通，输出 F 为低电平（约 0.3V）。



输入端有低电平
(0.3V) 时：接低电平的
发射结导通，使 T_1 的基极
电位 $V_{b1} = 0.3v + 0.7v = 1v$

该电压作用于 T_1 的
集电结和 T_2 、 T_4 的发射结上，不可能使 T_2 和 T_4 导通。
由于 T_2 截止，电源 V_{cc} 通过 R_2 驱动 T_3 和 D_4 管，使之
工作在导通状态，输出 F 为高电平（约 3.6V）。



归纳：当输入端 A 、 B 、 C 均为高电平时，输出端 F 为低电平（约 $0V$ ）；当 A 、 B 、 C 中至少有一个为低电平时， F 为高电平（约 $3.6V$ ）。

输出与输入之间为“与非”逻辑，即：

$$F = \overline{ABC}$$

（二）TTL 门电路的主要外特性及参数

集成电路的应用，除了要考虑其逻辑功能之外，还需要考虑**功耗、传输延迟、负载能力、抗干扰能力**等一些外特性。

1、抗干扰能力

在集成电路中，经常以**噪声容限**来说明门电路的抗干扰能力。

低电平噪声容限: $U_{NL}=U_{iLmax}-U_{iL}$

高电平噪声容限: $U_{NH}=U_{iH}-U_{iHmin}$

很多情况下，门电路的输入都来自于其他门电路的输出，因此噪声容限也可以表示为：

$$U_{NL}=U_{iLmax}-U_{oL}, \quad U_{NH}=U_{oH}-U_{iHmin}$$

对 TTL 与非门，将其输入端连在一起，加以电压 u_i ，然后测量输出电压 u_o ，可以得到输出电

压随输入电压变化的关系曲线，也即**电压传输特性**，如图 2.4.9 所示。

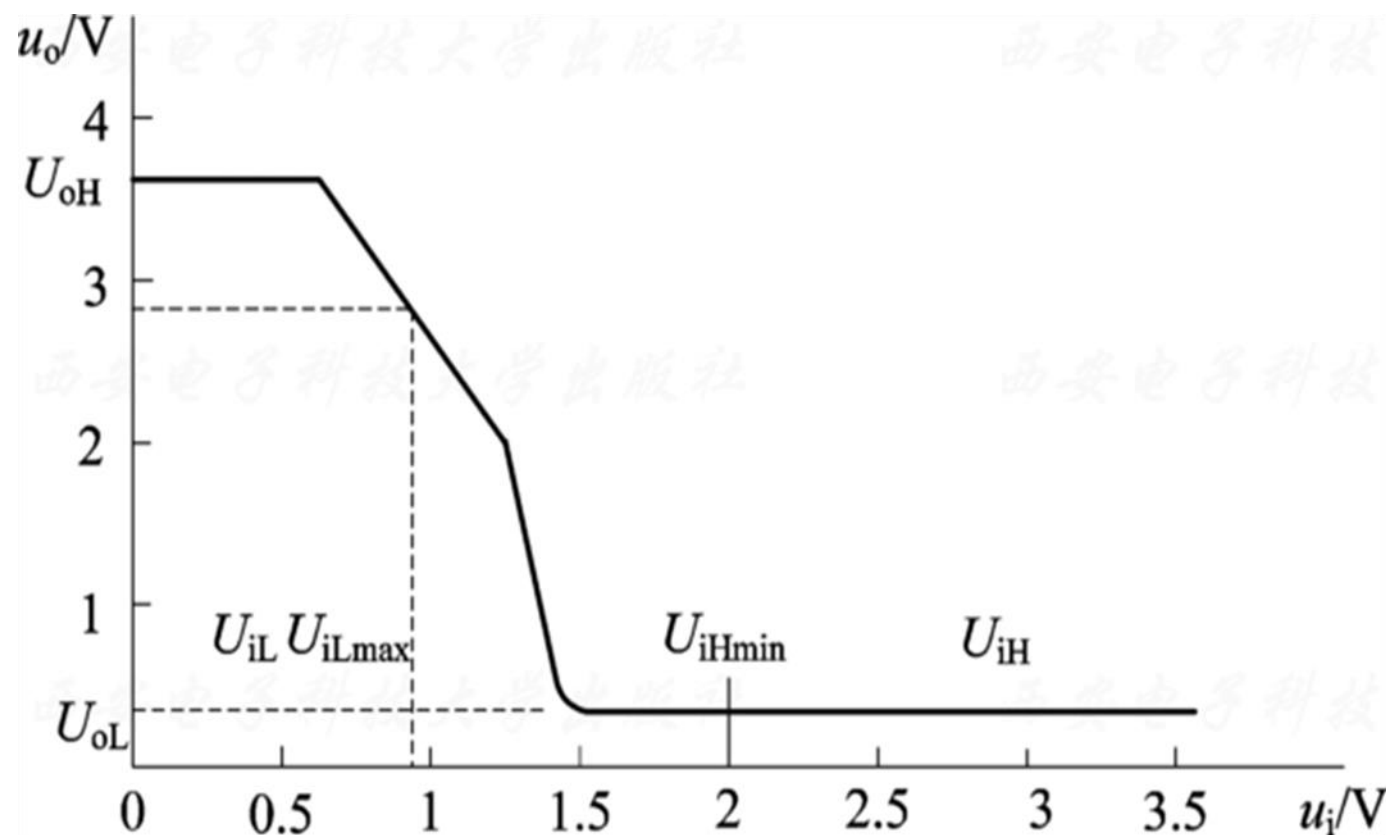


图2.4.9 TTL与非门电压传输特性

由图可见，TTL 与非门输出高电平 U_{oH} 的典型值是 3.6 V（一般要求不小于 2.4 V），输出低电平 U_{oL} 的典型值是 0.3 V（一般要求不大于 0.4 V）， U_{iHmin} 约为 2.0 V（输出为额定低电平 0.35 V 时对应的输入电压）， U_{iLmax} 约为 0.8 V（输出为额定高电平 3 V 的 70%时对应的输入电压）。

由此可计算出与非门的噪声容限：

$$U_{NL}=U_{iLmax}-U_{oL}\approx 0.8\text{ V}-0.4\text{ V}=0.4\text{ V}$$

$$U_{NH} = U_{oH} - U_{iHmin} \approx 2.4 \text{ V} - 2.0 \text{ V} = 0.4 \text{ V}$$

2、驱动负载能力（扇出系数）

扇出系数： 门电路所能连接的最大同类门的个数，分为**高电平扇出系数** N_H 和**低电平扇出系数** N_L

$$N_H = \frac{I_{oH \max}}{I_{iH}}, \quad N_L = \frac{I_{oL \max}}{I_{iL}}$$

门电路扇出系数 N_o 应取 N_H 和 N_L 两者中的较小者。

以 TTL 与非门为例，如图 2.4.10（输出高电平）和图

2.4.11（输出低

电平）所示，门 G_1 的输出连接到一个或多个其他

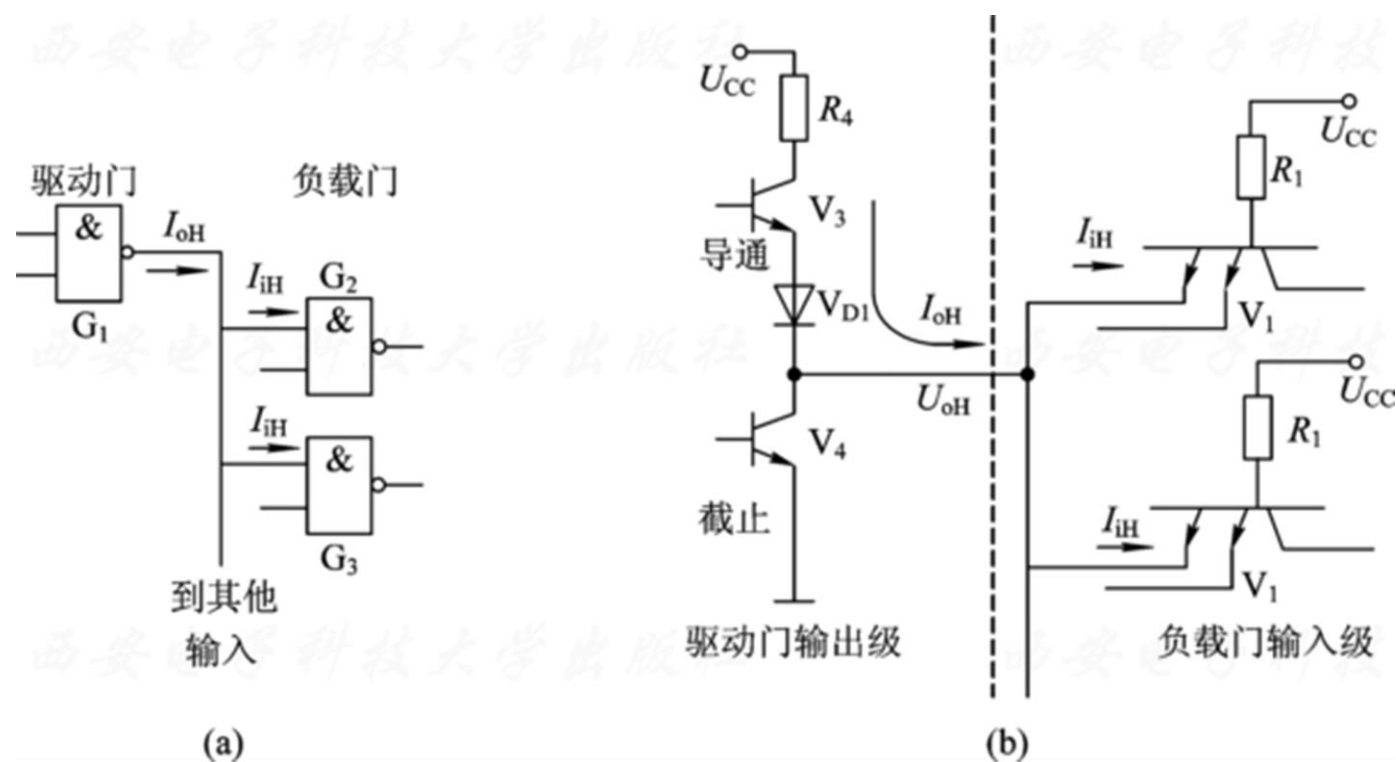
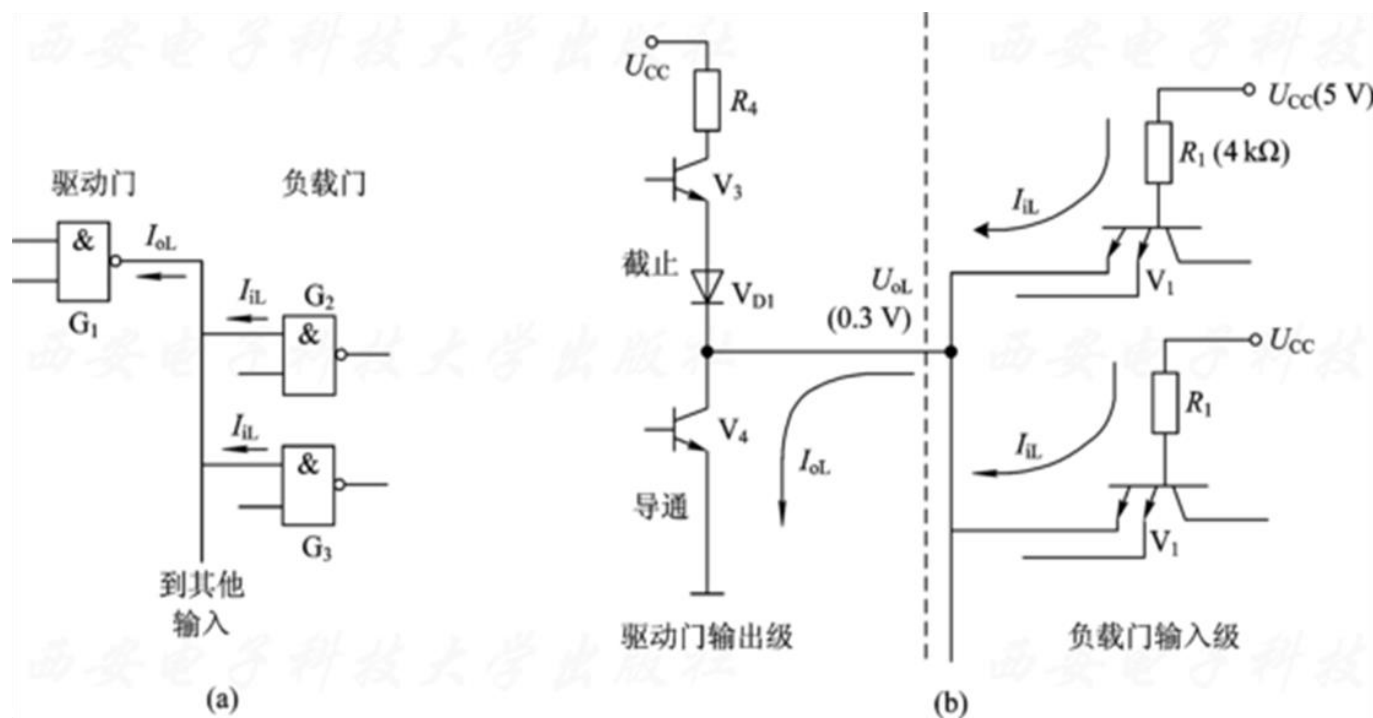


图2.4.10 高电平输出扇出系数计算

(a) 驱动与负载示意；(b) 电流参数

逻辑门 G_2 、 G_3 ，门 G_1 称为**驱动门**，门 G_2 、 G_3 称为**负载门**。

门电路的扇出系数由门 G_2 、 G_3 输入端电流和门 G_1 的输出端电流等参数决定。



3、传输延迟

传输延迟：是门电路从输入信号变化到引起输出信号变化所经历的时间。

传输延迟时间可用如图 2.4.12 所示的门电路输入与输出信号波形来计算，

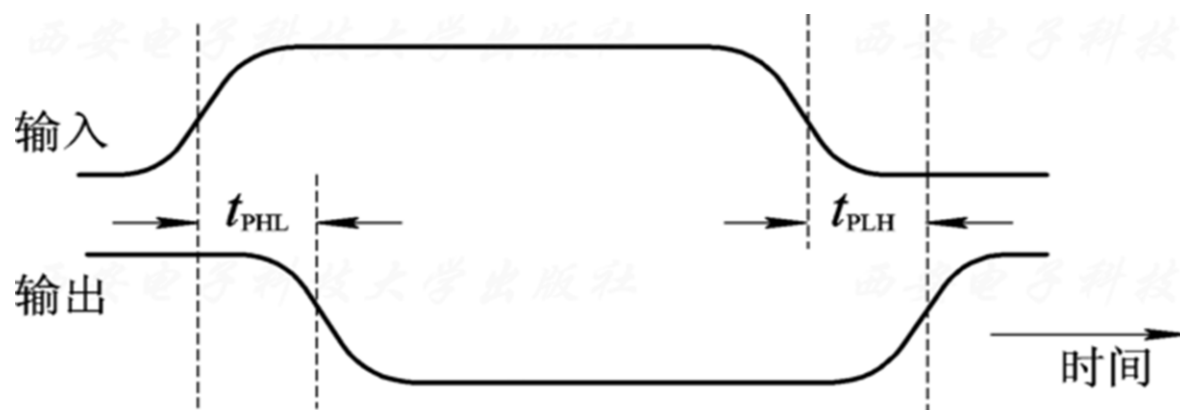


图2.4.12 传输延迟

其中， t_{PHL} 是门电路输入信号上升沿中点到输出信

号下降沿中点间的延迟时间， t_{PLH} 则是输入信号下降沿中点到输出信号上升沿中点间的延迟时间。

门电路的**平均延迟时间**：
$$t_{pd} = \frac{1}{2}(t_{PLH} + t_{PHL})$$

平均延迟时间反映了逻辑门电路的开关速度。

TTL 门电路的**传输延迟**主要来自于两个方面：

内部载流子的运动、**负载电容**的充放电。

4、功耗

逻辑门电路的功耗由电源电压 U_{CC} 引发的电流 I_{CC} 产生，用 $U_{CC} \times I_{CC}$ 计算，单位为 mW。

电源电流 I_{CC} 跟门电路的工作状态有关。
当门电路处于相对稳定工作状态时，将逻辑门输出高电平时的电源电流记为 I_{CCH} ，输出低电平时的电源电流记为 I_{CCL} 。

$$I_{CC(avg)} = \frac{1}{2}(I_{CCH} + I_{CCL})$$

平均功耗： $P_{(avg)} = U_{CC} \times I_{CC(avg)}$

（三）其他 TTL 门电路

集成 TTL 门电路还有与门、或门、非门、或非门、与或非门、异或门等不同功能的产品。

此外，还有两种特殊门电路——集电极开路门（OC 门）和三态门（TS 门）。

1、集电极开路门

集电极开路门：简称 **OC(Open Collector)** 门，

能够实现门电路输出端的并接。

集电极开路的 TTL 与非门电路结构如图：

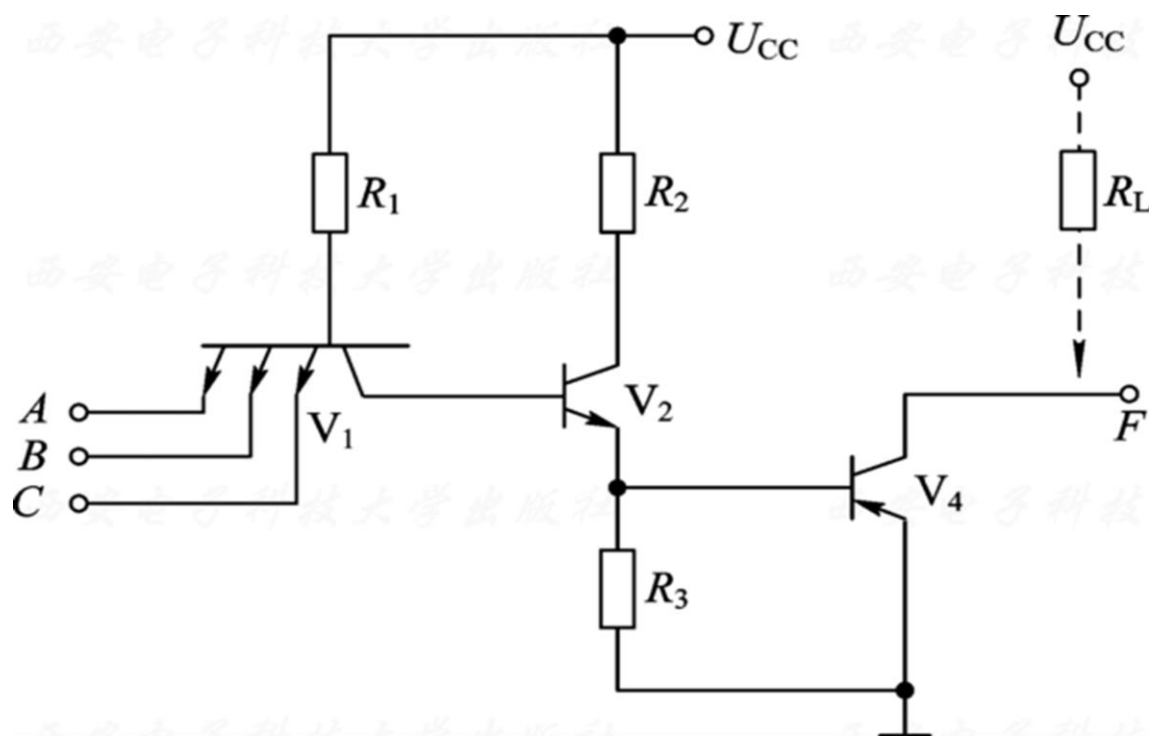


图2.4.16 集电极开路与非门

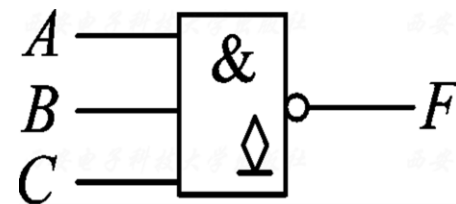


图2.4.17 集电极开路与非门逻辑符号

OC 门的一种主要应用形式就是将其输出端并接，实现
线与功能：

$$F = \overline{AB} \cdot \overline{CD} = \overline{AB + CD}$$

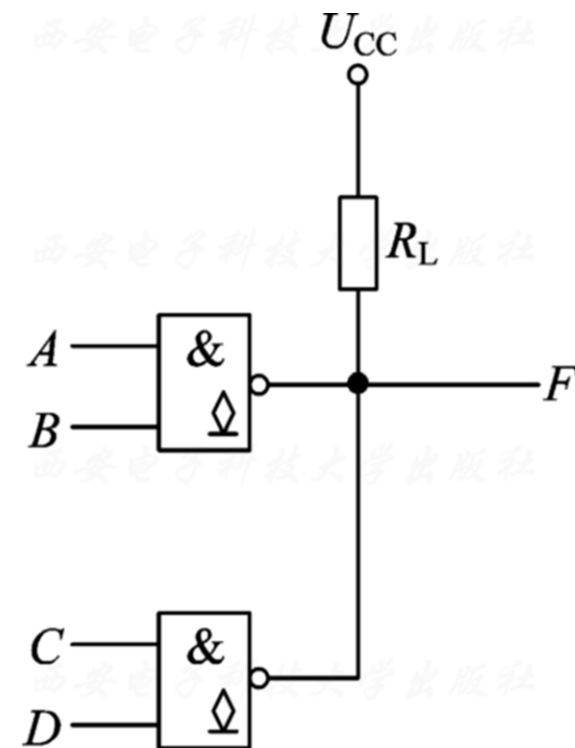


图2.4.18 OC门输出端并接实现线与逻辑

2、三态门

三态门：是在普通门电路的基础上增加了**控制端（使能端）**和控制电路，输出可以有**低电平、高电平和高阻抗**三种状态。

注意：三态门不是指具有三种逻辑值。

例如：三态与非门电路结构如图 2.4.19 所示，

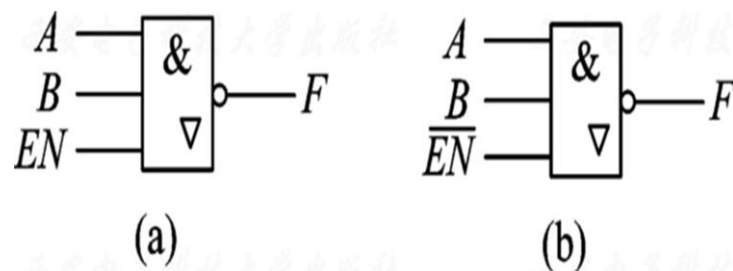
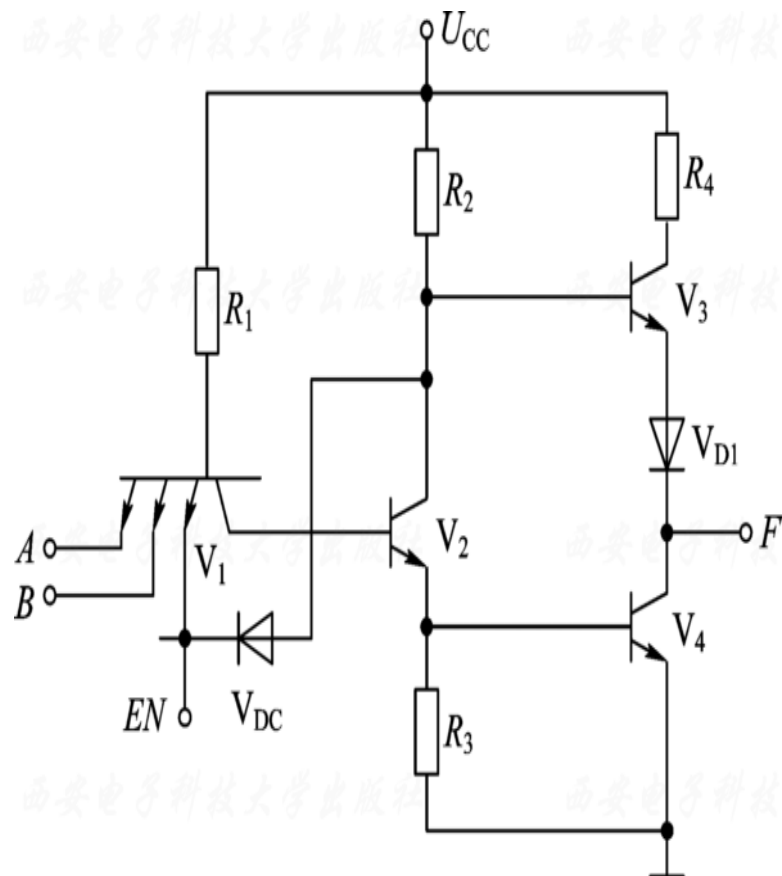


图2.4.20 三态与非门逻辑符号

(a) 高电平有效; (b) 低电平有效

利用三态门，可以方便地实现公共**总线**结构。
改变各三态门的控制信号，就可以轮流将各个门
电路的信号送至总线。

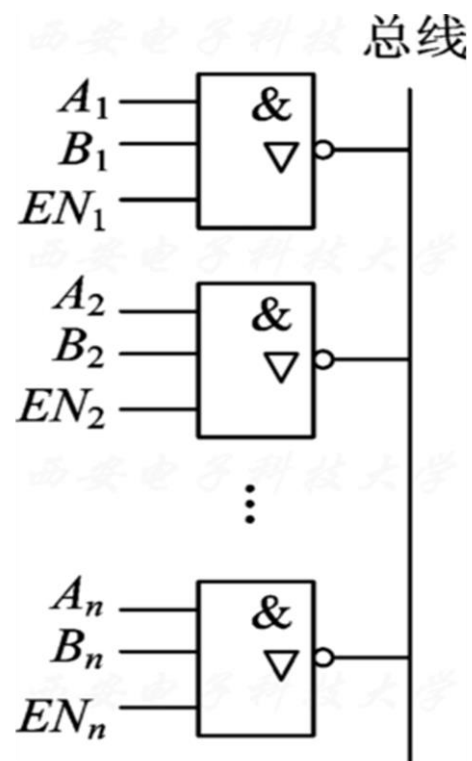


图2.4.21 三态门实现总线结构

四、CMOS 电路

(一) CMOS 反相器、与非门、或非门

1、CMOS 反相器

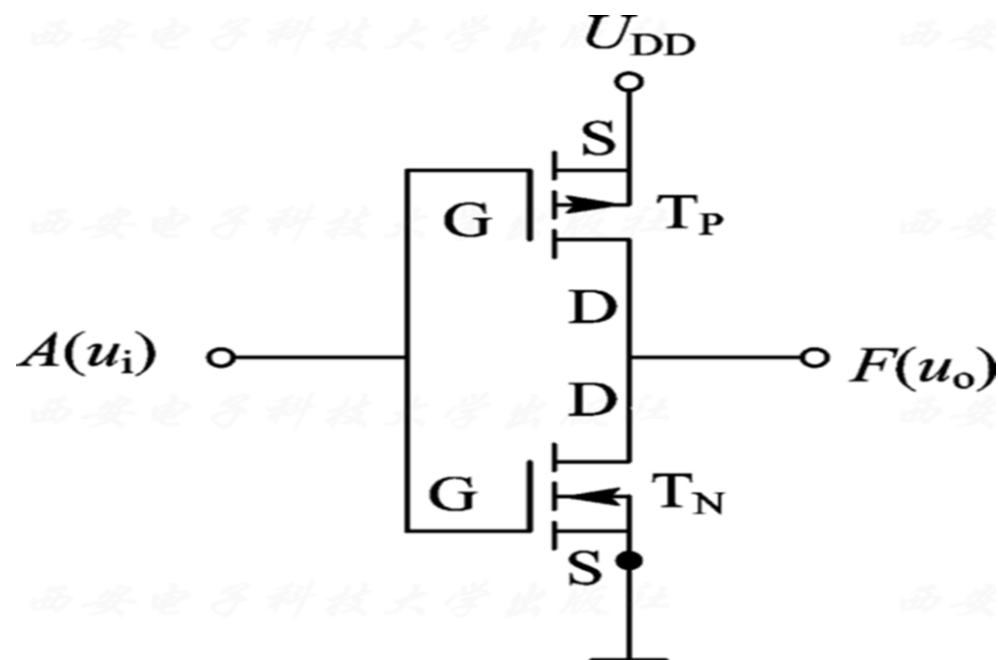
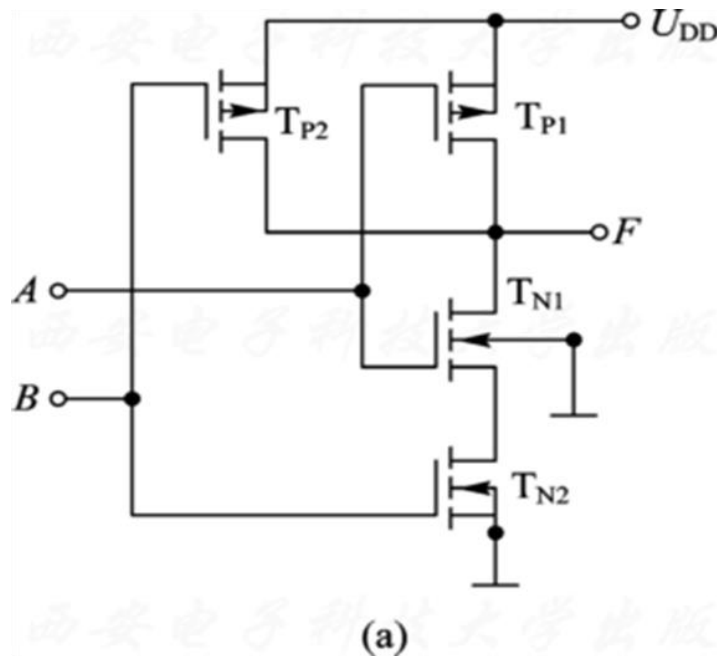


图2.4.22 CMOS反相器

2、CMOS 与非门

由两个串联的 NMOS 管和两个并联的 PMOS 管构成的两输入端的 CMOS 与非门电路如上。



A	B	T_{P1}	T_{P1}	T_{N1}	T_{N1}	F
0	0	导通	导通	截止	截止	1
0	1	导通	截止	截止	导通	1
1	0	截止	导通	导通	截止	1
1	1	截止	截止	导通	导通	0

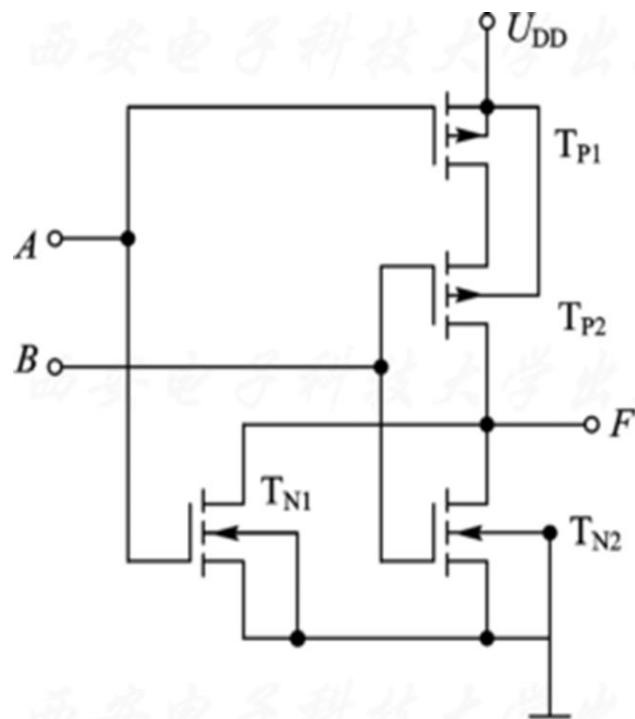
(b)

图2.4.23 CMOS与非门

(a) 两输入的CMOS与非门电路图； (b) 真值表

3、CMOS 或非门

由两个并
联的 NMOS 管
和两个串联的
PMOS 管构成
的两输入端的
CMOS 或非门
电路如图所示：



(a)

<i>A</i>	<i>B</i>	T_{P1}	T_{P2}	T_{N1}	T_{N2}	<i>F</i>
0	0	导通	导通	截止	截止	1
0	1	导通	截止	截止	导通	0
1	0	截止	导通	导通	截止	0
1	1	截止	截止	导通	导通	0

(b)

图2.4.24 CMOS或非门

(a) 电路图； (b) 真值表

（二）CMOS 门电路的特点与产品

特点：抗干扰能力优于 TTL；传输延迟不如 TTL；负载能力不如 TTL；功耗优于 TTL；电路简单，集成度高。

（三）其他 CMOS 门电路

1、缓冲器

缓冲器：通常用来提高电路的驱动负载能力。

同相缓冲器：只有一个输入 A 和一个输出 F ，
且输出 $F=A$ 。电路结构、逻辑符号和真值表如图：

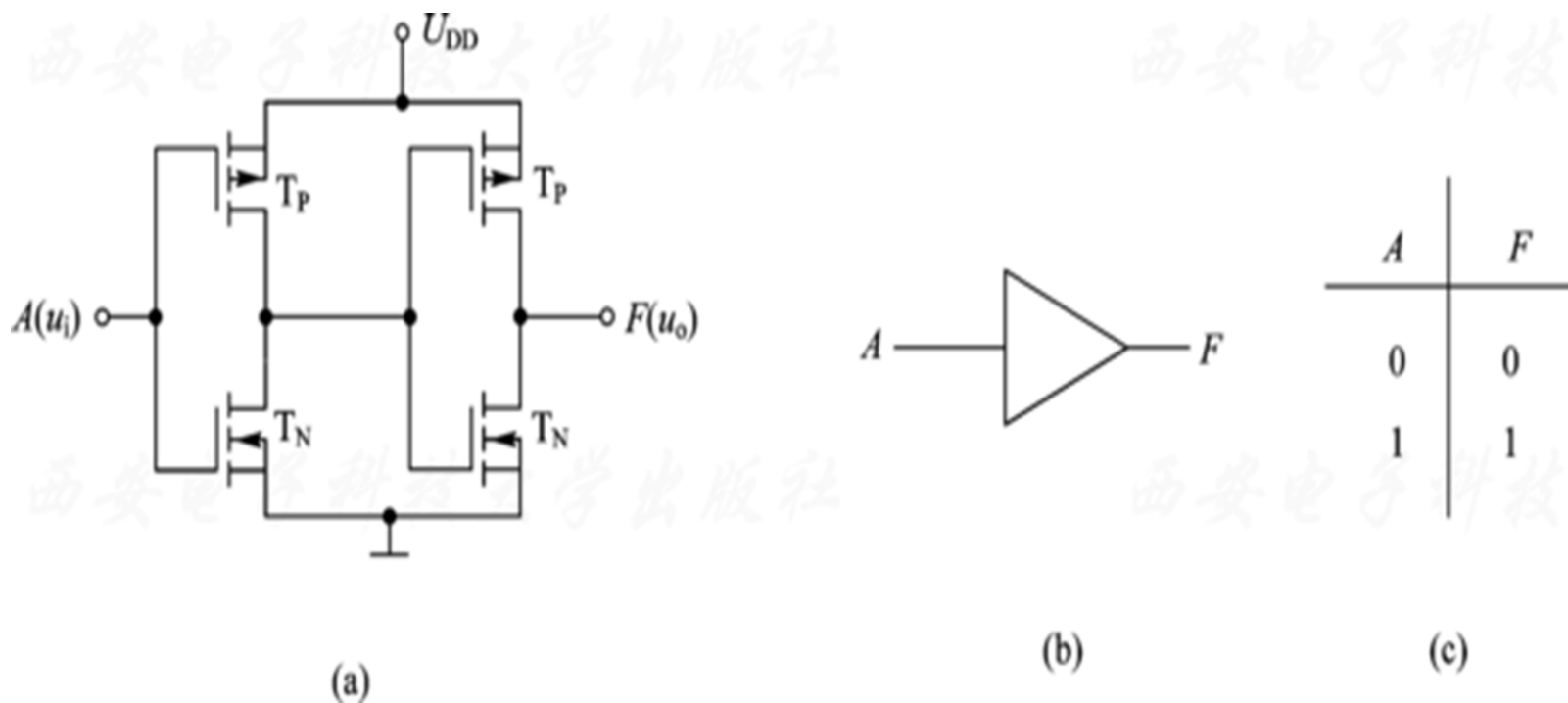


图2.4.27 同相缓冲器

(a) 电路图； (b) 逻辑符号； (c) 真值表

反相缓冲器：实际上就是一个非门。

三态缓冲器：其逻辑符号如图 2.4.28 所示

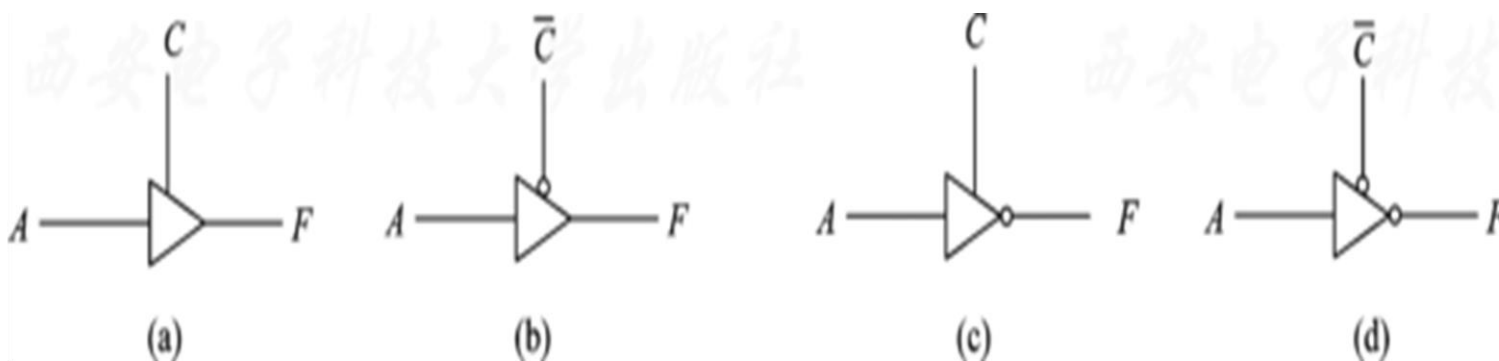


图2.4.28 三态缓冲器逻辑符号

(a) 高电平有效的三态同相缓冲器； (b) 低电平有效的三态同相缓冲器；

(c) 高电平有效的三态反相缓冲器； (d) 低电平有效的三态反相缓冲器

2、传输门

实质上就是一个由输入电平控制的电子开关。

CMOS 传输门的电路结构及逻辑符号如图：

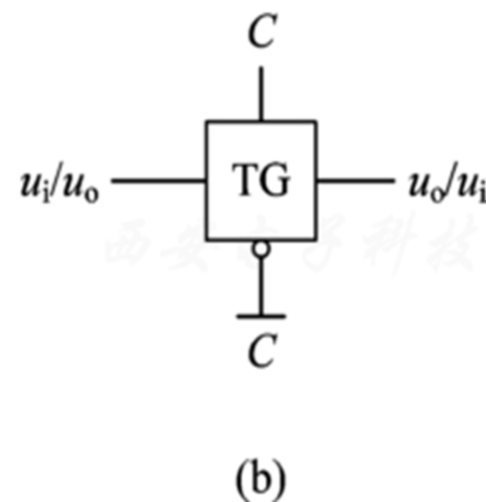
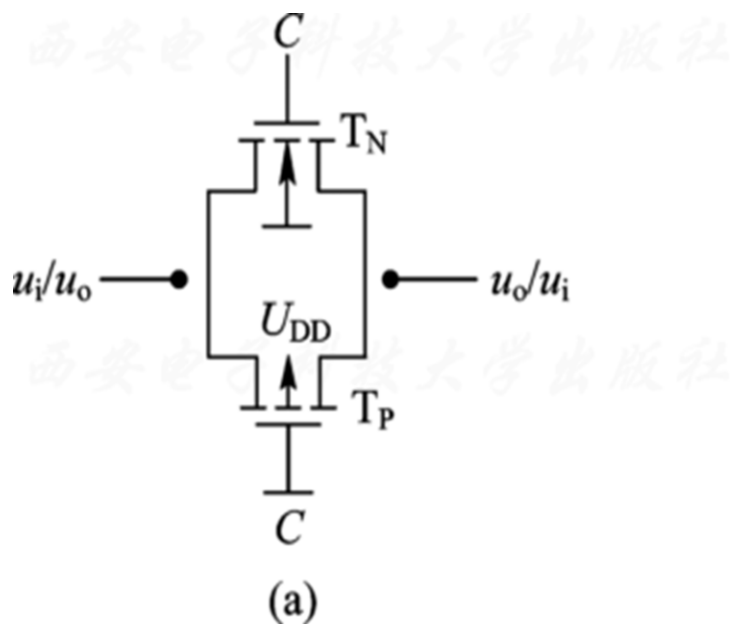


图2.4.29 传输门

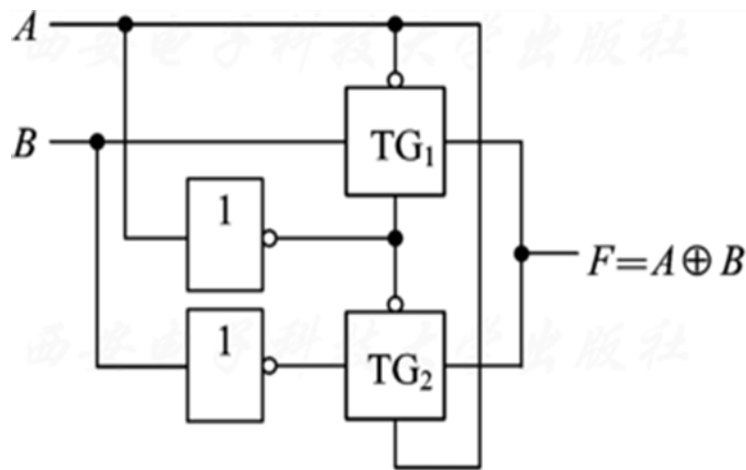
(a) 电路图； (b) 逻辑符号

由于 MOS 管的结构是对称

的，即源极和漏极可以互换使用，因此，传输门的输入端和输出端可以互换使用，即 MOS

传输门具有双向性，故又称为可控双向开关。

传输门也可以用来构成其他电路。



(a)

A	B	TG ₁	TG ₂	F
0	0	导通	截止	0
0	1	导通	截止	1
1	0	截止	导通	1
1	1	截止	导通	0

(b)

图2.4.30 用传输门构成异或门

(a) 电路图； (b) 真值表

NPN 管的四种工作状态:

工作状态	发射结电压	集电结电压
放大	正向	反向
截止	反向	反向
饱和	正向	正向
倒置	反向	正向

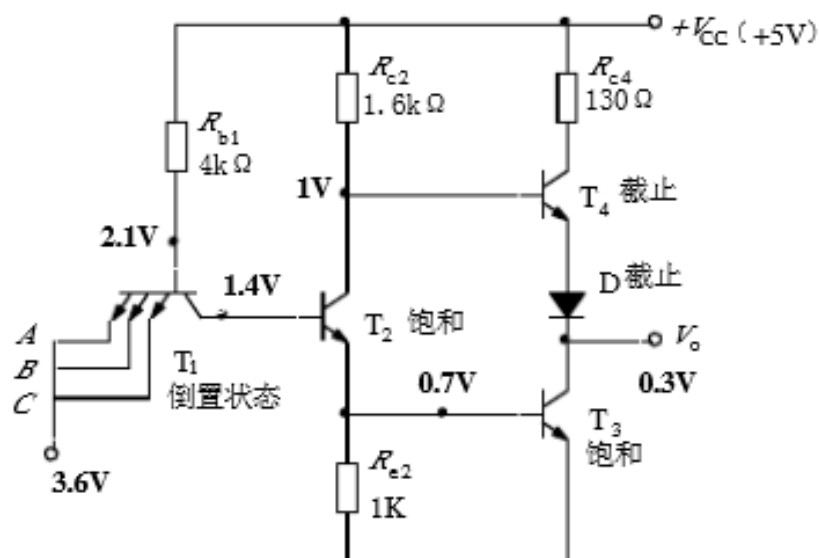


图 2.2.3 输入全为高电平时的工作情况

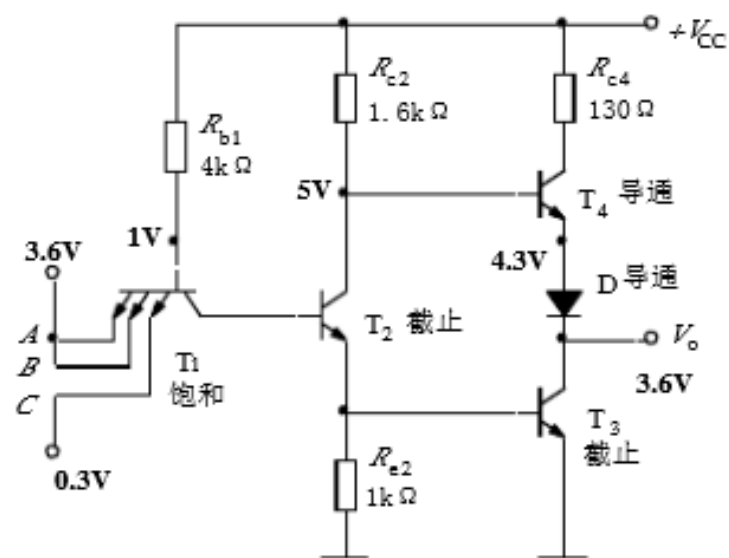


图 2.2.4 输入有低电平时的工作情况