

Lecture 07 组合逻辑电路中的竞争与险象 *OK!*

由于信号经过任何逻辑门和导线都会产生时间延迟，所以电路所有输入达到稳定状态时，输出并不是立即达到稳定状态。

一、基本概念

竞争：由于延迟时间的影响，使得输入信号经过不同路径到达输出端的时间有先有后，这一现

象称为竞争。

竞争的类型：**非临界竞争**----不会产生错误输出的竞争称为非临界竞争。

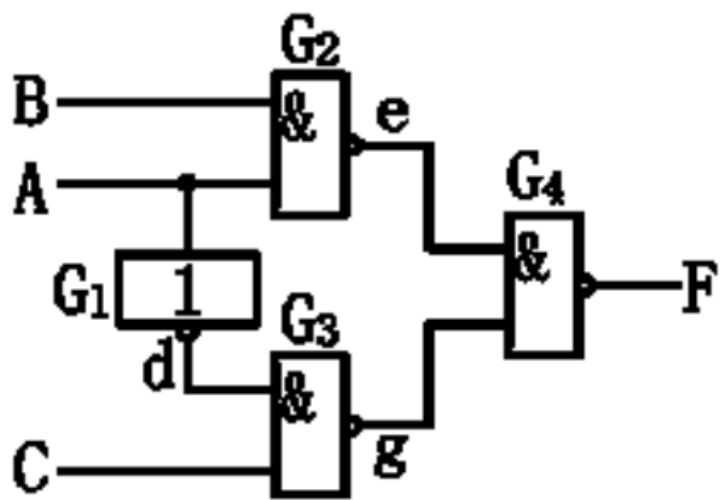
临界竞争----会产生错误输出的竞争称为临界竞争。

险象：由竞争导致的错误输出信号。

注意：组合电路中的险象是一种瞬态现象，它

表现为在输出端产生不应有的尖脉冲，暂时地破坏正常逻辑关系。一旦瞬态过程结束，即可恢复正常逻辑关系。

例如，下图是由与非门构成的组合电路：



根据逻辑电路可写出输出函数表达式为：

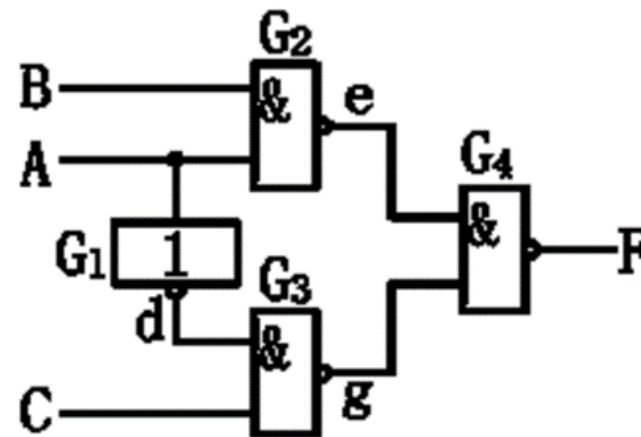
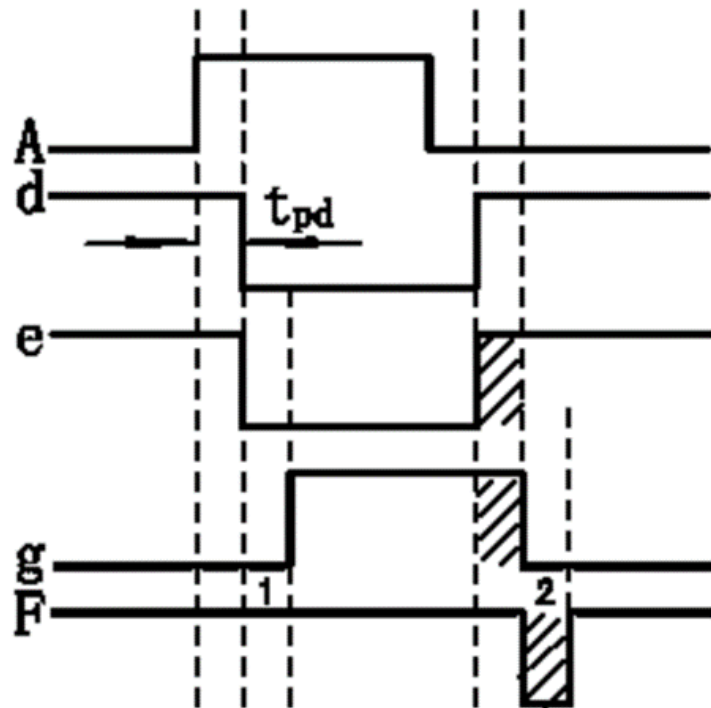
$$F = \overline{\overline{AB}} \cdot \overline{\overline{AC}} = AB + \overline{A}C$$

假设输入变量 $B = C = 1$ ，将 B、C 的值代入上述函数表达式，可得： $F = A + \bar{A}$ 。

由互补律可知，函数 $F = A + \bar{A}$ 的值应恒为 1，即 $B = C = 1$ 时，无论 A 怎样变化，输出 F 的值都应保持 1 不变。

问题：考虑电路中存在的时间延迟时，该电路的实际输入、输出关系又将怎样呢？

假定每个门的延迟时间为 t_{pd} ，则实际输入、输出关系可用如下所示的时间图来说明。



险象的分类：

静态险象： 如果在输入变化而输出不应发生变化的情况下，输出端产生了短暂的错误输出，则称为静态险象。

动态险象： 如果在输入变化而输出应该发生变化的情况下，输出在变化过程中产生了短暂的错误输出，则称为动态险象。

1、静态险象

静态险象根据错误输出可进一步分为：“0”型险象、“1”型险象

“0”型险象： 错误输出信号为负脉冲。

“1”型险象： 错误输出信号为正脉冲。

静态险象根据输入变量发生变化的数量还可进一步分为：功能险象、逻辑险象

功能险象： 两个或两个以上的变量同时发生变化

由于竞争，发生变化的变量对最终的结果来说“并不是同时变化的”。结果是，系统由变化前的状态转到变化后的状态会经过一些中间状态。

产生条件： 系统由变化前的状态转到变化后的状态所经过的中间状态与变化前的状态、变化后的状态不一致。

【例如】分析逻辑函数 $F = B\bar{C} + AC$ ，说明当输入信号 ABC 由 010 变化到 111、由 110 变化到 101、由 000 变化到 011 时，是否有险象发生。

【分析】当输入信号 ABC 从 010 变化到 111 时：①若 A 先于 C 变化，过程为：010→110→111，输出变化过程如图 4.5.2(a)所示，输出始终为 1，不会产生险象。

$AB \backslash C$	00	01	11	10
0	0	1	1	0
1	0	0	1	1

The diagram illustrates the output of the logic function $F = B\bar{C} + AC$ for the transition from input 010 to 111. The Karnaugh map shows that for the transition from 010 to 111, the output remains at 1. The path from 010 to 111 is highlighted with arrows, showing that the output is 1 for both intermediate states (110) and the final state (111).

②若 C 先于 A 变化, 过程为:
 $010 \rightarrow 011 \rightarrow 111$, 输出变化过程如
 图 4.5.2(b)所示, 输出会产生“0”
 型险象。

$AB \backslash C$	00	01	11	10
0	0	1	1	0
1	0	0	1	1

$AB \backslash C$	00	01	11	10
0	0	1	1	0
1	0	0	1	1

(a)

$AB \backslash C$	00	01	11	10
0	0	1	1	0
1	0	0	1	1

(b)

图 4.5.3 ABC 从 110 变化到 101 的

AB		00	01	11	10
		0	1	1	0
C	0	0	1	1	0
	1	0	0	1	1

(a)

AB		00	01	11	10
		0	1	1	0
C	0	0	1	1	0
	1	0	0	1	1

(b)

图 4.5.4 ABC 从 000 变化到 011 的过程

逻辑险象： 只有一个变量发生变化

产生条件： $F = A + \bar{A}$ 、 $F = A \cdot \bar{A}$

2、动态险象

产生条件：在输入发生变化时，理论上输出应当发生变化，但实际上输出端在稳定之前发生了 3 次变化，如输出端本应产生“ $0 \rightarrow 1$ ”的变化，但却出现了“ $0 \rightarrow 1 \rightarrow 0 \rightarrow 1$ ”的情况，即出现了不应有的短暂的“ $1 \rightarrow 0$ ”的错误输出。

【例如】 以下电路： $F = (A + \bar{B})(B + C) + \bar{B}$

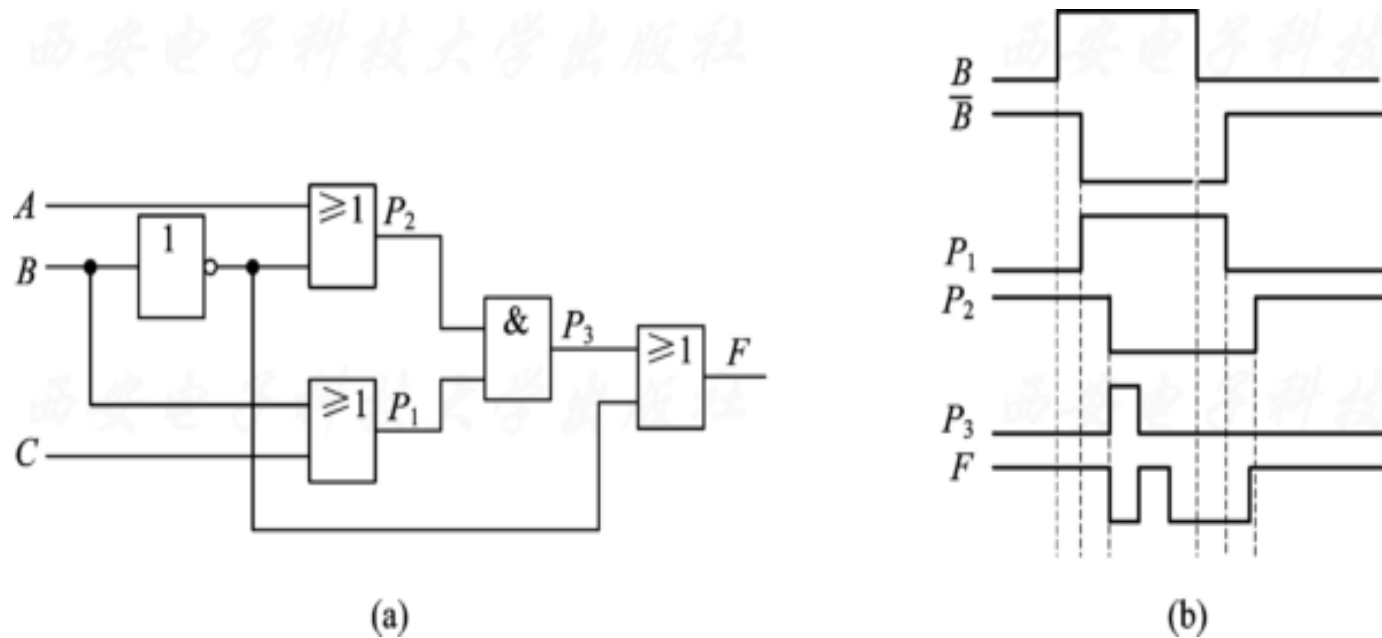


图 4.5.5 例 4.5.2 的电路图和动态险象的产生

当 $A = C = 0$ 时， $F = \bar{B}B + \bar{B} = \bar{B}$ 。此时当 B 由 0 变 1 时，由于延迟的影响，就会产生险象。

险象的解决办法： 输入变化的第一次会合只可能产生静态险象。只有在产生了静态险象，输入变化的再一次会合，才有可能产生动态险象，因此动态险象是由静态险象引起的，消除了静态险象也就消除了动态险象。

二、险象的判断

判断电路是否可能产生险象的方法有代数法和卡诺图法。

1、代数法

代数法：检查函数表达式中是否存在具备竞争条件的变量，即是否有某个变量 x 同时以**原变量**和**反变量**的形式出现在函数表达式中。

若存在具备**竞争条件**的变量 x ，则消去函数式中的其他变量，看函数表达式是否会变为下列形式：

1) $F = A + \bar{A}$ (静态 0 险象)

2) $F = A \cdot \bar{A}$ (静态 1 险象)

3) $F = A(A + \bar{A})$ 、 $F = \bar{A}(A + \bar{A})$ (动态险象)

$$F = A + A \cdot \bar{A}、F = \bar{A} + A \cdot \bar{A} \text{ (动态险象)}$$

例如：已知描述某组合电路的逻辑函数表达式为： $F = \bar{A}\bar{C} + \bar{A}B + AC$ 。试判断该逻辑电路是否可能产生险象。

分析：由表达式可知，变量 A 和 C 均具备竞争条件，所以应对这两个变量分别进行分析。

先考察变量 A，为此将 B 和 C 的各种取值组合分别代入函数表达式中，可得到如右结果：

BC=00	$F = \bar{A}$
BC=01	$F = A$
BC=10	$F = \bar{A}$
BC=11	$F = A + \bar{A}$

可见，当 $B=C=1$ 时，A 的变化可能使电路产生险象。

类似地，将 A 和 B 的各种取值组合分别代入函数表达式中，可由代入结果判断出变量 C 发生变化时不会产生险象。

再如：试判断函数 $F = (A + B)(\bar{A} + C)(\bar{B} + C)$ 描述的逻辑电路是否可能产生险象。

分析：从给出的函数表达式可以看出，变量 A 和 B 均具备竞争条件。

考察变量 **B** 时, 将 **A** 和 **C** 的各种取值组合分别代入函数表达式中, 结果如下:

AC=00	$F = B\overline{B}$
AC=01	$F=B$
AC=10	$F=0$
AC=11	$F=1$

可见, 当 **A=C=0** 时, **B** 的变化可能使电路输出产生险象。

用同样的方法考察 **A**, 可发现当 **B=C=0** 时, **A** 的变化也可能产生险象。

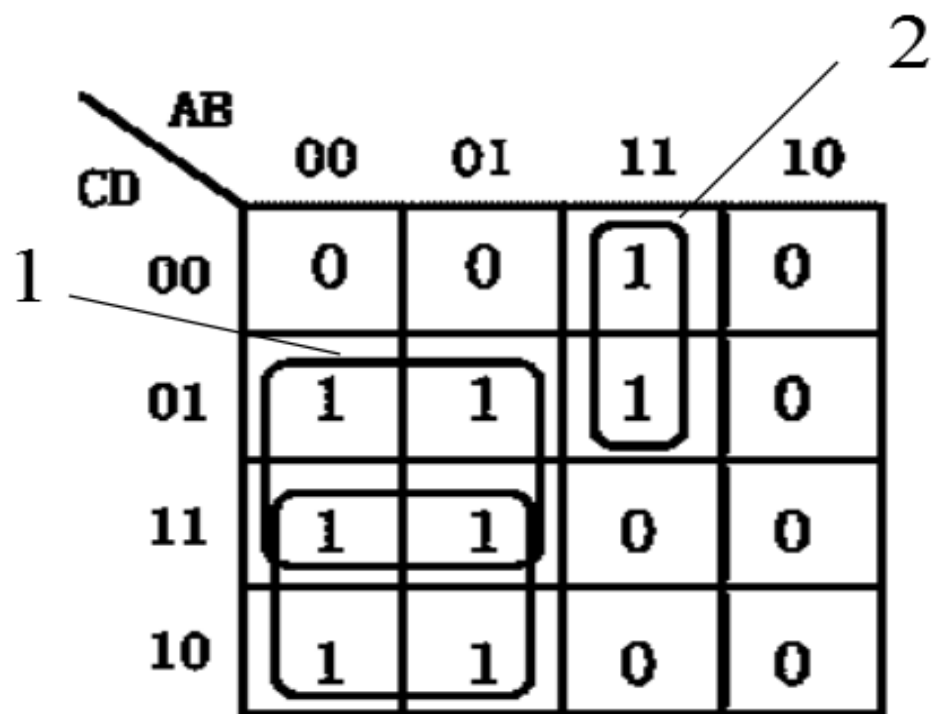
当描述电路的逻辑函数为“与-或”式时，采用卡诺图判断险象比代数法更为直观、方便。

2、卡诺图法

作出函数卡诺图，并画出函数表达式中各“与”项对应的卡诺圈。若卡诺圈之间存在“**相切**”关系，即两卡诺圈之间存在不被同一卡诺圈包含的相邻最小项，则该电路可能产生险象：**与或式意味着静态 0 险象；或与式意味着静态 1 险象。**

例如： $F = \bar{A}D + \bar{A}C + ABC\bar{C}$ ，其卡诺图如下：

由卡诺图可知，卡诺圈 1 和卡诺圈 2 之间存在相邻最小项 m_5 和 m_{13} ，且 m_5 和 m_{13} 不被同一卡诺圈所包含，所以这两个卡诺圈“相切”。这说明相应电路可能产生险象。



所得结论可用代数法进行验证，假定 $B+D=1$ 、

$C=0$ ，代入函数表达式 F 之后可得 $F = A + \bar{A}$ ，可见相应电路可能由于 A 的变化而产生险象。

三、险象的消除

问题：如何消除或避开电路中可能出现的险象？

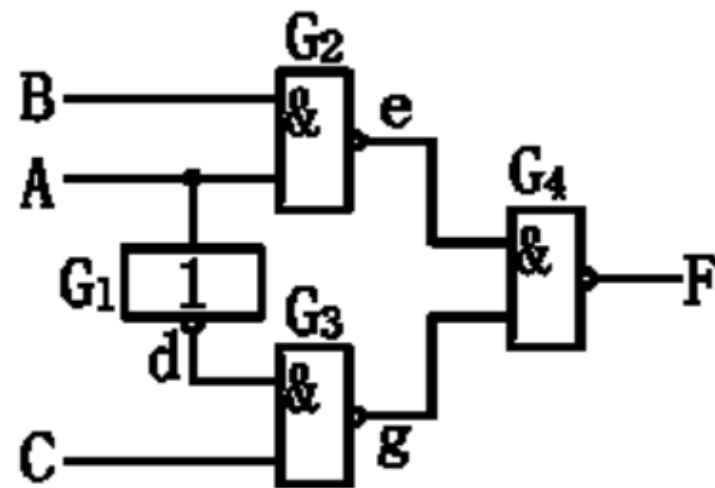
1、用增加冗余项的方法消除险象

增加冗余项的方法是，通过在函数表达式中

“或”上冗余的“与”项或者“与”上冗余的“或”项，消除可能产生的险象。

冗余项的选择可以采用代数法或者卡诺图法确定。

例如：用增加冗余项的方法消除下图所示电路中可能产生的险象。



分析：所给电路的输出函数表达式为：

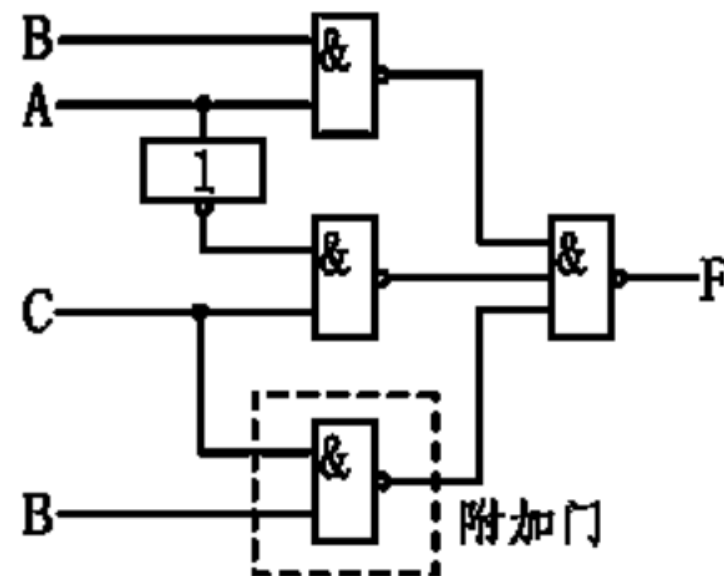
$$F = AB + \bar{A}C$$

该电路当 $B=C=1$ 时， A 的变化可能使输出产生“0”型险象。如何保证当 $B=C=1$ 时，输出保持为1呢？

若在函数表达式中增加冗余项 BC ，则可达到这一目的。

加入冗余项 BC 后的函数
表达式为: $F = AB + \bar{A}C + BC$

增加冗余项后的逻辑电
路如下:



冗余项的选择也可以通过在函数卡诺图上增
加多余的卡诺圈来实现。

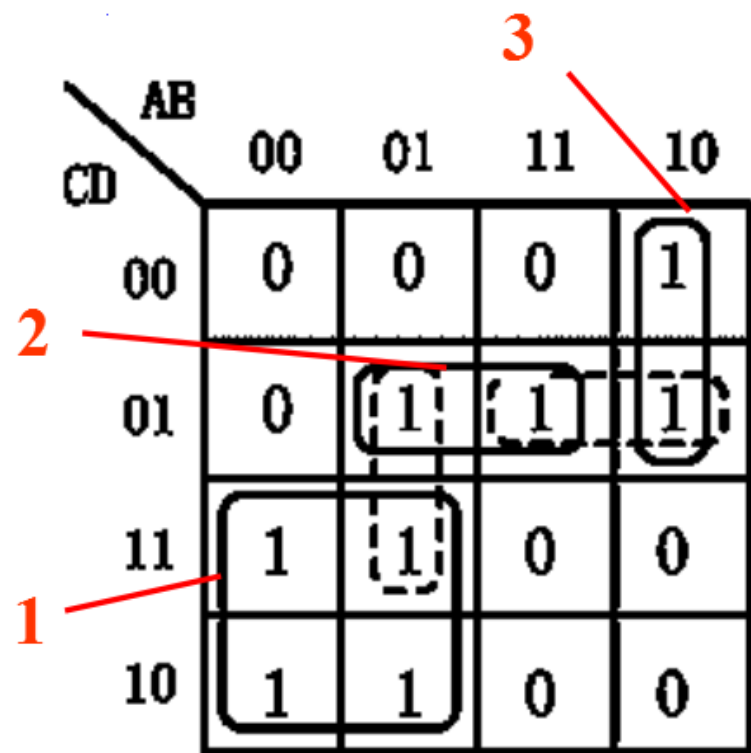
具体方法: 若卡诺图上某两个卡诺圈“相切”,

则用一个多余的卡诺圈将它们之间的相邻最小项圈起来，与多余卡诺圈对应的“与”项即为要加入函数表达式中的冗余项。

例如：已知描述某组合电路的函数表达式为 $F = \bar{A}C + B\bar{C}D + A\bar{B}\bar{C}$ ，试用增加冗余项的方法消除该电路中可能产生的险象。

分析：给定函数的卡诺图如下图所示：

图中，卡诺圈 1 和卡诺圈 2 “相切”，其相邻最小项为 m_7 和 m_5 ；卡诺圈 2 和卡诺圈 3 “相切”，其相邻最小项为 m_9 和 m_{13} 。为了消除险象，可以在卡诺图上增加两个多余卡诺圈，分别把最小项 m_5 、 m_7 和 m_9 、 m_{13} 圈起来，如图中虚线所示。



由此得到函数表达式：

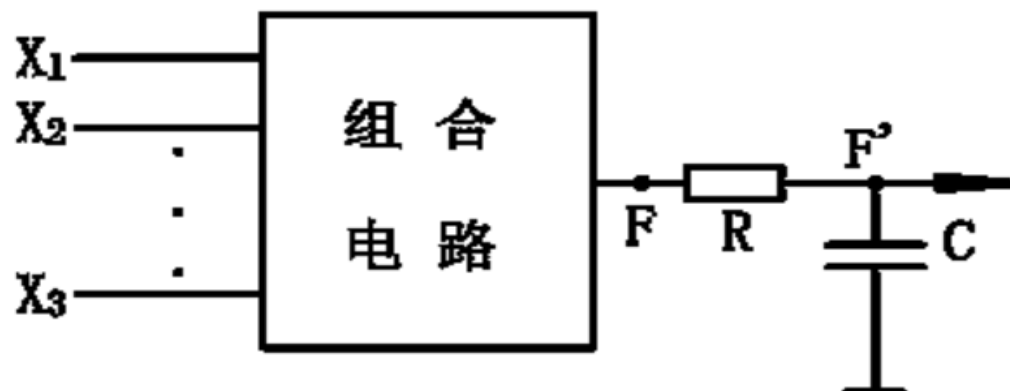
$$F = \bar{A}C + B\bar{C}D + A\bar{B}\bar{C} + \bar{A}BD + A\bar{C}D$$

式中， $\bar{A}BD$ 、 $A\bar{C}D$ 为冗余项。

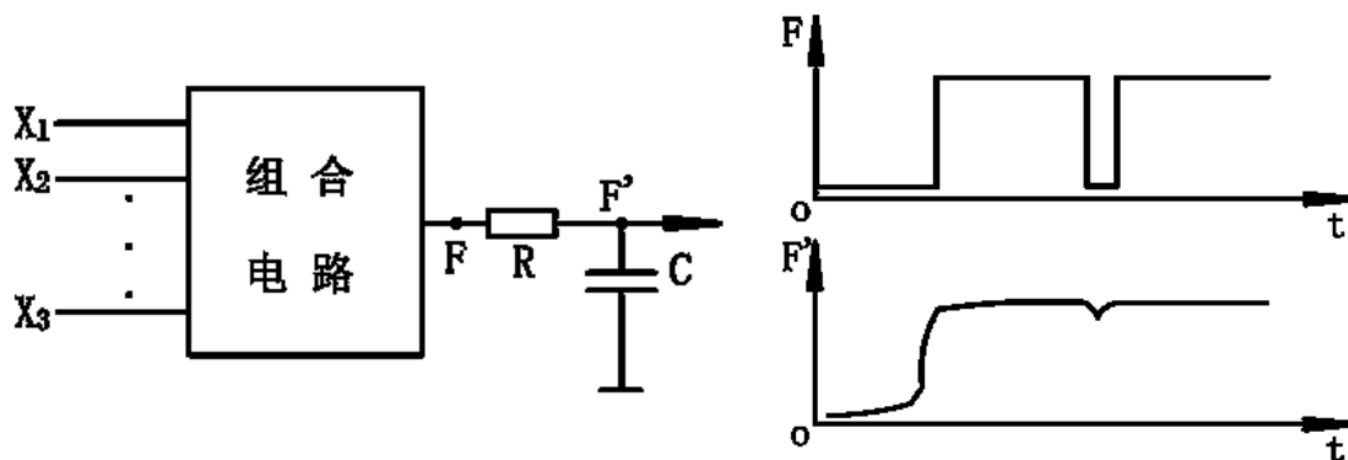
2、增加惯性延时环节（输出滤波）

消除险象的另一种方法是在组合电路输出端连接一个惯性延时环节。通常采用 **RC 电路** 作惯性

延时环节，如下图所示：



图中的 RC 电路实际上是一个低通滤波器。由于竞争引起的险



象都是一些频率很高的尖脉冲信号，因此，险象在通过 RC 电路后能基本被滤掉，保留下来的仅仅是

一些幅度极小的毛刺，它们不再对电路的可靠性产生影响输出信号经滤波后的效果如下图所示：

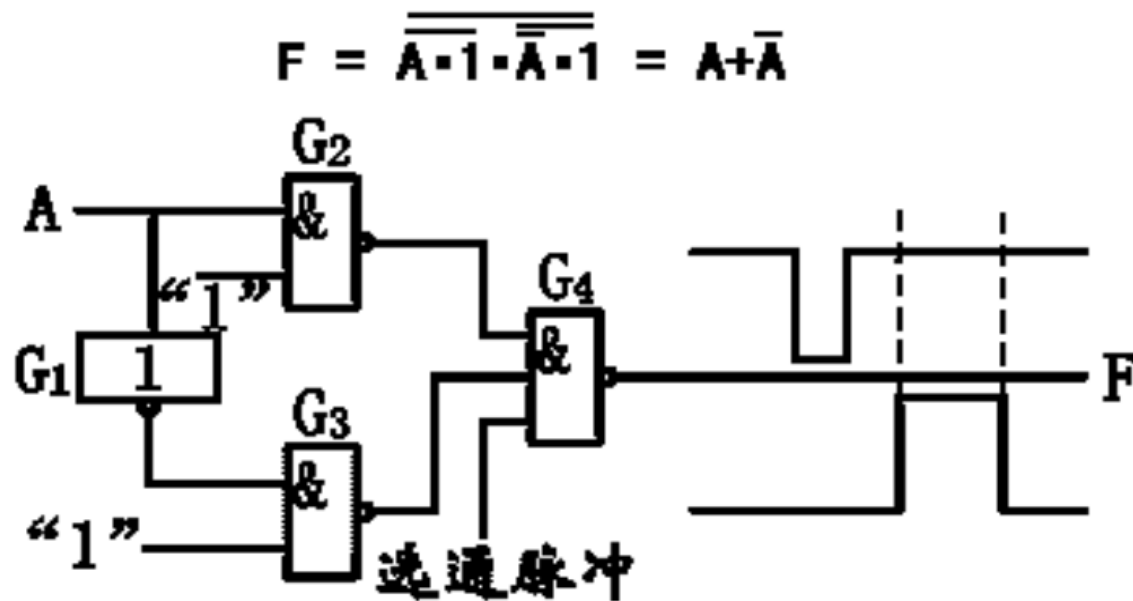
注意：采用这种方法时，必须适当选择惯性环节的时间常数（ $\tau = RC$ ），一般要求 τ 大于尖脉冲的宽度，以便能将尖脉冲“削平”；但也不能太大，否则将使正常输出信号产生不允许的畸变。

3、选通法

选通法不必增加任何器件，仅仅是利用**选通脉冲**的作用，从时间上加以控制，使输出避开险象脉冲。

例如：上图所示

与非门电路当 A 发生变化时，可能产生“0”型险象。但通过选通脉冲对电路的输出门加以控制，令选通脉冲在电路稳定后出现，则可使输出避开险



象脉冲，送出稳定输出信号。