

武汉大学2021级弘毅班《数字逻辑》期末试题（B卷）答案

班号：_____ 学号：_____ 姓名：_____

题号	一	二	三	四	五	六	总分
得分							

一、（10分）化简下列逻辑表达式为最简“与—或”式。

1. $F = BC + D + \bar{D} (B+C) (AC+B)$

2. $F(A,B,C,D) = \prod M(2,4,6,10,11,12,13,14,15)$

解：1. $F = BC + D + \bar{D} (B+C) (AC+B)$
 $= BC + D + (\bar{B}+\bar{C}) (AC+B)$
 $= BC + D + \bar{B}C (AC+B)$
 $= BC + D + AC + B$
 $= AC + B + D$

2. $F(A,B,C,D) = \prod M(2,4,6,10,11,12,13,14,15)$
 $= \sum m(0,1,3,5,7,8,9)$

	CD	00	01	11	10
AB					
00		1	1	1	
01			1	1	
11					
10		1	1		

得 $F = \bar{B}\bar{C} + \bar{A}D$

二、（12分）分析图1所示的逻辑电路：

- 1、求输出函数与输入变量的表达式、并化简（4分）；
- 2、求函数真值表与函数最小项表达式（4分）；
- 3、改用异或门实现该电路的逻辑功能（4分）；

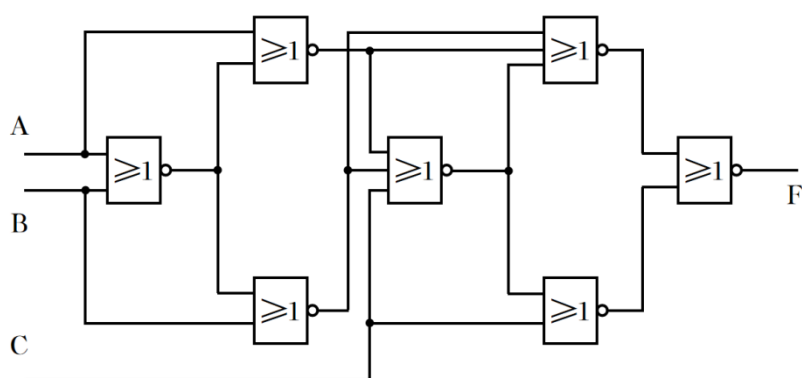
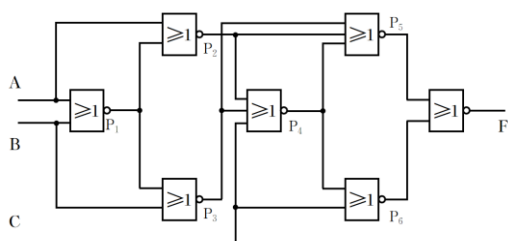


图 1

解：1. 对每个或非门后的输出进行标注，分析每个或非门的输出表达式，得：



$$P_1 = \overline{A+B} = \overline{A}\overline{B}$$

$$P_2 = \overline{A+P_1} = \overline{A(A+B)} = \overline{A}\overline{B}$$

$$P_3 = \overline{B+P_1} = \overline{B(A+B)} = \overline{A}\overline{B}$$

$$P_4 = \overline{C + P_2 + P_3} = \overline{C \cdot A \odot B}$$

$$P_5 = \overline{P_2 + P_3 + P_4}$$

$$P_6 = \overline{C + P_4}$$

$$F = \overline{P_5 + P_6}$$

$$\begin{aligned} \text{则 } F &= \overline{P_5 P_6} = \overline{(P_2+P_3+P_4)(C+P_4)} \\ &= A \oplus B \oplus C \end{aligned}$$

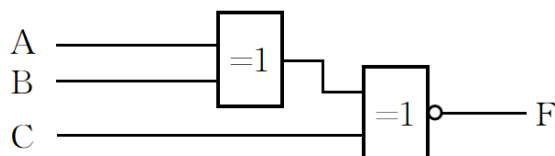
2. 真值表如下：

A	B	C	F
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1

1	1	1	0
---	---	---	---

$$F = m(0, 3, 5, 6)$$

3. $F = A \oplus B \oplus \bar{C} = \overline{A \oplus B \oplus C}$, 则电路设计如下:



三、(22 分) 设 ABCD 输入值为 8421BCD 码, 试设计一个“四舍五入”电路。当其输入数值大于或等于五时 $F=1$, 否则 $F=0$ 。

1. 写出函数 F 与 ABCD 的真值表; (3 分)
2. 写出逻辑函数表达式并化简; (3 分)
3. 用适当门电路实现该函数并画出逻辑电路图; (3 分)
4. 用三一八译码器 74LS138 及适当门电路实现该电路的逻辑功能; (3 分)
5. 用中规模集成电路八选一 74LS151 及适当门电路实现其逻辑功能; (3 分)
6. 用 Verilog HDL 语言设计该逻辑电路; (4 分)
7. 用如图 2 所示的可编程逻辑器件 PLA 设计该逻辑函数。(3 分)

解: 1. 真值表如下:

ABCD	F	ABCD	F
0000	0	1000	1
0001	0	1001	1
0010	0	1010	d
0011	0	1011	d
0100	0	1100	d
0101	1	1101	d
0110	1	1110	d
0111	1	1111	d

2. 函数逻辑表达式为

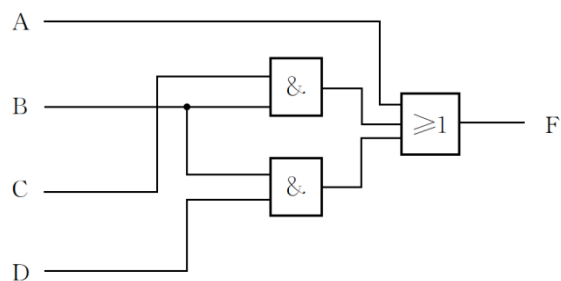
$$F(A, B, C, D) = \sum m(5, 6, 7, 8, 9) + \sum d(10, 11, 12, 13, 14, 15)$$

作出卡诺图:

AB \ CD	00	01	11	10
00				
01		1	1	1
11	d	d	d	d
10	1	1	d	d

得 $F = A + BD + BC$

3. 实现的参考电路如下（形式最简）：

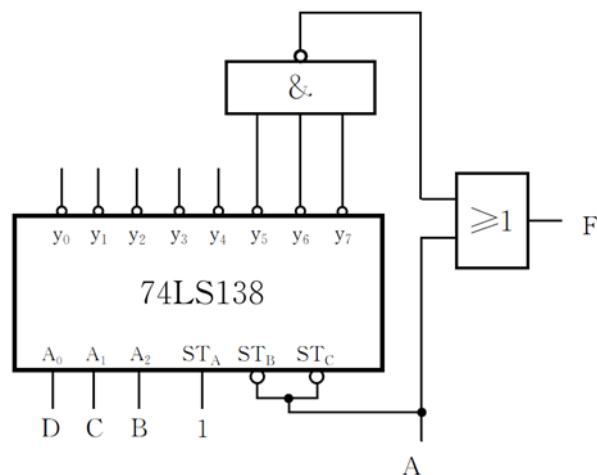


4. 用 74LS138 时，选 B,C,D 作为 $A_2A_1A_0$ 三个输入，

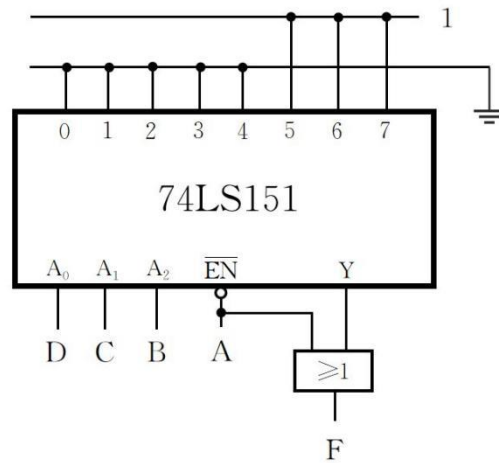
当 $A=0$ 时， $F=BCD+BC\bar{D}+B\bar{C}D$

当 $A=1$ 时， $F=1$

故连线如下：



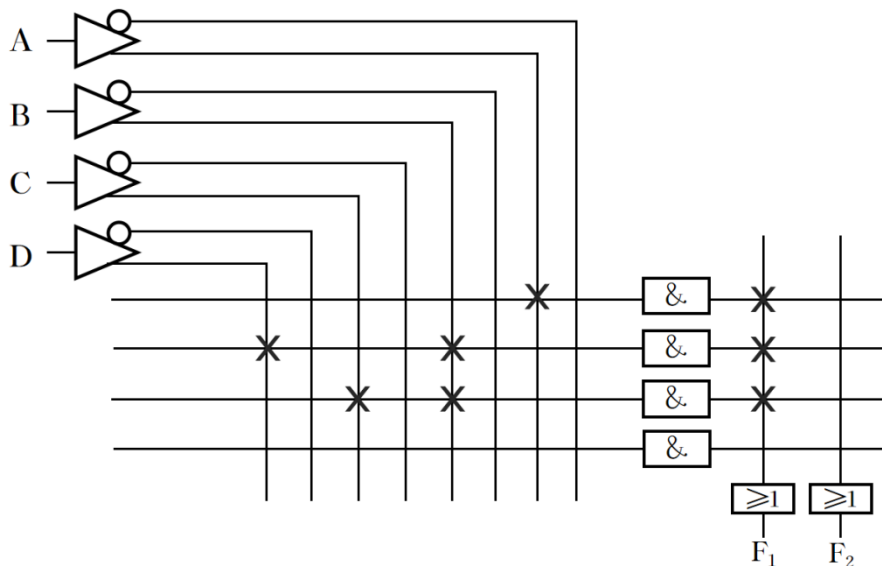
5. 74LS151 连线时，A 作为控制使能端， $F=A+BCD+BC\bar{D}+B\bar{C}D$ ，故连线如下：



6. 参考代码如下：

```
module three (A,B,C,D,F)
    input A,B,C,D
    output F
);
    assign F = A || (B & C) || (B & D);
end module
```

7. 用可编程逻辑器件 PLA 设计图如图：



四、（20 分）分析图 3 的时序逻辑电路，回答问题：

1. 写出激励函数与输出函数的表达式；（6 分）
2. 写出次态方程组；（4 分）
3. 作出电路的状态表及状态图；（6 分）
4. 分析电路的逻辑功能。（4 分）

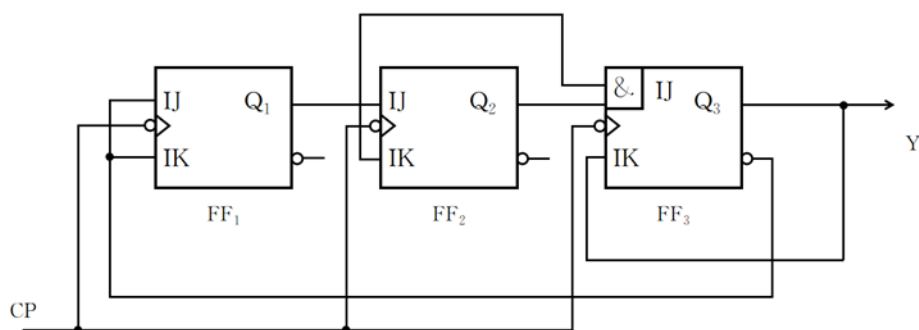


图 3

(1) 由图可知该电路为同步时序逻辑电路，负边缘触发。

$$J_1 = K_1 = \bar{Q}_3$$

$$J_2 = K_2 = Q_1$$

$$J_3 = Q_1Q_2$$

$$K_3 = Q_3$$

$$y = Q_3$$

(2) JK 触发器状态方程为 $Q^{n+1} = J\bar{Q} + \bar{K}Q$

$$Q_1^{n+1} = \bar{Q}_3\bar{Q}_1 + Q_3Q_1 = Q_1 \odot Q_3$$

$$Q_2^{n+1} = Q_1\bar{Q}_2 + \bar{Q}_1Q_2 = Q_1 \oplus Q_2$$

$$Q_3^{n+1} = Q_1Q_2\bar{Q}_3 + \bar{Q}_3Q_3 = Q_1Q_2\bar{Q}_3$$

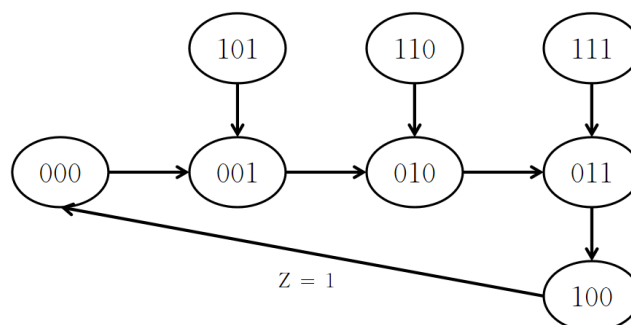
$$y = Q_3$$

(3) 状态转移真值表如下：

Q ₃	Q ₂	Q ₁	Q ₃ ⁿ⁺¹	Q ₂ ⁿ⁺¹	Q ₁ ⁿ⁺¹	y
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	0	0	0	1

1	0	1	0	1	1	1
1	1	0	0	1	0	1
1	1	1	0	0	1	1

状态图如下：

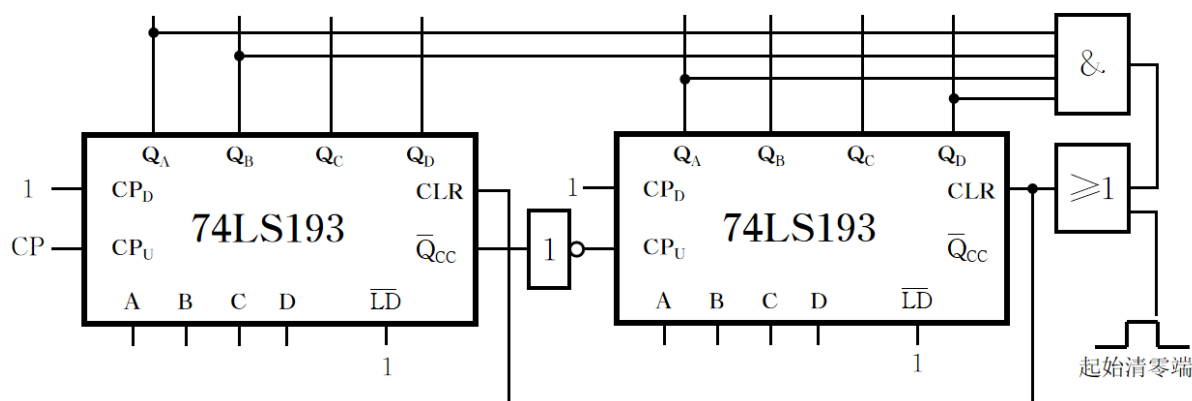


(4) 该电路为一个模 5 计数电路，其五个状态为 000,001,010,011,100。当计算五个脉冲后，回到初态 000，且 $y=1$ 。

其它冗余状态 101,110,111 都能在 CP 脉冲作用下回到有效状态，故该电路可以自启动。

五、（12 分）用两片 4 位二进制同步计数器 74LS193 构成模 147 十进制计数器。

解：设计数器状态变化序列为 $(0)_{10} \sim (146)_{10}$ ，当计数器状态由 $(146)_{10}$ 变为 $(147)_{10}$ 时，应该令其进入 $(0)_{10}$ 。因为 $(147)_{10} = 93H = (10010011)_2$ ，所以根据 74193 的功能可画出模 $(147)_{10}$ 加法计数器的逻辑电路。图中，片 I 和片 II 的 CP_D 端、 \overline{LD} 端均接 1，CLR 端为清除控制端为 1 时有效。计数脉冲由片 I 的 CP_U 端输入，片 I 的进位输出脉冲 \overline{Q}_{CC} 经反相后作为片 II 的计数脉冲。工作时先将计数器清零，在计数脉冲到来后，计数器开始加 1 计数，当计数器的状态 $Q_7Q_6Q_5Q_4Q_3Q_2Q_1Q_0 = 10010011$ 时，产生一个高电平送 CLR，计数器清零，实现了模 147 加法计数。

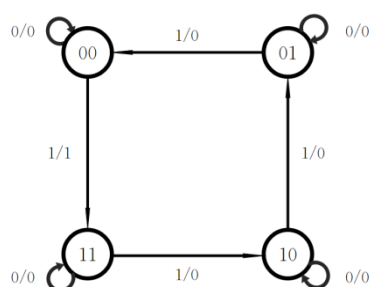


六、（24 分）用 T 触发器作为存储元件，设计一个 2 位二进制减 1 计数器。电路工作状态受输入信号 x 的控制。当 $x = 0$ 时，电路状态不变；当 $x = 1$ 时，在时钟脉冲作用下进行减 1 计数。计数器有一个输出 Z ，当产生借位时 Z 为 1，其他情况下 Z 为 0。

1. 作出原始状态图、状态表及二进制状态表；（6 分）
2. 求 D 触发器的各输入端的激励表达式及输出函数表达式；（6 分）
3. 画出相应电路图、并分析该电路是否能够自启动；（6 分）
4. 用 Verilog HDL 语言描述状态图。（6 分）

解：1. 设状态变量为 y_2 、 y_1 ，作出原始状态图与状态表如下：

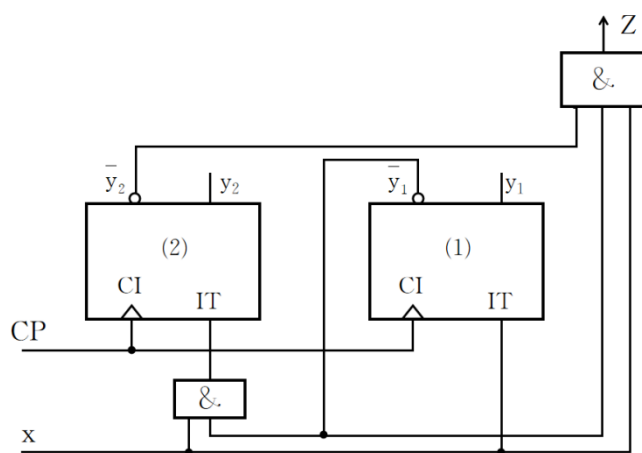
现态 $y_2 y_1$	次态 $y_2^{n+1} y_1^{n+1}$ / 输出 Z	
	$x=0$	$x=1$
00	00/0	11/1
01	01/0	00/0
11	11/0	10/0
10	10/0	01/0



2. 作出激励函数和输出函数卡诺图（略）并化简，得表达式：

$$T_2 = x \bar{y}_1 \quad T_1 = x \quad Z = x \bar{y}_2 y_1$$

3. 根据表达式画出逻辑电路图：



该电路能自启动。

4. module counter (CP, X, Q, Z);
Input CP, X;
Output [1:0]Q;


```

Output X;
Counter_sub #(5) u1 (CP, X, Q, Z);
endmodule

module counter (CP, X, Q, Z);
    Input CP, X;
    Output reg [1:0]Q;
    Output reg X;
    Counter_sub #(5) u1 (CP, X, Q, Z);
endmodule

always@(posedge CP or X)
    if(X)
        Q<=Q-1'b1;
        Z<=0;
    Else if(Q==0)
        Z<=1;
    End
endmodule

```