

Part III 触发器与时序逻辑

Lecture 13 常用时序逻辑电路 2OK!

二、寄存器

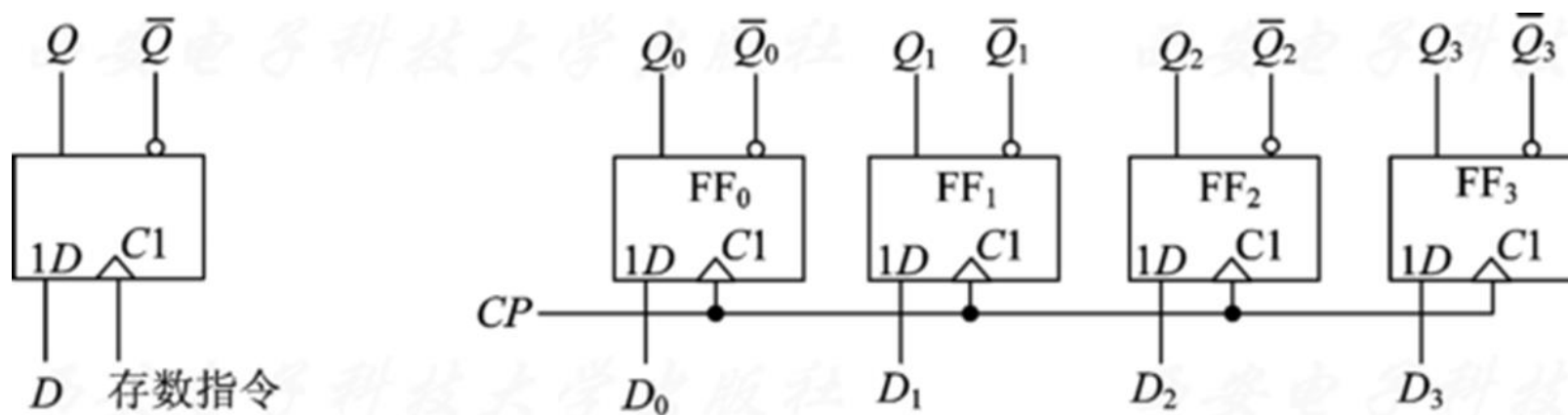
(一) 寄存器

1、寄存器的工作原理

寄存器是用来寄存数码的逻辑部件，所以必须具备**接收**和**寄存**数码的功能。任何一种触发器

都可以构成寄存器，每个触发器存放一位二进制数或一个逻辑变量，由 n 个触发器组成的寄存器就可以存放 n 位二进制数或 n 个逻辑变量。

下图所示是用 D 触发器组成的寄存器，触发器的时钟信号用来控制数据存储的时间。



对右边的 4 位寄存器，无论寄存器中原来的内容是什么，只要时钟脉冲 CP 上升沿到来，加在并行数据输入端的数据 $D_0 \sim D_3$ 就立即被送入寄存器中，所以有：
$$Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1} = D_3 D_2 D_1 D_0$$

为了方便对寄存器的控制，常用的寄存器还具有其他**控制信号**，图 5.5.30 所示的是具有数据**异步清零**端的 4 位寄存器。

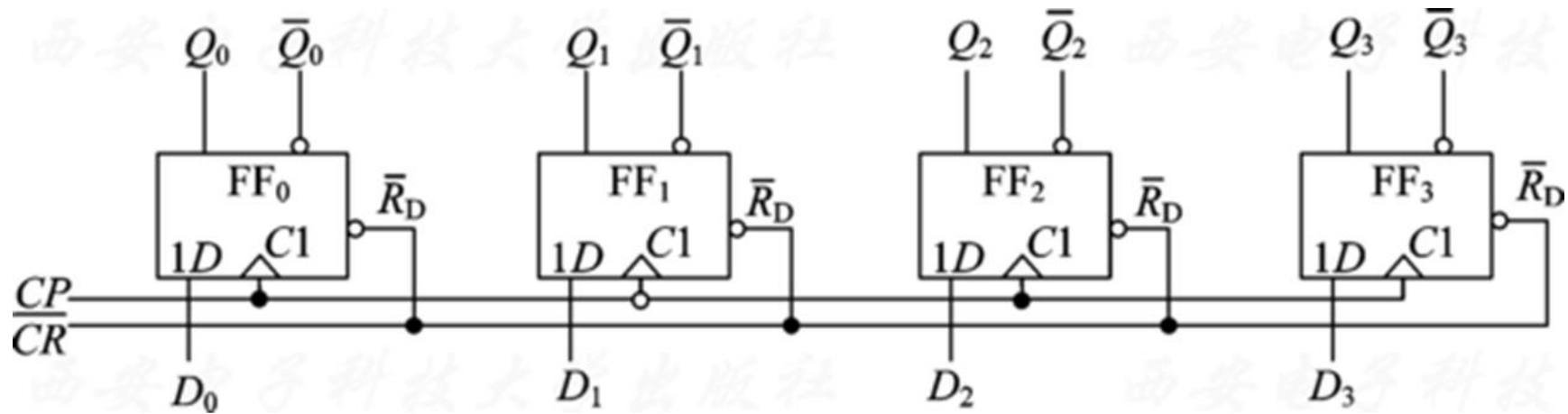


图5.5.30 具有异步清零端的寄存器电路

上图所示电路具有**清零**、**置数**和**保持**的功能。

$\overline{CR} = 0$: 异步清零, 即 $Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1} = 0000$

$\overline{CR} = 1$ 时, CP 上升沿置数, 即:

$$Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1} = D_3 D_2 D_1 D_0$$

$\overline{CR}=1$ 时，除 CP 上升沿以外的时间，寄存器内容保持不变。

寄存器通常只对数据进行存储，不对存储内容进行处理。

2、常用集成寄存器 OK

1) 由多个（边沿触发） D 触发器组成的集成寄存器

这一类触发器在 CP 上升沿或下降沿作用下，直接输出接收的输入代码，在 CP 无效时输出保持不变。

2) 具有输入使能功能的锁存型寄存器

图 5.5.33 所示是具有**输入使能控制端**的 4 位寄存器电路。图中， \bar{R} 是电路的清零端， \bar{E} 是电路数据输入锁存的控制端。

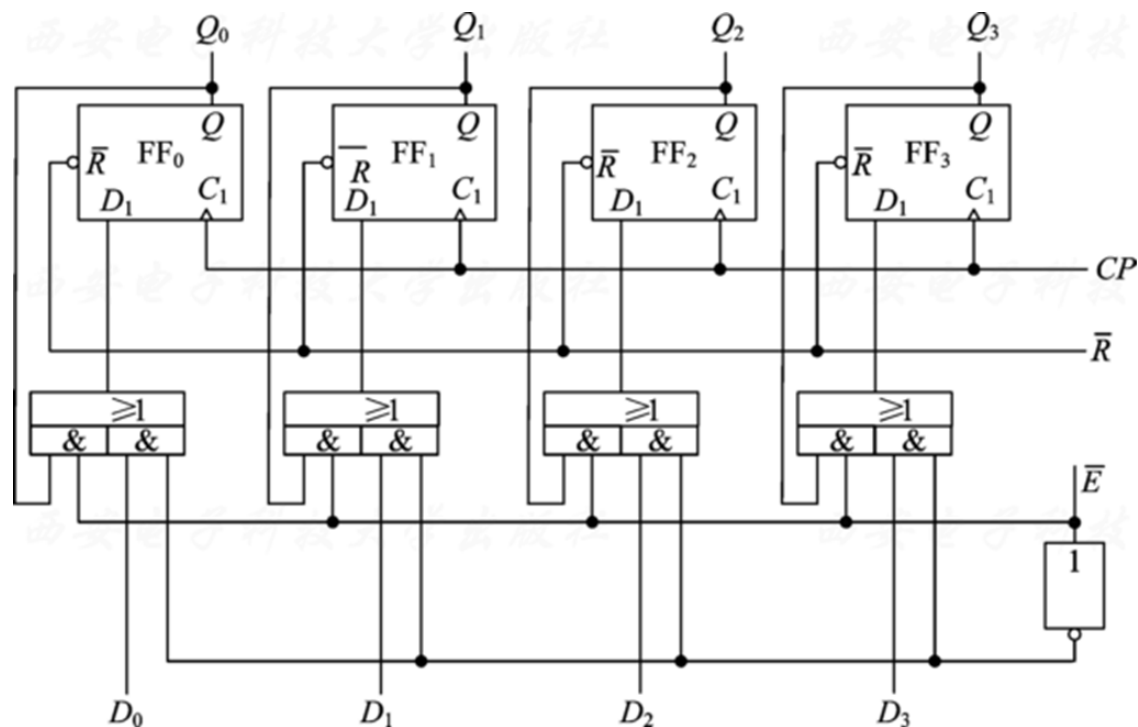


图5.5.33 带输入使能端的锁存型寄存器的逻辑电路图

表5.5.7 图5.5.33所示电路的功能表

\bar{R}	\bar{E}	CP	D	Q^{n+1}
0	×	×	×	0
1	0	↑	D	D
1	1	↑	×	Q^n

3) 具有输出缓冲功能的寄存器

这类寄存器可对寄存器的输出端进行控制。

图 5.5.34 所示是在图 5.5.33 所示电路的输出端设置了三态门，构成了输出缓冲电路。

图中， \overline{OE} 信号是**输出控制信号**，只有 \overline{OE} 信号有效时寄存器才输出存储的数据，即：

$$Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1} = D_3 D_2 D_1 D_0$$

否则，输出为高阻（用 Z 表示），即：

$$Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1} = ZZZZ$$

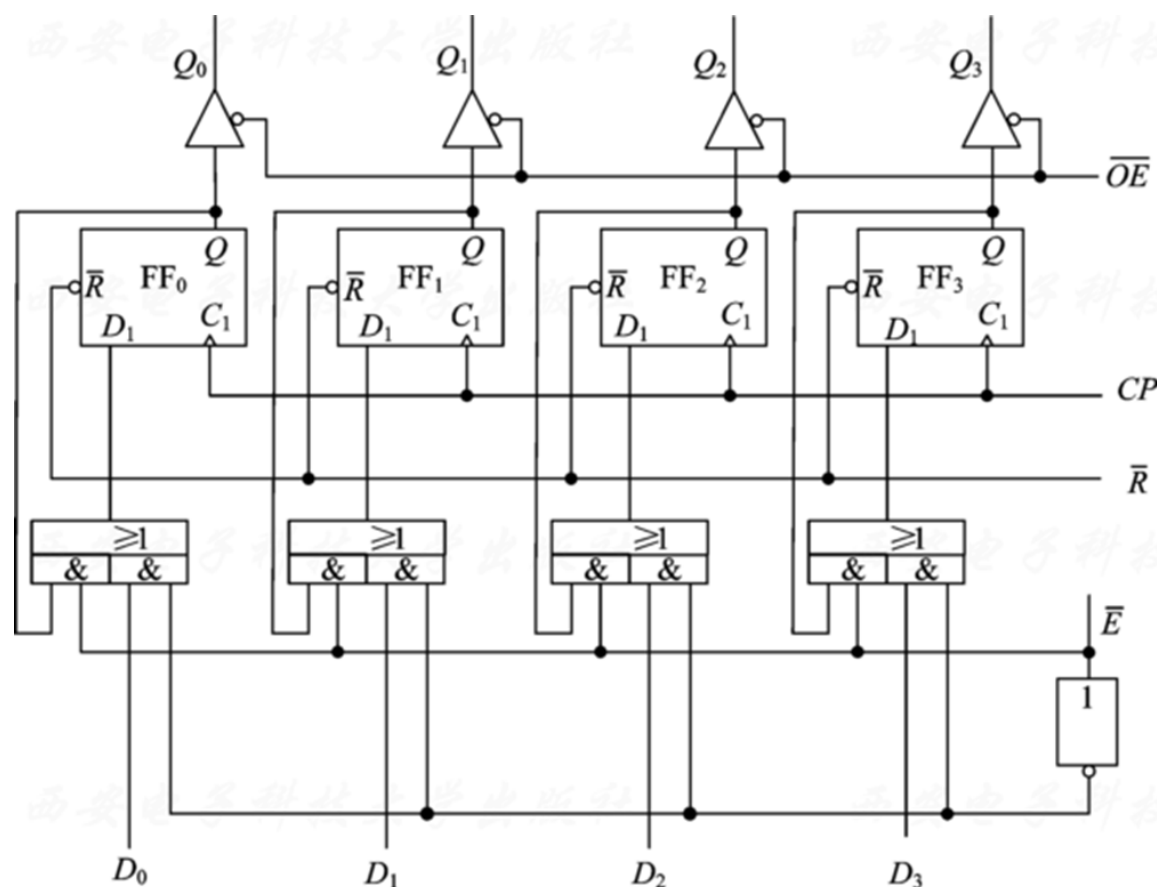


图5.5.34 具有输出缓冲功能的寄存器逻辑电路图

表5.5.8 图5.5.34所示电路的功能表

\bar{R}	\bar{E}	CP	D	\overline{OE}	Q^{n+1}
0	×	×	×	0	0
1	0	↑	D	0	D
1	1	↑	×	0	Q^n
×	×	×	×	1	Z

(二) 移位寄存器

1、移位寄存器的工作原理

移位寄存器按照移位的方式可以分为**单向移**

位寄存器和双向移位寄存器。

1) 单向移位寄存器

图 5.5.38 所示是 D 触发器组成的 4 位右移寄存器。

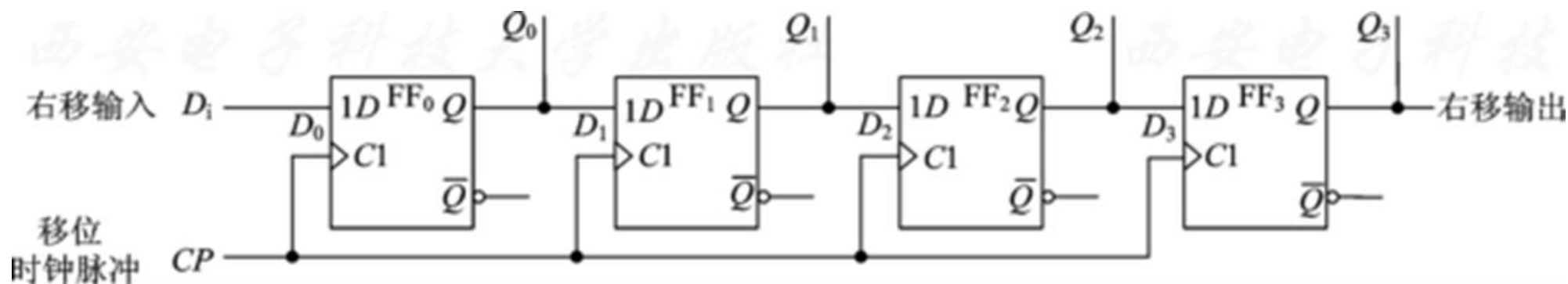


图5.5.38 右移寄存器

电路结构特点是左边触发器的输出端接右邻触发器的输入端。对应的，左移寄存器电路则是右边触发器的输出端接左邻触发器的输入端。

图 5.5.38 所示电路中，各触发器共用时钟 CP ，因此，该电路是一个同步时序电路。可以很容易地写出各触发器的状态方程：

$$Q_0^{n+1} = D_i, Q_1^{n+1} = Q_0^n, Q_2^{n+1} = Q_1^n, Q_3^{n+1} = Q_2^n$$

在移位脉冲的作用下，输入端 D_i 存入寄存器 FF_0 ， FF_0 的数据存入 FF_1 ，依次类推，第 $i-1$ 级触发器的数据存入到第 i 级触发器。

若 4 位触发器的初态为 $Q_0^n Q_1^n Q_2^n Q_3^n = 0000$ ，在 D_i 连续输入四个 1 的情况下，电路对应的状态转移真值表如表 5.5.9 所示。

表5.5.9 右移寄存器电路状态转移真值表

输 入		现 态				次 态				说 明
D_i	CP	Q_0^n	Q_1^n	Q_2^n	Q_3^n	Q_0^{n+1}	Q_1^{n+1}	Q_2^{n+1}	Q_3^{n+1}	
1	↑	0	0	0	0	1	0	0	0	连续输入四个 1
1	↑	1	0	0	0	1	1	0	0	
1	↑	1	1	0	0	1	1	1	0	
1	↑	1	1	1	0	1	1	1	1	

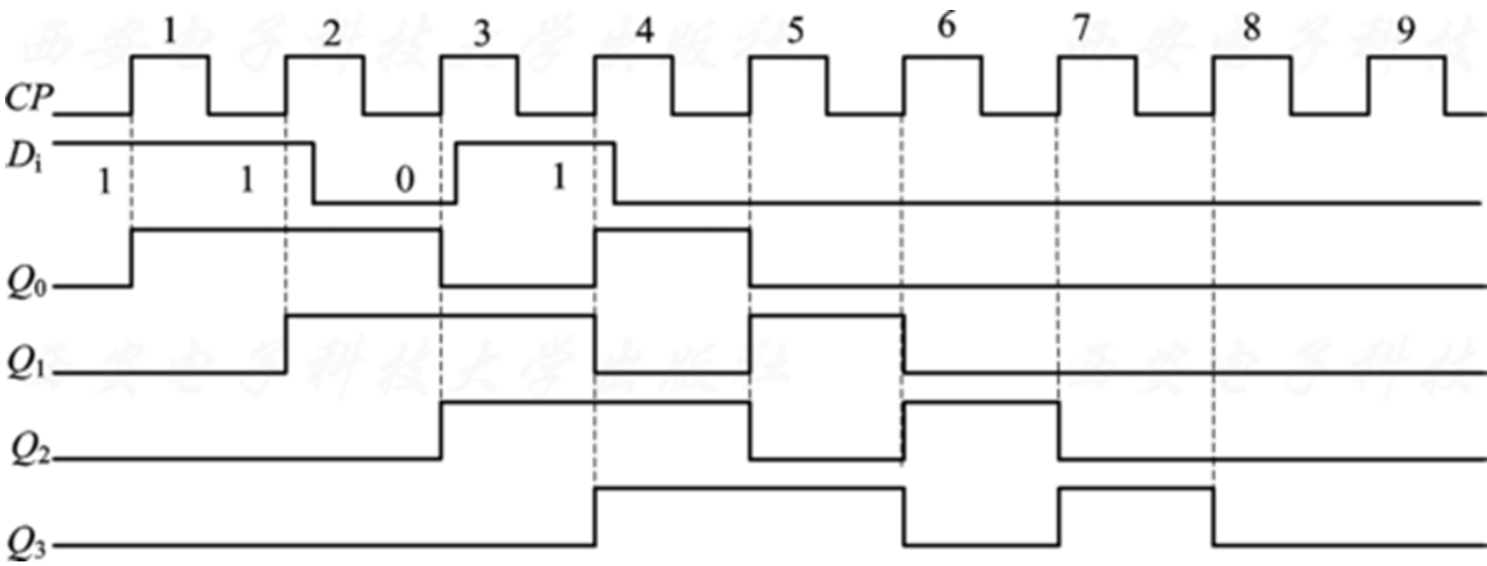


图5.5.39 4位右移寄存器时序图

2) 双向移位寄存器

图 5.5.40 所示是具有双向移位功能的移位寄存器。 $M=0 \rightarrow$ $M=1 \leftarrow$

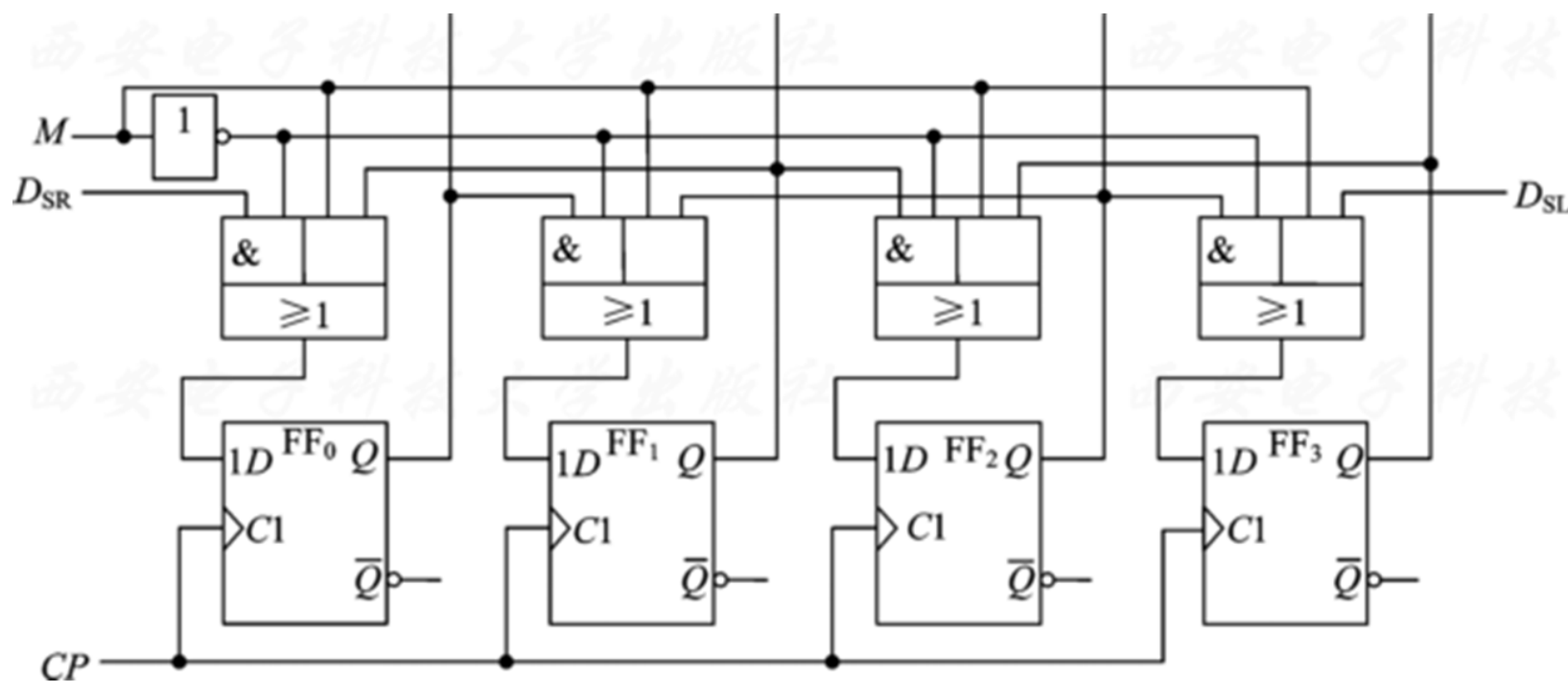


图5.5.40 双向移位寄存器

图中， M 是数据移动方向控制端； D_{SR} 是右移串行输入端； D_{SL} 是左移串行输入端。

该电路是一个同步时序电路，各触发器的时钟信号为 CP ，激励函数和状态方程为

$$\begin{cases} D_0^{n+1} = \bar{M}D_{\text{SR}} + MQ_1^n \\ D_1^{n+1} = \bar{M}Q_0^n + MQ_2^n \\ D_2^{n+1} = \bar{M}Q_1^n + MQ_3^n \\ D_3^{n+1} = \bar{M}Q_2^n + MD_{\text{SL}} \end{cases}$$

$$\begin{cases} Q_0^{n+1} = \bar{M}D_{\text{SR}} + MQ_1^n \\ Q_1^{n+1} = \bar{M}Q_0^n + MQ_2^n \\ Q_2^{n+1} = \bar{M}Q_1^n + MQ_3^n \\ Q_3^{n+1} = \bar{M}Q_2^n + MD_{\text{SL}} \end{cases}$$

2、集成移位寄存器

移位寄存器因其使用灵活，而获得了广泛的应用。

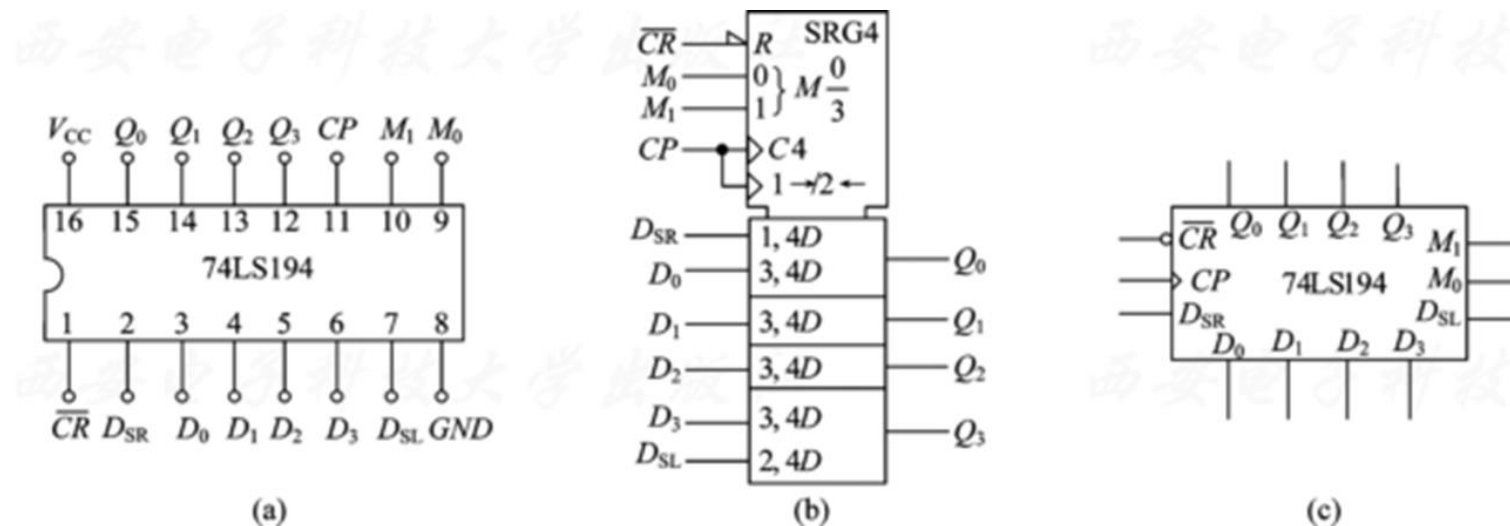


图5.5.41 74LS194的引脚排列和逻辑符号

(a) 引脚排列图; (b) 国标逻辑符号; (c) 惯用符号

图 5.5.41 是常用中规模 **4 位双向移位寄存器 74LS194** 的引脚排列、国标逻辑符号和惯用符号。

表5.5.10 74LS194的逻辑功能表

输 入				现 态				输 出				功能说明
\overline{CR}	M_1	M_0	CP	D_0	D_1	D_2	D_3	Q_0^{n+1}	Q_1^{n+1}	Q_2^{n+1}	Q_3^{n+1}	
0	×	×	×	×	×	×	×	0	0	0	0	异步清零
1	0	0	×	×	×	×	×	Q_0^n	Q_1^n	Q_2^n	Q_3^n	数据保持
1	0	1	↑	×	×	×	×	D_{SR}	Q_0^n	Q_1^n	Q_2^n	同步右移
1	1	0	↑	×	×	×	×	Q_1^n	Q_2^n	Q_3^n	D_{SL}	同步左移
1	1	1	↑	d_0	d_1	d_2	d_3	d_0	d_1	d_2	d_3	同步置数

从逻辑功能表可见，74LS194 具有**异步清零**、**数据保持**、**同步右移**、**同步左移**、**同步置数**等五种工作模式。

\overline{CR} 为**异步复位**输入，低电平有效，且优先级最高。

M_0 、 M_1 为方式控制输入，其四种组合对应四种工作方式：

$M_1M_0=00$ 时，电路处于**保持**状态；

$M_1M_0=01$ 时，电路处于**右移**状态，其中， D_{SR} 为右移数据输入端， Q_3 为右移数据输出端；

$M_1M_0=10$ 时，电路处于左移状态，其中， D_{SL} 为左移数据输入端， Q_0 为左移数据输出端；

$M_1M_0=11$ 时，电路处于同步置数状态，其中， D_0 、 D_1 、 D_2 和 D_3 为并行数据输入端。

无论何种方式， Q_0 、 Q_1 、 Q_2 和 Q_3 都是并行数据输出端。

在构成多位寄存器时，可以将移位寄存器进行**级联**扩展。连接时只要将移位寄存器接为相应的正常工作状态，且低位芯片的串行输出端接到高位芯片的串行输入端，即可实现级联扩展。

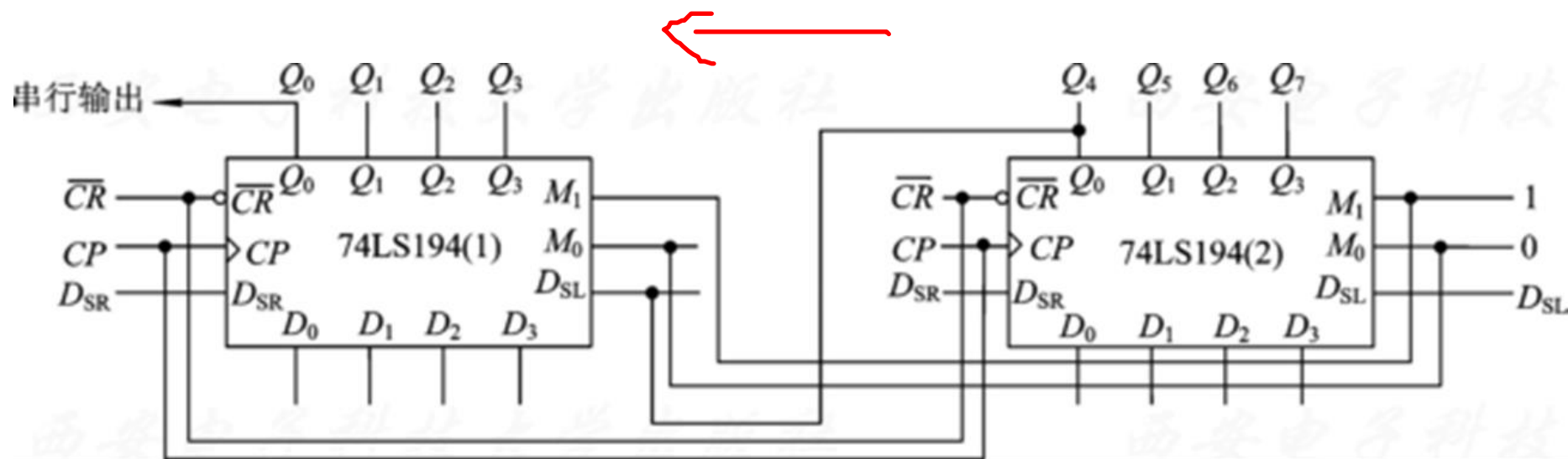


图5.5.42 74LS194级联构成8位左移寄存器

3、移位寄存器的应用

移位寄存器通常用于数据格式的**串/并**和**并/串**变换，此外，移位寄存器还可以用来构成**序列检测器**和**移位型计数器**。

1) **实现数码串/并变换**：将串行输入的数码，经转换电路之后变换成并行输出。

【例 5.5.8】分析图 5.5.46 电路的功能（设电路初始状态为 0）。

① $\overline{CR} = 0$, $M_1 M_0 = 11$

② \uparrow 置数 $M_1 M_0 = 01$

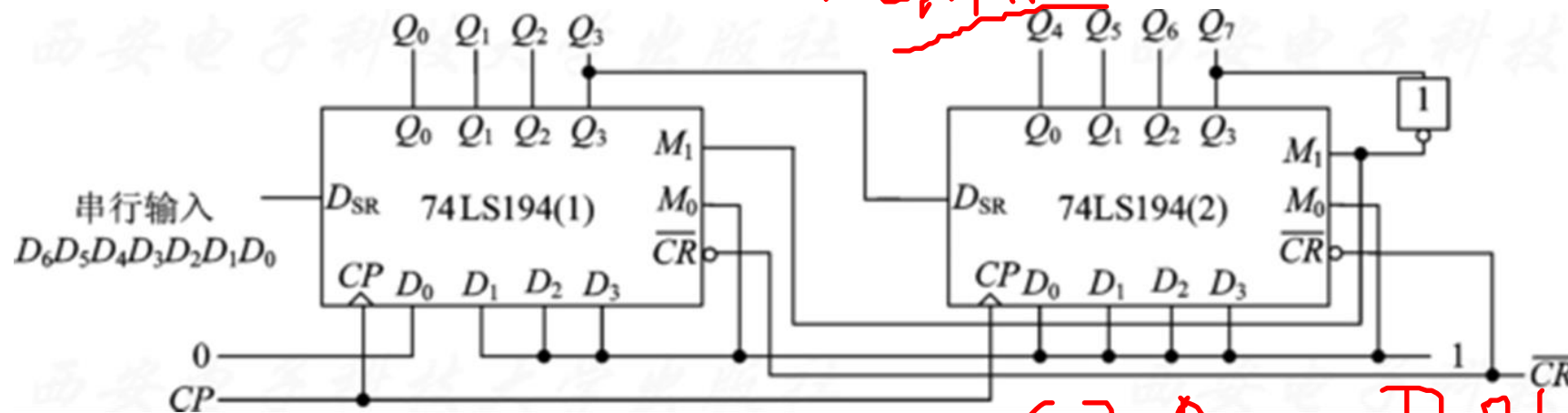


图5.5.46 例5.5.8的电路图

③ $\uparrow \rightarrow D_0 = 01111111$

④ $\uparrow \rightarrow D_6 \sim D_0 = 0$

分析：转换前， \overline{CR} 端加低电平，使寄存器的内容清零。

$M_1 M_0 = 11$

由于 74LS194(2)片的 $Q_3=0$ ，因此 $M_1M_0=11$ ，当第一个 CP 脉冲到来后，寄存器处于置数工作方式，寄存器的输出状态 $Q_0\sim Q_7=D_0\sim D_7$ ，为 01111111。

这时由于 $Q_7=1$ ，因此 M_1M_0 变为 01，寄存器处于串行右移工作方式，串行输入数据由 74LS194(1)片的 D_{SR} 端加入。

设依次加入的数据为 $D_0\sim D_6$ 。随着 CP 脉冲的依次加入，输出状态 $Q_0\sim Q_7$ 的变化如下表所示。

表5.5.11 图5.5.46的逻辑功能表

输 入					输 出								说明
CP	\overline{CR}	M_1	M_0	D_{SR}	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	
\times	0	\times	\times	\times	0	0	0	0	0	0	0	0	清零
1	1	1	1	\times	0	1	1	1	1	1	1	1	置数
2	1	0	1	D_0	D_0	0	1	1	1	1	1	1	右移
3	1	0	1	D_1	D_1	D_0	0	1	1	1	1	1	右移
4	1	0	1	D_2	D_2	D_1	D_0	0	1	1	1	1	右移
5	1	0	1	D_3	D_3	D_2	D_1	D_0	0	1	1	1	右移
6	1	0	1	D_4	D_4	D_3	D_2	D_1	D_0	0	1	1	右移
7	1	0	1	D_5	D_5	D_4	D_3	D_2	D_1	D_0	0	1	右移
8	1	0	1	D_6	D_6	D_5	D_4	D_3	D_2	D_1	D_0	0	右移
9	1	1	1	\times	0	1	1	1	1	1	1	1	置数

可见电路的工作周期为 8 个时钟脉冲， $Q_7=0$ 时，有 $M_1M_0=11$ ，则串行送数结束，标志着串行输入的数据已经转换成并行输出了。

在下一个 CP 脉冲到来后，又开始进行置数，下一轮的串/并转换又开始了。

2) 实现数码并/串变换：并行输入的数据，转换为串行数据输出。

【例 5.5.9】分析图 5.5.47 电路的功能（设电路初始状态为 0）。

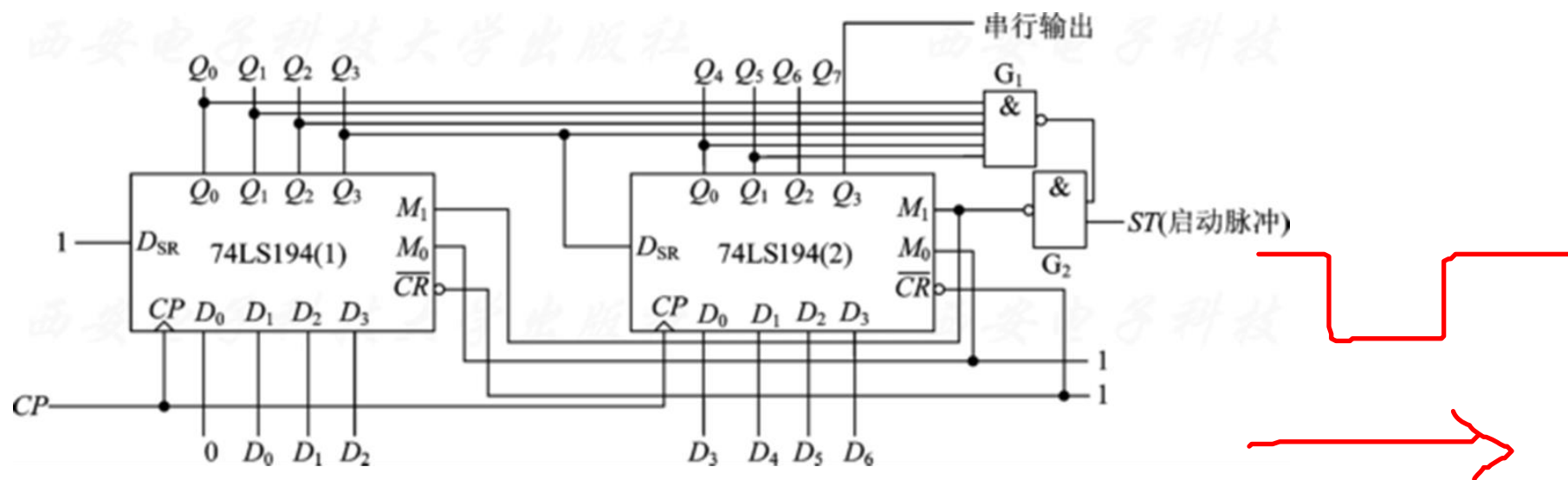


图5.5.47 例5.5.9的电路图

分析：并行数据在置数时从 $D_0 \sim D_7$ 输入，串行数据从 Q_7 端输出。

初始化时，启动脉冲 ST 端加低电平（注意启动脉冲的低电平时间一定要大于 CP 的一个周期）。此时 $M_1M_0=11$ ，当第一个 CP 脉冲到来后，寄存器处于置数工作方式，寄存器的输出状态 $Q_0\sim Q_7=0D_0\sim D_6$ ，此时串行输出端 $Q_7=D_6$ 。

随后，启动脉冲端变为高电平，此时由于 $Q_0=0$ ，门 G_1 、 G_2 输出分别为 1、0，因此 $M_1M_0=01$ ，寄存器处于串行右移工作方式。

在第二个 CP 脉冲到来后, 由于 74LS194(1) 片的 D_{SR} 端加入 1, $Q_0 \sim Q_7 = 10D_0 \sim D_5$, 串行输出端 $Q_7 = D_5$ 。

随着 CP 脉冲的依次加入, Q_7 端的变化如下表所示。可见电路的工作周期为 7 个时钟脉冲, 移入 6 个“1”后, $Q_7 = D_0$, $Q_0 \sim Q_5 = 111111$, 门 G_1 输出 0, 因此 $M_1 M_0 = 11$, 标志着并行输入的数据已全部经 Q_7 输出了。

在下一个 CP 脉冲到来后, 又进行新的并行置数, 下一轮的并/串转换又开始了。

表5.5.12 图5.5.47的逻辑功能表

输 入					输 出								说明
ST	CP	M_1	M_0	D_{SR}	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	
0	1	1	1	1	0	D_0	D_1	D_2	D_3	D_4	D_5	D_6	置数
1	2	0	1	1	1	0	D_0	D_1	D_2	D_3	D_4	D_5	右移
1	3	0	1	1	1	1	0	D_0	D_1	D_2	D_3	D_4	右移
1	4	0	1	1	1	1	1	0	D_0	D_1	D_2	D_3	右移
1	5	0	1	1	1	1	1	1	0	D_0	D_1	D_2	右移
1	6	0	1	1	1	1	1	1	1	0	D_0	D_1	右移
1	7	0	1	1	1	1	1	1	1	1	0	D_0	右移
1	8	1	1	1	0	D_0	D_1	D_2	D_3	D_4	D_5	D_6	置数

3) 移位型计数器

如果不限制编码类型，移位寄存器也可以用来构成计数器，用移位寄存器构成的计数器称为**移位型计数器**。

移位型计数器按照电路连接方式的不同可以分为三种类型：**环形计数器、扭环形计数器和变形扭环形计数器**。

环形计数器是将移位寄存器的末级输出或将各级组合逻辑输出反馈连接到首级数据输入端构成的。

n 级移位寄存器可以构成模 $n(n$ 进制) 的环形计数器，其电路结构如图 5.5.48(a)所示。

扭环形计数器是将移位寄存器的末级输出取反后反馈连接到首级数据输入端构成的。

n 级移位寄存器可以构成模 $2n$ 的偶数进制扭环形计数器，其电路结构如图 5.5.48(b)所示。

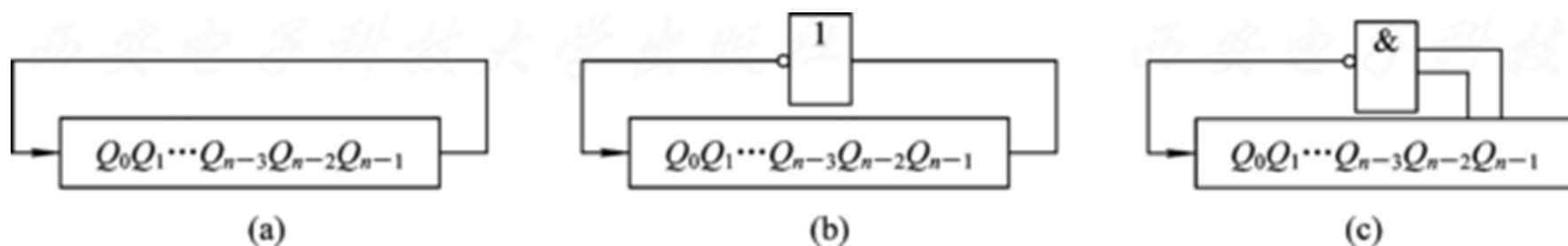


图5.5.48 移位型计数器的基本结构示意图

(a) 环形计数器; (b) 扭环形计数器; (c) 变形扭环形计数器

变形扭环形计数器是将移位寄存器的最后两级输出“与非”后反馈连接到首级数据输入端构成

的。

n 级移位寄存器可以构成模 $2n-1$ 的奇数进制变形扭环形计数器,其电路结构如图 5.5.48(c)所示。

右图是一个用 74LS194 构成的环形计数器。为了保证电路的正常工作,环形计数器一般需要启动脉冲控制其初始状态。

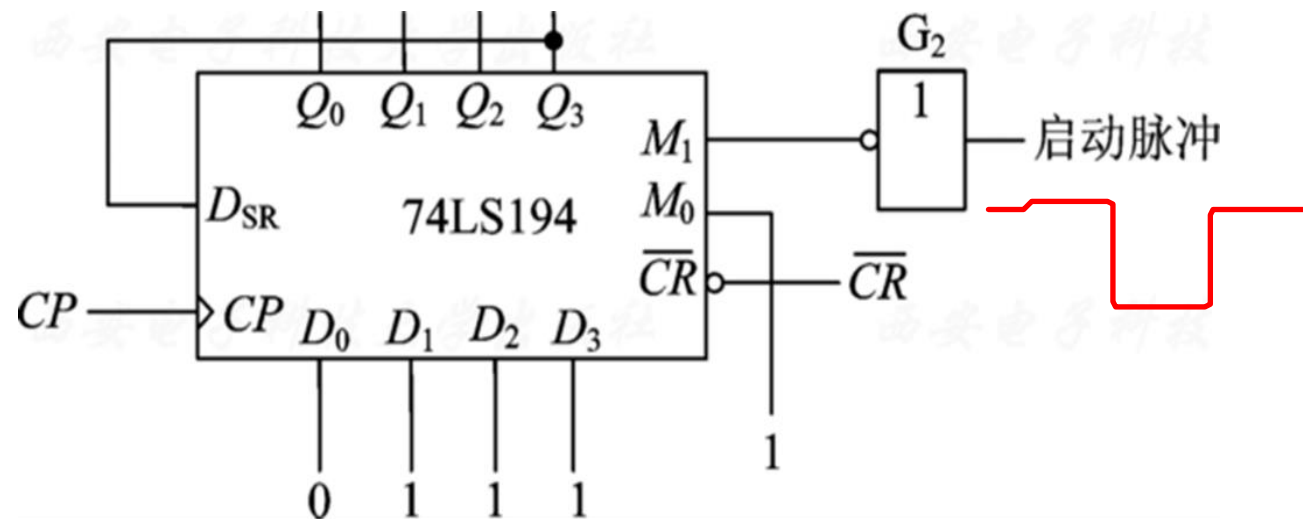


图5.5.49 用74LS194构成环形计数器

表5.5.13 图5.5.49的逻辑功能表

启动脉冲	CP 序号	M_1	M_0	D_{SR}	Q_0	Q_1	Q_2	Q_3	功能
0	1	1	1	1	0	1	1	1	置数
1	2	0	1	1	1	0	1	1	右移
1	3	0	1	1	1	1	0	1	右移
1	4	0	1	1	1	1	1	0	右移
1	5	0	1	1	0	1	1	1	右移

下面对图 5.5.49 电路的自启动功能进行分析。

为了实现自启动功能，可以利用电路的置数功能，当电路处于无效状态时，进行重新置数。

现将状态转移图改为如图所示，将状态 0000、0010、0110、1010 和

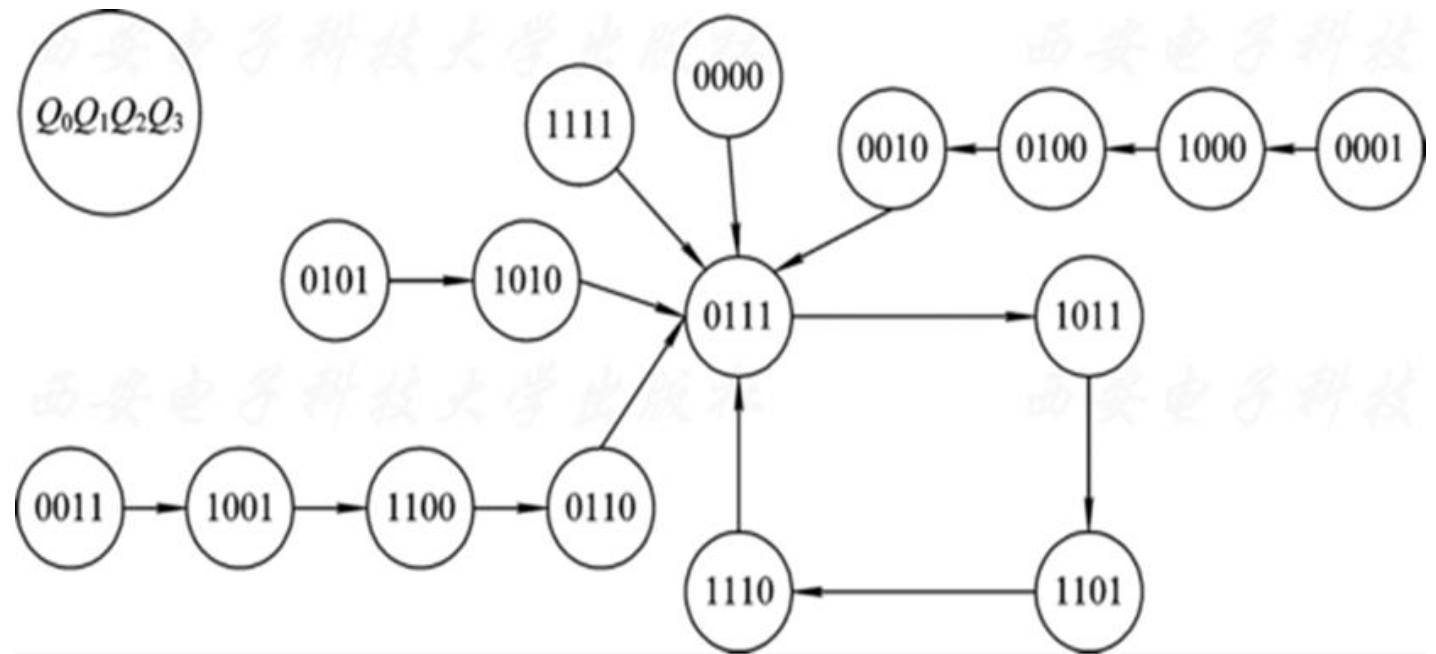


图5.5.51 图5.5.20电路具有自启动功能的状态转移图

1111 的次态设为 0111，并通过控制 $M_1=1$ 端实现。

$M_1=1$ 的卡诺图如图 5.5.52 所示。

图中的“d”表示状态 1110，该状态本身可以自动转换到 0111 态，但是为了 M_1 函数的化简，对其也进行置数考

虑。得到：
$$M_1 = Q_0 Q_1 Q_2 + \overline{Q_0} \overline{Q_1} \overline{Q_3} + Q_2 \overline{Q_3}$$

$Q_0^n Q_1^n \backslash Q_2^n Q_3^n$		$Q_2^n Q_3^n$			
		00	01	11	10
00	1	0	0	1	
01	0	0	0	1	
11	0	0	1	d	
10	0	0	0	1	

M_1

图5.5.52 置数控制信号 M_1 的卡诺图

改进后的电路如图 5.5.53 所示。

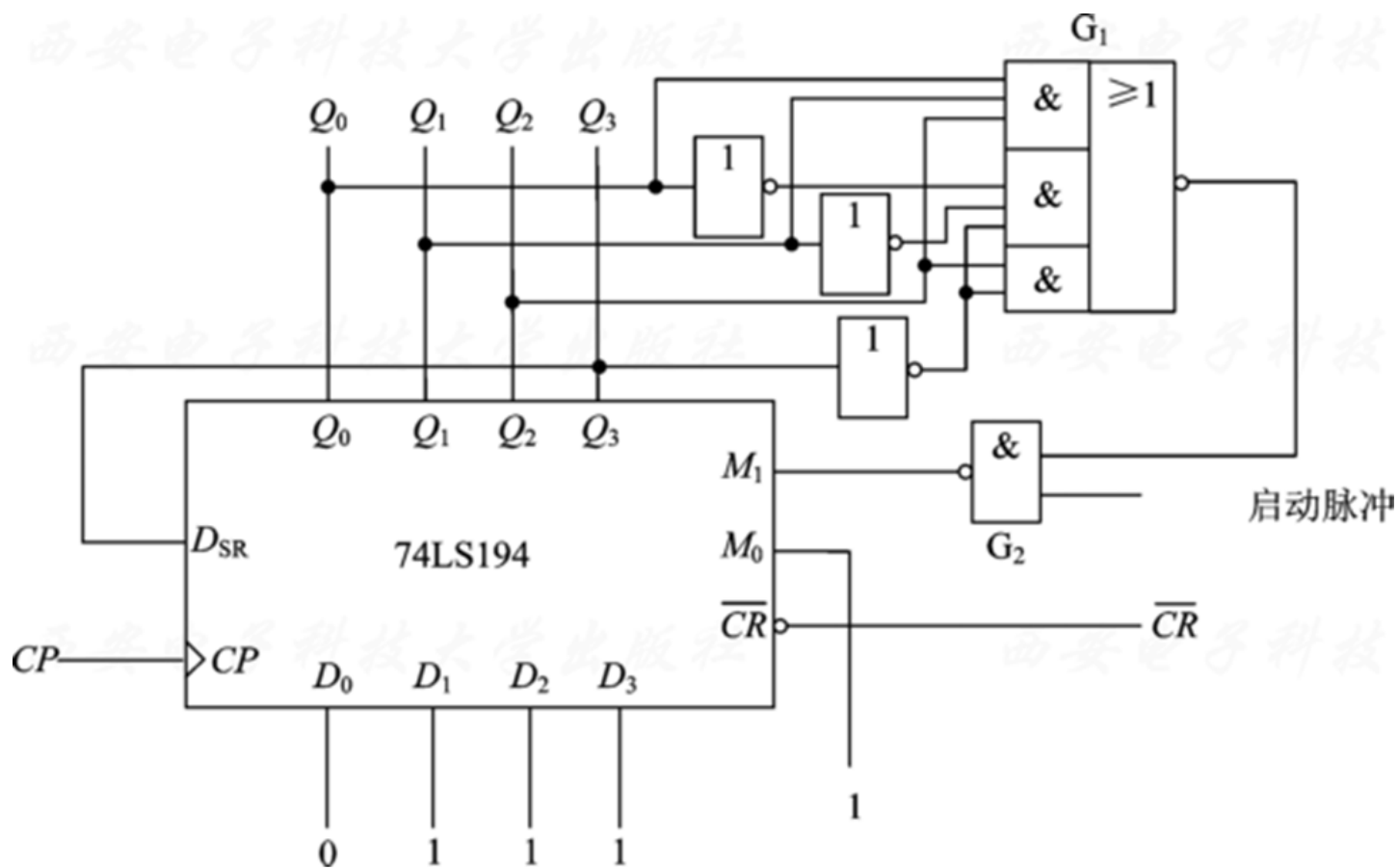


图5.5.53 具有自启动功能的环形计数器

【例 5.5.10】 用 74LS194 分别构成八进制扭环形计数器和七进制变形扭环形计数器，并画出它们的完整的状态转移图。

分析：①构成八进制扭环形计数器。

八进制扭环形计数器需要 4 级移位寄存器，其完整的状态转移图如图 5.5.54 所示。

从状态图可见，该电路有两个 8 状态的循环，

可以任意选取其中一个为主计数循环，另一个则为无效循环。为了保证电路加电后进入主计数循环，应采取一定的措施，如设置启动脉冲。

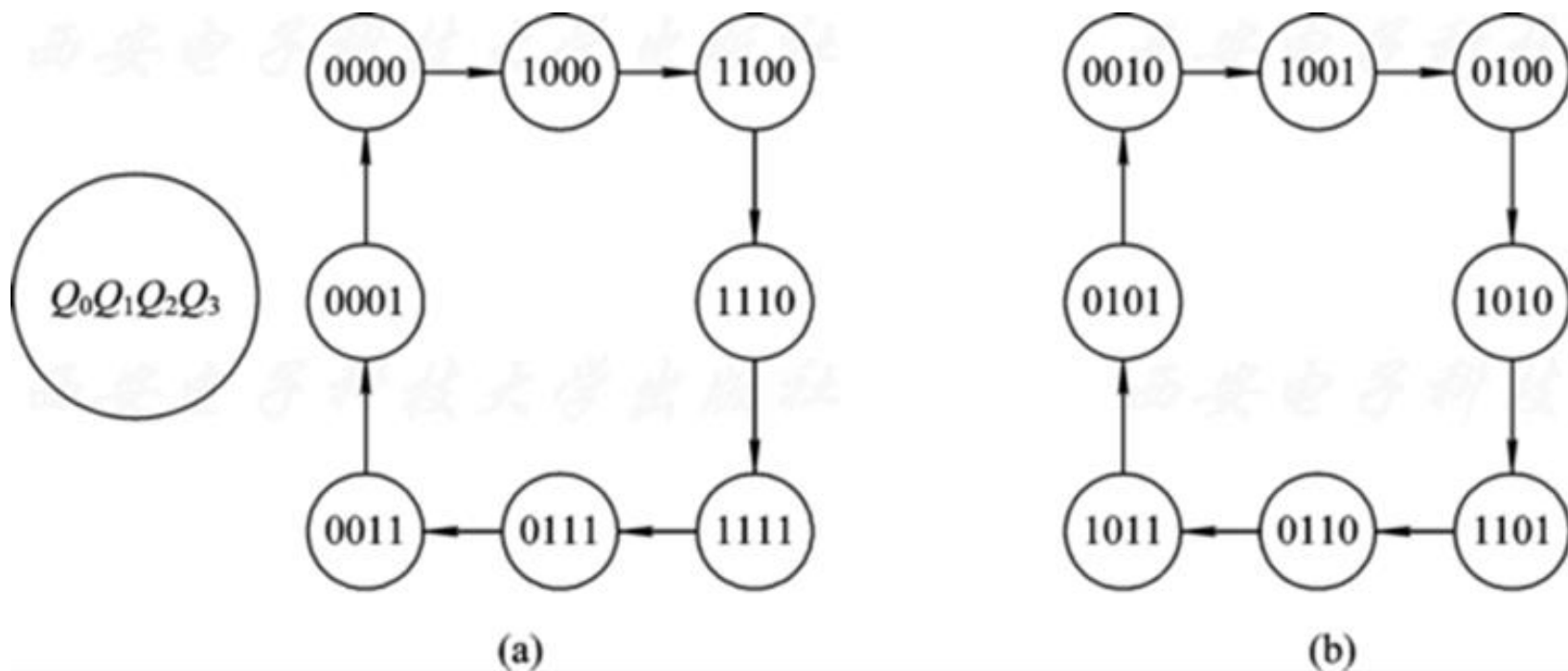


图5.5.54 八进制扭环形计数器全状态转移图

如果选择图 5.5.54(a) 的状态循环为主计数循环，则对应的电路如图 5.5.55 所示。

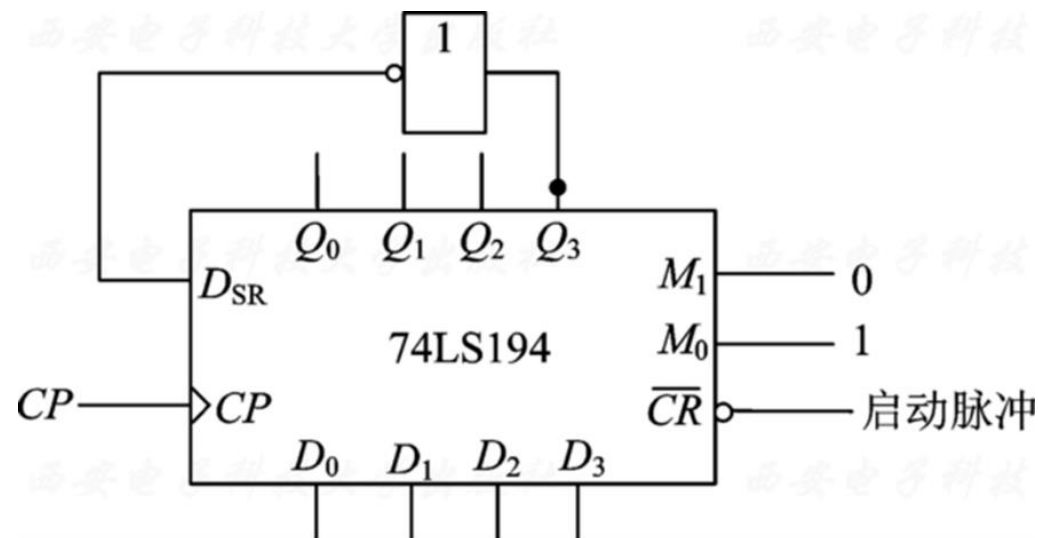


图5.5.55 包含“0000”状态的扭环形计数器电路图

当图 5.5.55 实现的电路处于图 5.5.54(b)中的任意无效状态时，电路的循环状态会发生改变，即按照 5.5.54(b)的状态进行转换。

为了使电路具有自启动功能，将状态转移图

改变为如图 5.5.56 所示,当进入无效态中的“0010”状态时,产生 $\overline{CR}=0$ 脉冲,使电路回到“0000”状态。

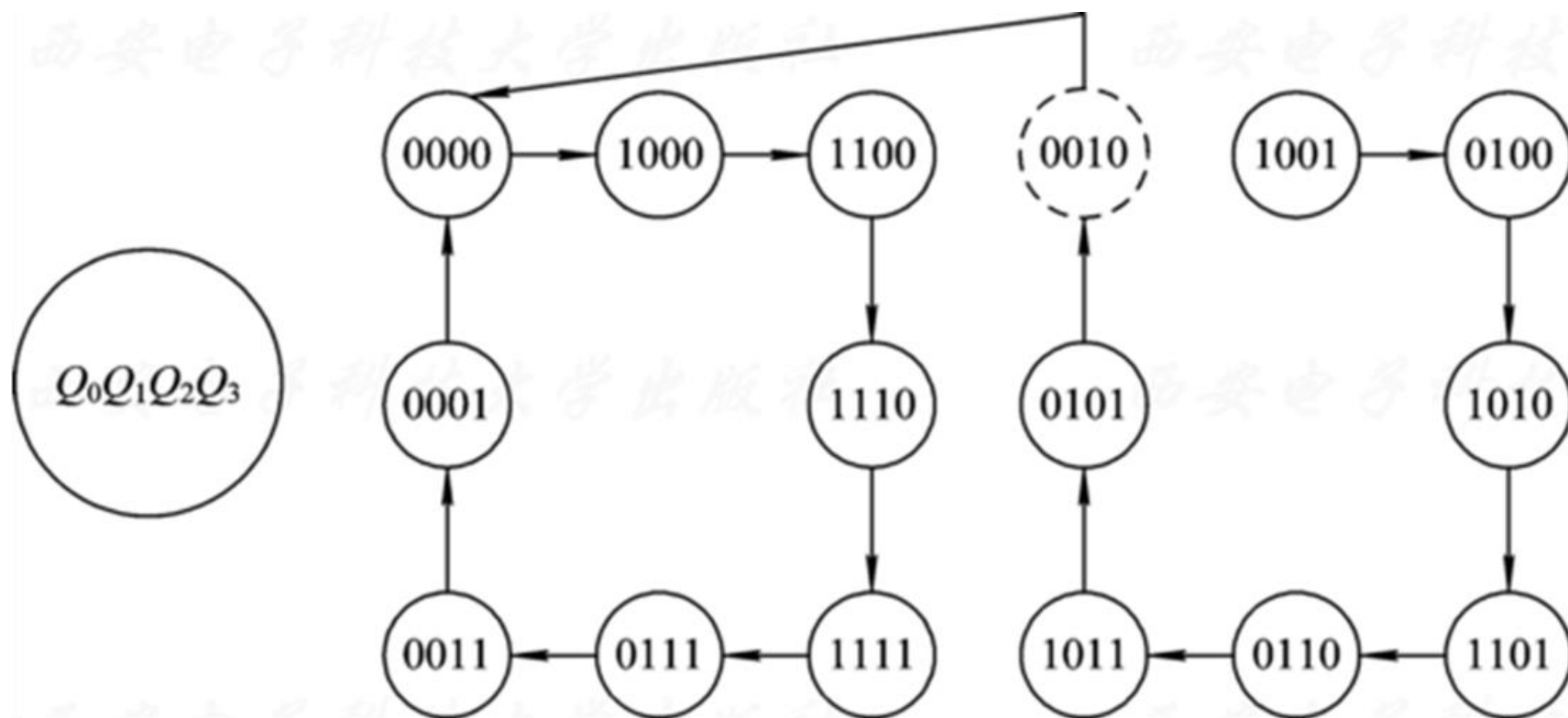


图5.5.56 具有自启动功能的八进制扭环形计数器状态图

实现电路图如图 5.5.57 所示。

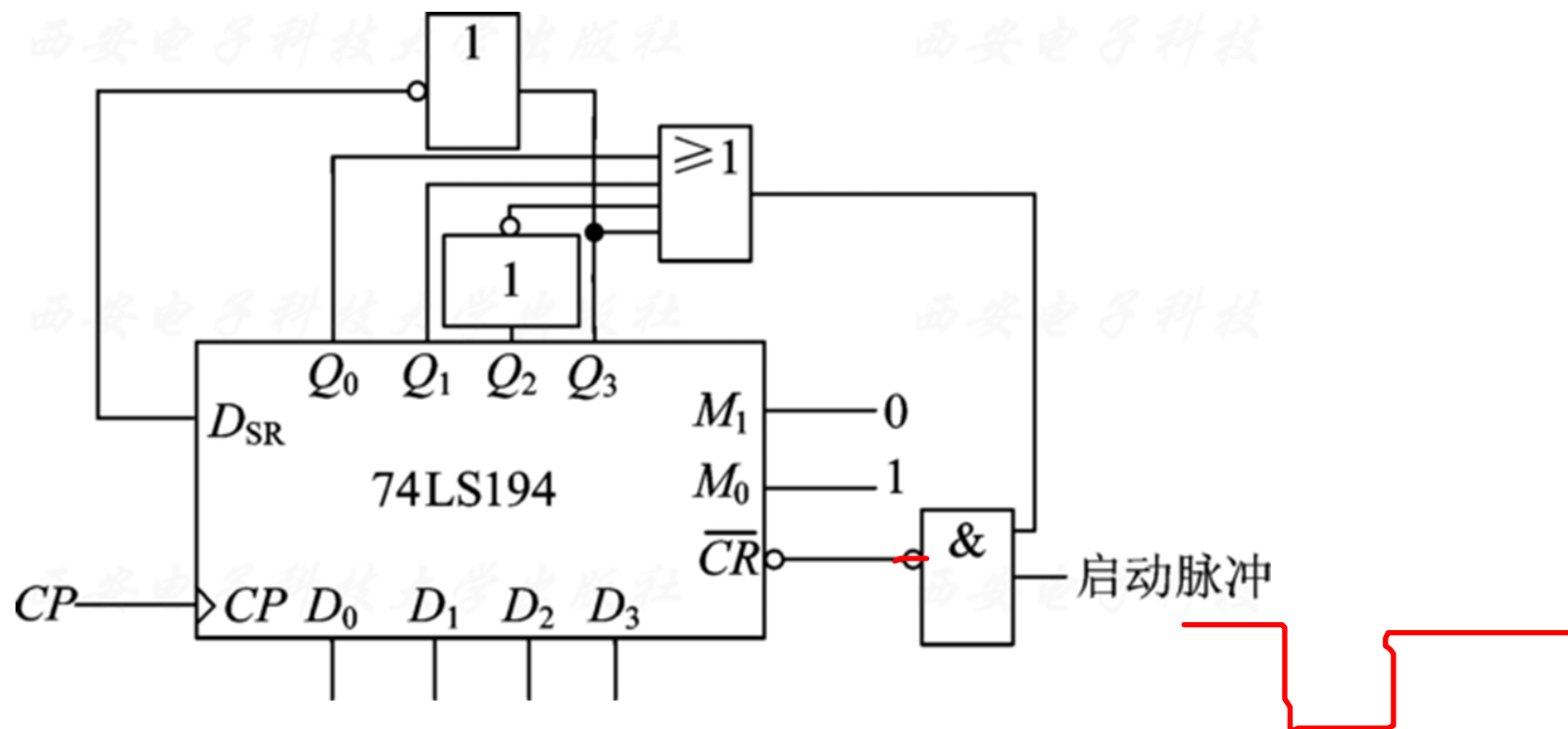


图5.5.57 具有自启动功能的八进制扭环形计数器电路图

②构成七进制变形扭环形计数器

七进制变形扭环形计数器电路如图 5.5.58 所示。

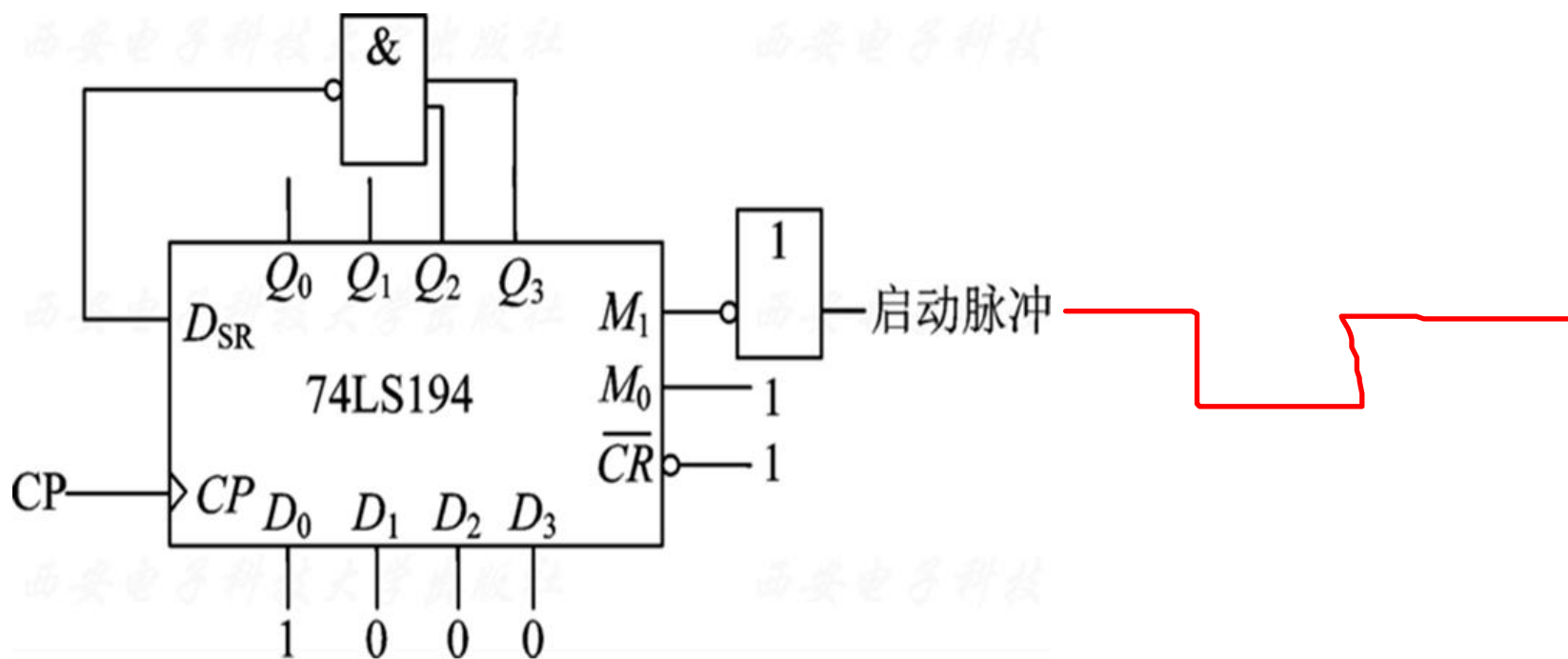


图5.5.58 七进制变形扭环形计数器电路图

电路初始化时，在脉冲控制端加负脉冲，电路实现置数功能，电路初始状态被置为 $Q_0Q_1Q_2Q_3=1000$ ，进入正常的循环状态，电路的完整状态转移图如图 5.5.59 所示。

从图中可以看出，该电路具有自启动功能。

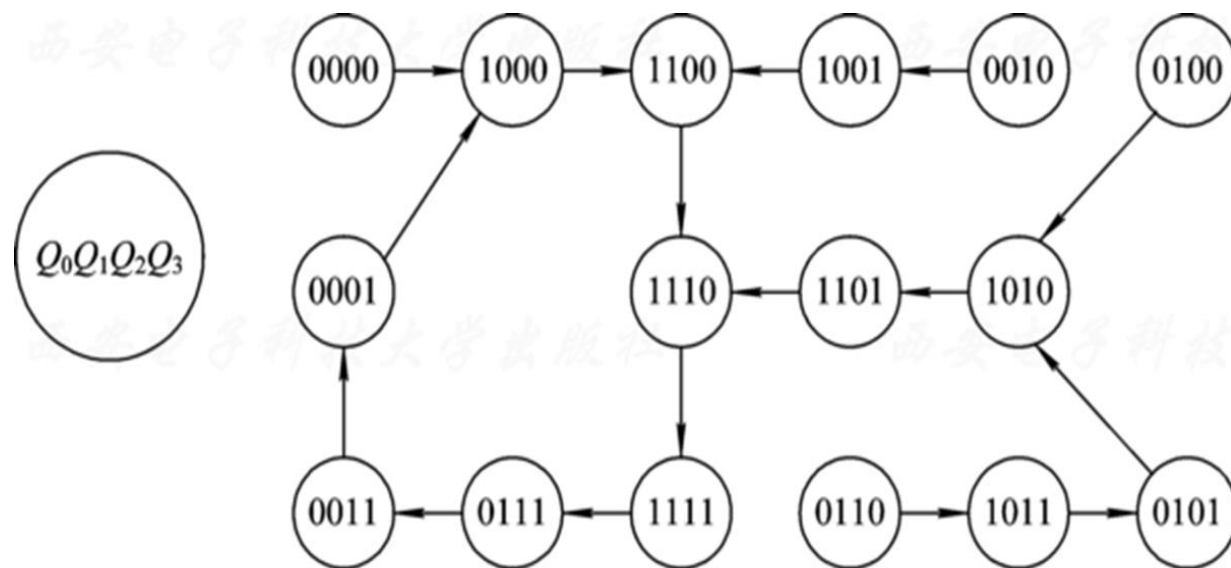


图5.5.59 图5.5.58电路的完整状态转移图