# 文章目录


- 第一章 数字逻辑基础
  - 二进制、八进制、十进制和十六进制之间的转换
  - 8421BCD 码与十进制之间的转换
  - 十进制与原码、反码、补码之间的转换
- 第二章 逻辑门电路
  - 逻辑门
  - TTL 与非门
  - MOS 逻辑电路
- 第三章 逻辑代数
  - 逻辑代数运算法则
  - 逻辑函数标准形式
  - 逻辑函数的公式化简法
  - 逻辑函数的卡诺图化简法
- 第四章 组合逻辑电路
  - 组合逻辑电路分析
  - 组合逻辑电路设计
  - 译码器
  - 多路选择器
- 第五章 触发器
  - 基本 RS 触发器
  - 时钟触发器

- 主从触发器
- 正边沿触发器
- 触发器间的相互转换
- 第六章 时序逻辑电路
  - 同步时序电路分析
  - 同步时序电路设计
  - 计数器（74161）
- 第七章 脉冲波形的产生与变换
  - 555 定时器
  - 施密特触发器
  - 单稳态触发器
  - 多谐振荡器
- 第九章 数模与模数转换
  - 数模转换电路（DAC）
  - 模数转换电路（ADC）
- 第十章 半导体存储器
  - 随机存储器（RAM）
    - RAM 扩展
  - 只读存储器（ROM）

# 第一章 数字逻辑基础

## 二进制、八进制、十进制和十六进制之间的转换

1. 十进制和二进制、八进制、十六进制相互转换

**1. $\gamma$ 进制转换成十进制:**

各种进制数按权展开就已经完成了各种进制向十进制的转换。

$$(111001.01)_2 = (1\times 2^5 + 1\times 2^4 + 1\times 2^3 + 1\times 2^0 + 1\times 2^{-2})_{10} = (57.25)_{10}$$

**2. 十进制转换成 $\gamma$ 进制:**

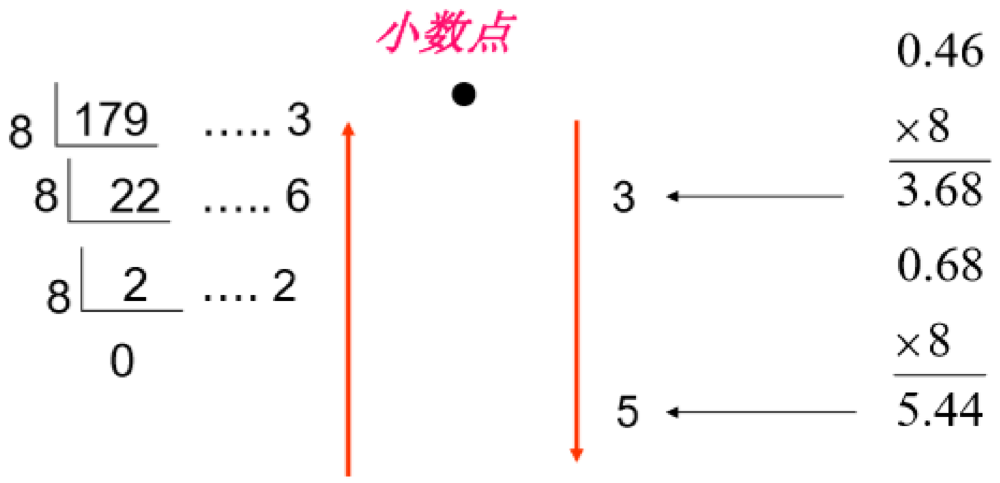
1) 整数部分，除以 $\gamma$ 取余，直到商为0为止，逆序

2) 小数部分，乘 $\gamma$ 取整，顺序



- 例 1.

将 $(179.46)_{10}$ 转换成八进制:




$$(179.46)_{10} = (263.35)_8$$



2. 二进制和八进制、十六进制相互转换

例 1.

### 3. 二进制与八进制间的转换

$8=2^3$ 3位二进制数表示1位八进制数

方法: 以小数点为界向两侧划分，三位一组，不够添0

$(1\ 101\ 110\ 011.\ 101\ 1\ )_2 = (1563.54)_8$

1 5 6 3 5 4

注意：最后一个1:100---4
第一个1: 001---1

$(253.16)_8 = (010101\,011 \cdot 001\ 110)_2$

小数两端的0可被忽略



例 2.

### 4. 二进制与十六进制间的转换

$16=2^4$ 4位二进制数表示1位十六进制数

方法: 以小数点为界向两侧划分，四位一组，不够添0

$(1\ 0101\ 1110\ 1101.1011\ 101)_2 = (15ED.BA)_{16}$

1 5 E D B A

$(3D5E.7A8)_{16} = (11\ 1101\ 0101\ \ 1110.\ 0111\ \ 1010\ \ 1)_2$



## 8421BCD 码与十进制之间的转换

例 1.

$$(85.67)_{10} = (1000\ \ 0101\ \ .0110\ \ 0111)_{8421BCD}$$

$$(0111\ 0010\ 0110\ 1001.\ 1000\ 0011)_{8421BCD} = (\ 7269.83\ )_{10}$$

# 十进制与原码、反码、补码之间的转换

1. 正数

- 原码

0　+　二进制数

符号　　大小

- 反码、补码与原码相同

2. 负数

- 原码：符号位为 1+对应二进制数
- 反码：原码符号位不变，其余取反

- 补码：反码最低有效位加 1

负数:

原码规则：　1+原码

反码规则：　1+反码

补码规则：　1+补码

$$-13=(-1101)_2$$

| | | |
|---|---|---|
| 原码: | 1,1101 | 原码表示 |
| 反码: | 1, 0010 | 反码表示 |
| 补码: | 1, 0011 | 补码表示 |

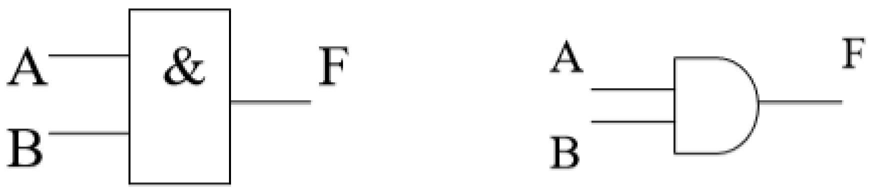


# 第二章 逻辑门电路

## 逻辑门

1. 与门

- 符号



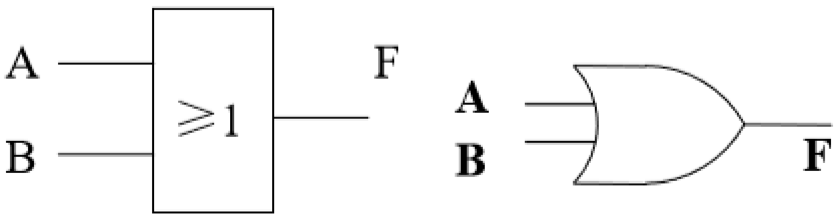
- 表达式

$$F = A \cdot B = AB$$

(A 与 B) (逻辑乘)

2. 或门

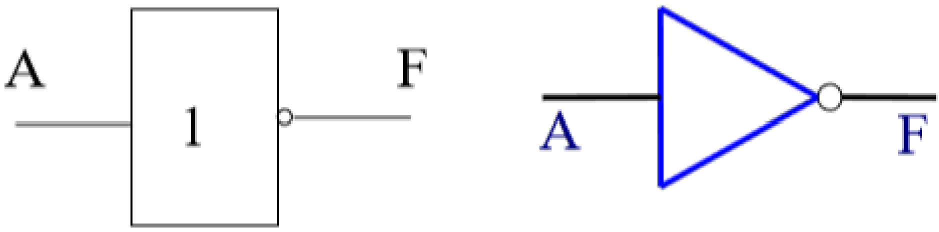
- 符号




- 表达式：F=A+B

3. 非门

- 符号

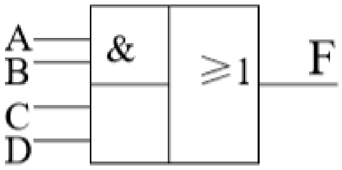



- 表达式

$$F = \overline{A}$$

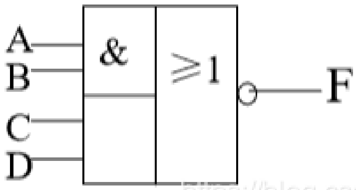
4. 复合逻辑门

与或门




$F=AB+CD$

与或非门



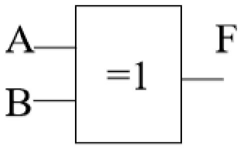

$F=\overline{AB+CD}$

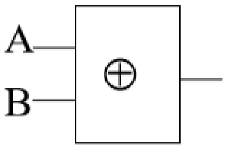


5. 异或门

$F=A\oplus B$

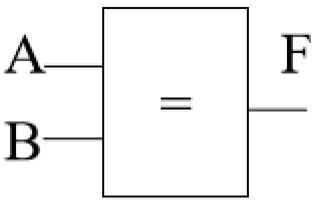
$=\overline{A}B+A\overline{B}$

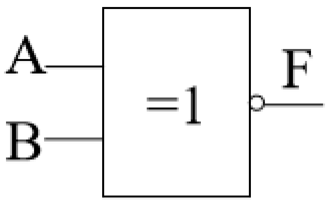



国内使用

6. 同或门




$F=A\odot B=AB+\overline{A}\cdot\overline{B}$

$F=\overline{A\oplus B}$

## TTL 与非门

1. 电压传输特性

**TTL 系列: (典型值)**

**高电平1: 2.8~3.6V;**

**低电平0: 0~0.3V.**

2. 输入/输出特性

门坎电压时的 $R_i$ $\quad R_i = 1.9k\Omega \approx 2k\Omega = R_T$

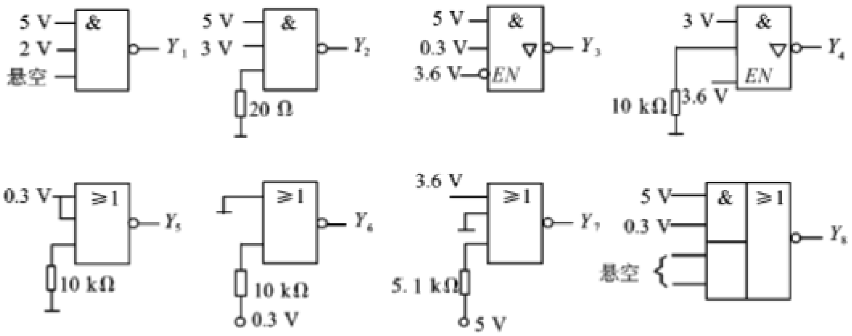
$R_T$ : 门坎电阻

输入端负载电阻 $R_i$ $\begin{cases} \mathbf{R_i < R_T}\text{，等同于逻辑低电平 (0)} \\ \mathbf{R_i > R_T}\text{，等同于逻辑高电平(1)} \\ \mathbf{R_i}\text{ 对地悬空，（∞）逻辑高 (1)} \end{cases}$



3. 例题:

2.3 题图 2.3 中的电路均为 TTL 门电路，试写出各电路输出 $Y_1$~$Y_8$ 状态。




题图 2.3

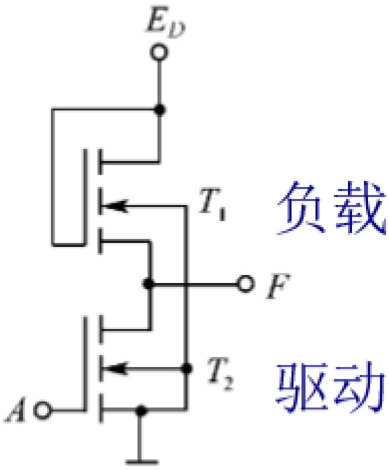
解: $Y_1=0$, $Y_2=1$, $Y_3$=Hi-Z, $Y_4=0$, $Y_5=0$, $Y_6=0$, $Y_7=0$, $Y_8=0$



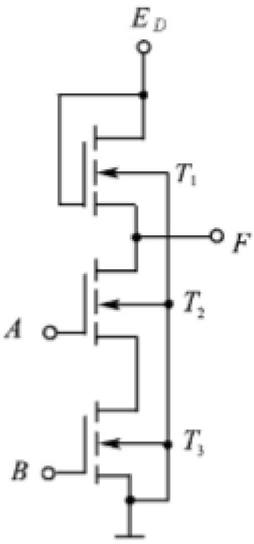
# MOS 逻辑电路

1. NMOS 门电路

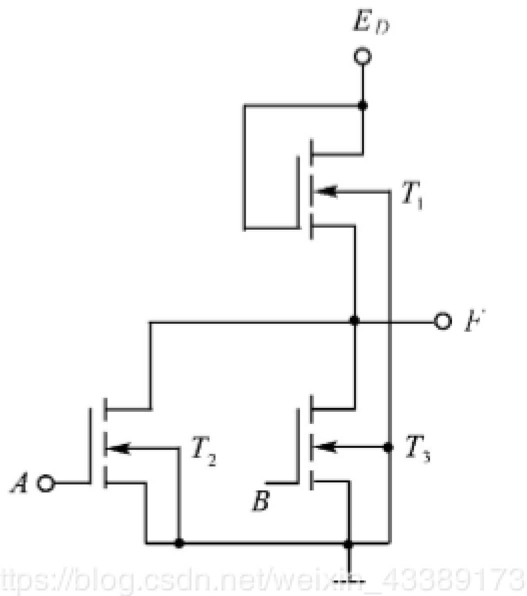
- 非门




- 与非门

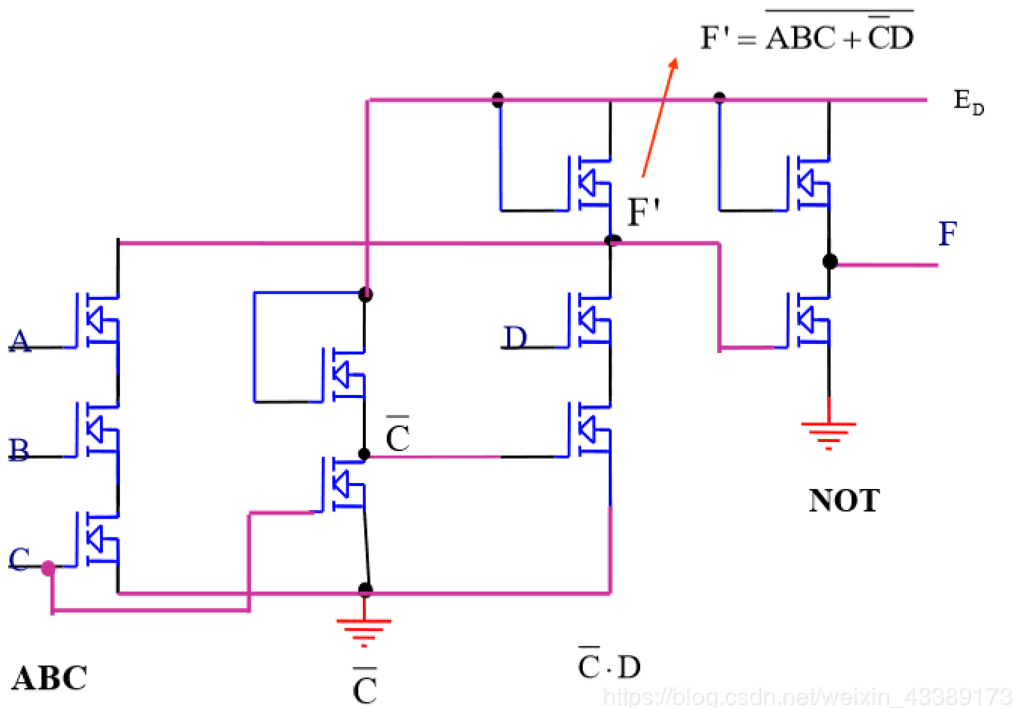


- 或非门



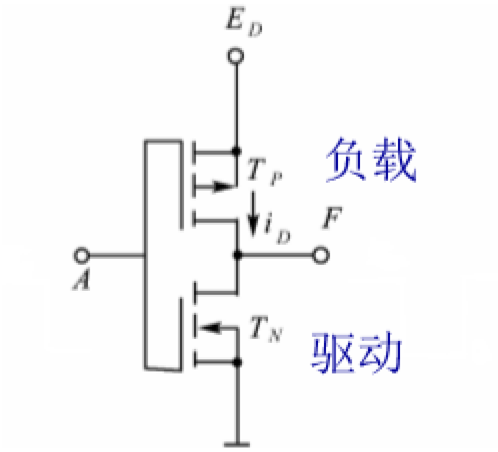

- 例题：

请根据 $F = ABC + \overline{C}D$ 画出一个NMOS电路图：

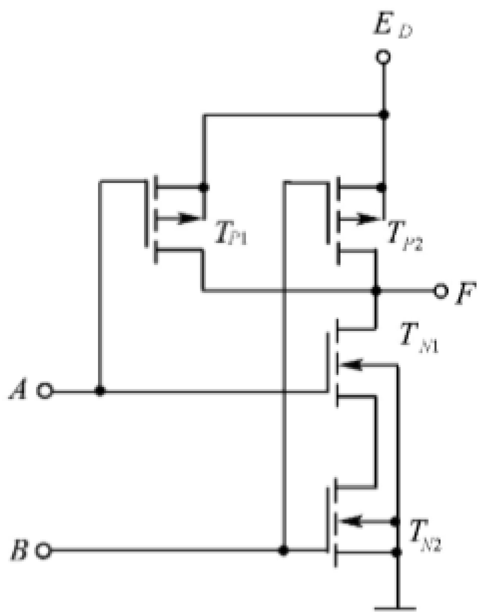



2. CMOS 门电路

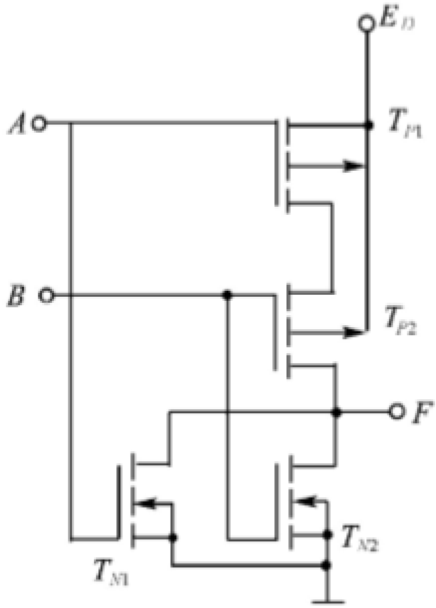
- 非门




- 与非门

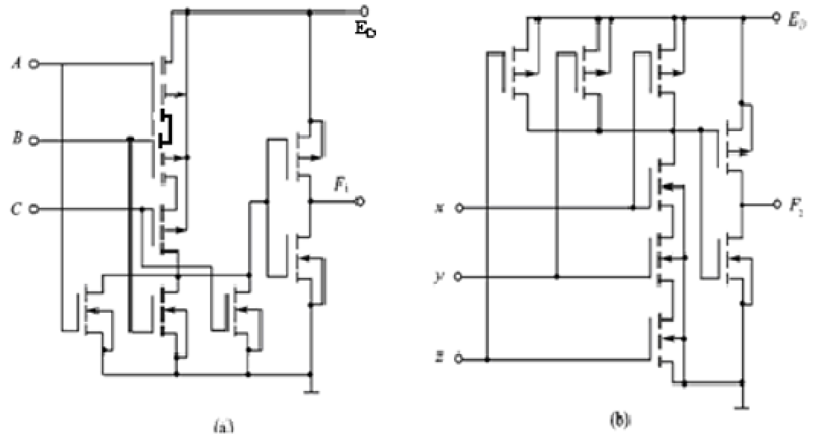


- 或非门



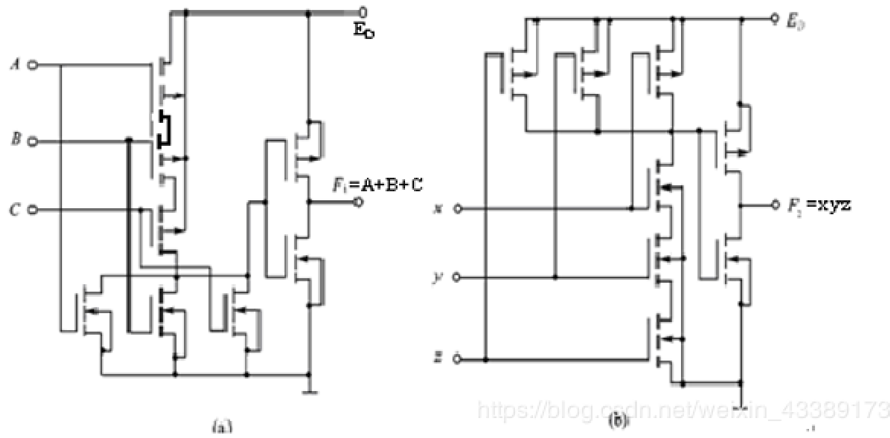
- 例题 1:

2.21　写出题图 2.21 中 CMOS 电路的输出逻辑表达式 $F_1$ 和 $F_2$。



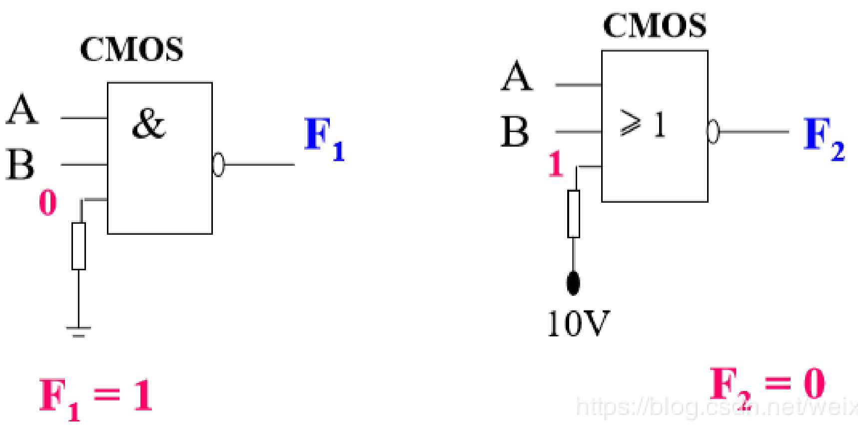

题图 2.21

解:



- 例题 2：

MOS电路的输入电阻 $R_{GS}:>10^{10}\ \Omega$，因此不管外部输入电阻多大，均有 GND → 0，$E_c$ → 1。




# 第三章 逻辑代数

## 逻辑代数运算法则

1. 逻辑代数的基本定律

| | | 加 | 乘 | |
|---|---|---|---|---|
| 1) | 定律 1 | A+B=B+A; | AB=BA | (交换律) |
| 2) | 定律 2 | A+(B+C)=(A+B)+C; | A(BC)=(AB)C | (结合律) |
| 3) | 定律 3 | A+(BC)=(A+B)(A+C); | A(B+C)=AB+AC; | (分配律) |
| 4) | 定律 4 | A+0=A,  A+1=1; | $A\cdot 1=A$,  $A\cdot 0=0$ | |
| 5) | 定律 5 | $A+\overline{A}=1$; | $A\cdot\overline{A}=0$ | (互补律) |
| 6) | 定律 6 | A+A=A; | A • A=A | (重叠律) |
| 7) | 定律 7 | | $\overline{\overline{A}}=A$ | (还原律) |
| 8) | 摩根定理 | $\overline{A+B}=\overline{A}\cdot\overline{B}$; | $\overline{AB}=\overline{A}+\overline{B}$ | (摩根定理) |
| | 推论 | $\overline{A+B+C}=\overline{A}\cdot\overline{B}\cdot\overline{C}$ | $\overline{ABC}=\overline{A}+\overline{B}+\overline{C}$ | |

2. 基本规则

- 反演规则

$$F\left\{\begin{array}{ccc} 1 & \Longleftrightarrow & 0 \\ + & \Longleftrightarrow & \cdot \\ \text{原变量} & \Longleftrightarrow & \text{反变量} \end{array}\right\}\begin{array}{c}\text{新函数}\\ \overline{F}\end{array}$$



- 对偶规则

$$\text{函数 }\mathbf{F}\left\{\begin{array}{ccc} + & \Longleftrightarrow & \bullet \\ 1 & \Longleftrightarrow & 0 \end{array}\right\}\text{新函数 }\mathbf{F'}$$

- 例题：

例 1:

函数 $F=A(B+\overline{C})+CD$

分别给出 $F'$ 和 $\overline{F}$

解:

$$F'=(A+B\overline{C})(C+D)$$

$$\overline{F}=(\overline{A}+\overline{B}C)(\overline{C}+\overline{D})$$

例 2:

$$G=\overline{\overline{W\overline{X}+Y}+\overline{Z}}+X$$

$$G'=\overline{\overline{(W+\overline{X})Y}\cdot\overline{Z}}\cdot X$$

$$\overline{G}=\overline{\overline{(\overline{W}+X)\overline{Y}}\cdot Z}\cdot\overline{X}$$



3. 常用公式

$$A+AB=A;\quad A(A+B)=A$$

$$AB + A\overline{B} = A; \quad (A + B)(A + \overline{B}) = A$$

$$A + \overline{A}B = A + B; \qquad A(\overline{A} + B) = AB$$

$$AB + \overline{A}C + BC = AB + \overline{A}C; \quad (A+B)(\overline{A}+C)(B+C) = (A+B)(\overline{A}+C)$$

$$\text{推论}: AB + \overline{A}C + BCDE = AB + \overline{A}C$$

## 逻辑函数标准形式

1. 最小项及标准与或式

- m 表示。1：原变量，0：反变量
- 任意两最小项之积为 0
- 全体最小项之和为 1
- 标准与或式

$$\left.\begin{aligned} F_1(A,B,C) &= \overline{A}B\overline{C} + AB\overline{C} + \overline{A}BC + ABC \\ &= m_2 + m_6 + m_3 + m_7 \\ &= \sum m(2,3,6,7) \end{aligned}\right\} \text{标准与或式}$$

$m$ 可以忽略



2. 最大项及标准或与式

- M 表示。0：原变量，1：反变量
- 任意两最大项之和为 1
- 全体最大项之积为 0

- 标准或与式

例如:

$$F_2(A,B,C) = \underbrace{(A+B+C)}_{0\ 0\ 0}\underbrace{(A+B+\bar{C})}_{0\ 0\ 1}\underbrace{(\bar{A}+B+C)}_{1\ 0\ 0}\underbrace{(\bar{A}+B+\bar{C})}_{1\ 0\ 1}$$

$$= M_0 \bullet M_1 \bullet M_4 \bullet M_5$$

$$= \prod M(0,1,4,5)$$

M 可以被忽略



3. 两种标准式间的关系

- 最大项与最小项互为反函数
- 如果不在最小项中出现的编码，一定出现在最大项的编号中。

## 逻辑函数的公式化简法

1. 例 1:

$$F = A\bar{B} + \overline{\bar{A}C + \bar{B}C}$$

$$= A\bar{B} + \overline{\bar{A}C} \bullet \overline{\bar{B}C}$$

$$= A\bar{B} + (A+\bar{C})(B+\bar{C})$$

$$= \underbrace{A\bar{B} + AB}_{} + \underbrace{A\bar{C}}_{} + \underbrace{B\bar{C}}_{} + \bar{C}$$

$$= A + \bar{C}$$

2. 例 2:

$$F = \underbrace{A\overline{B}C + A\overline{B}\overline{C}}_{C+\overline{C}\ \text{互补律}} + \overline{D}\overline{E}(B+G) + \overline{D} + (\overline{A}+B)D + A\overline{B}CDE + A\overline{B}DEG$$

吸收律

吸收律

$$= A\overline{B} + \overline{D} + \overline{A\overline{B}}D$$

$$= A\overline{B} + \overline{D} + D \qquad = A\overline{B} + 1 \qquad = 1$$



3. 例 3:

$$G = (A+B+\overline{C})(A+B)(A+\overline{C})(B+\overline{C})$$

解: 对偶规则

$$G' = AB\overline{C} + AB + A\overline{C} + B\overline{C}$$

$$= AB + A\overline{C} + B\overline{C}$$

$$G = (A+B)(A+\overline{C})(B+\overline{C})$$



## 逻辑函数的卡诺图化简法

1. 4 个变量的卡诺图

| F CD \ AB | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 00 | 0 | 4 | 12 | 8 |
| 01 | 1 | 5 | 13 | 9 |
| 11 | 3 | 7 | 15 | 11 |
| 10 | 2 | 6 | 14 | 10 |



2. 最小项时，F 为 1；最大项时，F 为 0

3. 求最简与或式

- 方法：圈相邻格中的 1，合并最小项

- 根据下面规则将含有 1 的相邻格圈在一起：

① 一组必须是一个矩形，$2^n$ 个相邻格

② 尽可能多圈1

③ 每个圈中至少有一个其它圈未圈过的1，1可以重复圈，所有的1都要圈

④ 消去圈内同一变量的原变量和反变量，留下不变的变量是 1 的写原变量，是0 的写反变量，组成“与”项

⑤ 加和各圈之间为“或”关系



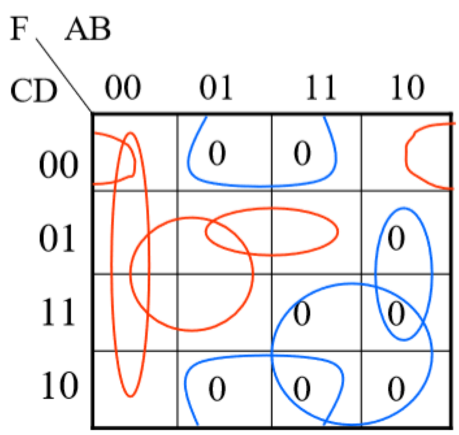
- 例：

例 6:

把下列函数分别简化为最简与或式和最简或与式

$$F(A,B,C,D)=\overbrace{(\underset{1}{\overline{A}}+\underset{1}{\overline{C}})}^{0}\overbrace{(\underset{1}{\overline{A}}+\underset{0}{B}+\underset{1}{\overline{D}})}^{0}\overbrace{(\underset{1}{\overline{B}}+\underset{0}{D})}^{0}\overbrace{(\underset{1}{\overline{A}}+\underset{0}{B}+\underset{1}{\overline{C}}+\underset{0}{D})}^{0}$$

解：画出卡诺图，直接圈出 0




最简或与式：圈 0

$$F(A,B,C,D)=(\overline{B}+D)(\overline{A}+\overline{C})(\overline{A}+B+\overline{D})$$

最简与或式：圈 1

$$F(A,B,C,D)=\overline{A}\cdot\overline{B}+\overline{A}D+B\overline{C}D+\overline{B}\cdot\overline{C}\cdot\overline{D}$$



4. 求最简或与式（圈 0）

5. 具有随意项的逻辑函数的化简

化简时，根据化简需要，ϕ 可作1 或作0;

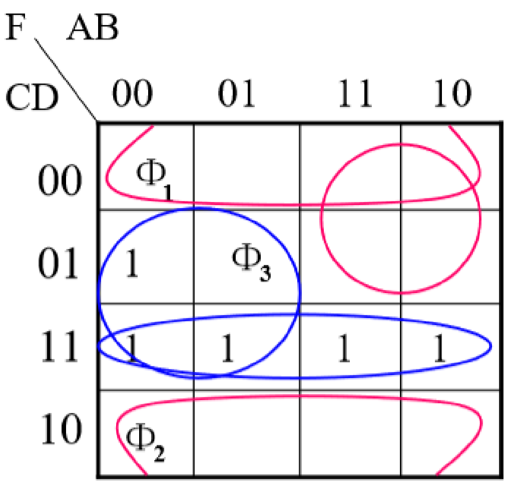
但不能既当1 同时又当0

- 例：

例1: 用卡诺图化简函数

$$F(A,B,C,D)=\sum m(1,3,7,11,15)+d(0,2,5)$$

解：卡诺图　　　下图中的标示：$\Phi_1$, $\Phi_2$, 和 $\Phi_3$




如果：

$\Phi_3=1, \Phi_1=\Phi_2=0$

圈 1:

$$F=CD+\overline{A}D$$

圈 0:

$$F=D(\overline{A}+C)$$



# 第四章 组合逻辑电路

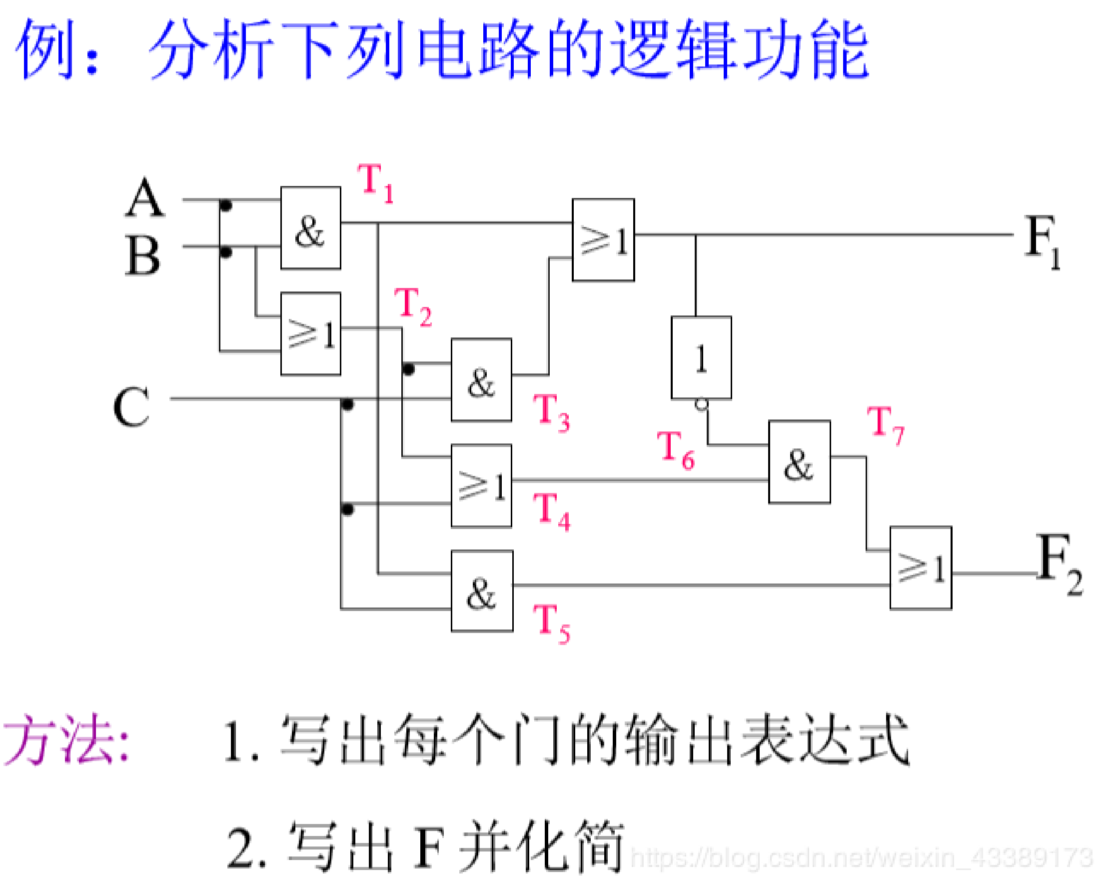
## 组合逻辑电路分析

1. 步骤

- 根据输入逐级写出输出内容
- 化简逻辑功能
- 列出真值表

- 讨论功能

2. 例题：


例：分析下列电路的逻辑功能
A
B
C
&
≥1
&
≥1
&
≥1
1
&
≥1
T1
T2
T3
T4
T5
T6
T7
F1
F2
方法: 1. 写出每个门的输出表达式
2. 写出 F 并化简
https://blog.csdn.net/weixin_43389173

$$T_1 = AB, \qquad T_2 = A + B, \qquad T_3 = (A+B)C,$$

$$T_4 = A + B + C, \qquad T_5 = ABC,$$

$$F_1 = T_1 + T_3 = AB + (A+B)C = AB + AC + BC,$$

$$T_6 = \overline{F_1}$$

$$T_7 = T_6 \cdot T_4 = \overline{AB + AC + BC}(A + B + C)$$

$$= \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C}$$

$$F_2 = T_7 + T_5 = \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC$$



3. 列真值表

$$F_1 = AB + BC + AC$$

$$= \sum(3,5,6,7)$$

$$F_2 = \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC$$

4. 分析

$$F_1 = AB + BC + AC$$

$$F_2 = \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC$$

$$= \bar{A}(\bar{B}C + B\bar{C}) + A(\bar{B}\bar{C} + BC)$$

$$= \bar{A}(B \oplus C) + A\overline{(B \oplus C)}$$

$$= A \oplus B \oplus C$$

真值表

| A | B | C | $F_1$ | $F_2$ |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 |

三变量表决电路　　奇偶校验



## 组合逻辑电路设计

1. 步骤

- 确定输入、输出以及它们之间的关系
- 列出真值表

- 化简

- 画出逻辑电路图

2. 例题：

## 例 1：设计三变量表决电路

三人选组长，同意为**1**，不同意为**0**；两票以上同意为当选（为**1**），未当选为**0**。

三人：A, B, C { **1** 同意 / **0** 不同意

当选：F { **1** 当选 / **0** 未当选

| A | B | C | F |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |



| A | B | C | F |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

| F \ C, AB | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 1 |

$$F = AB + AC + BC$$

(电路)

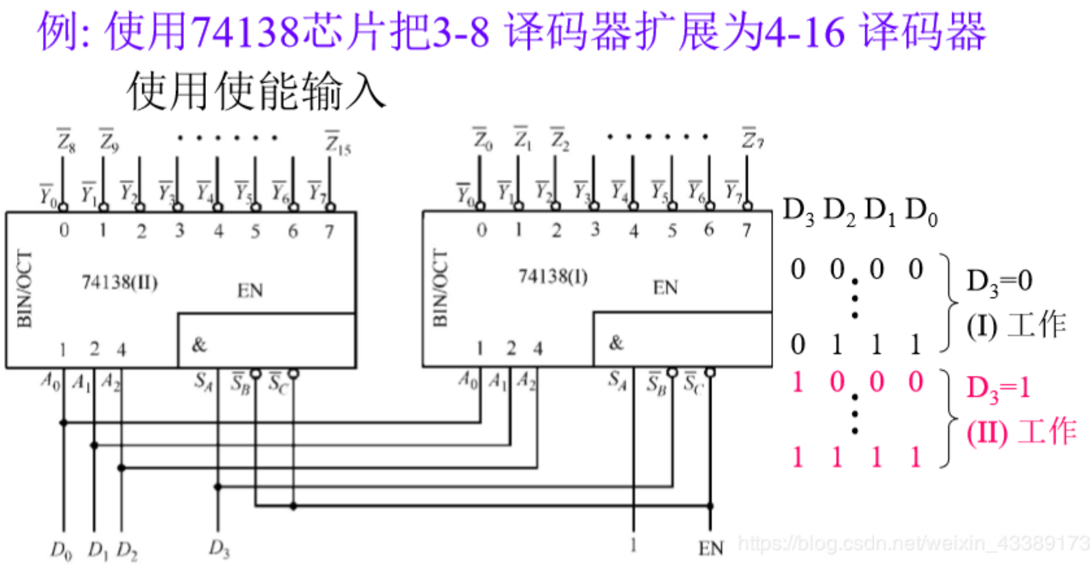
# 译码器

1. 二进制译码器

- 低电平有效 3-8 译码器：集成芯片 74138

$$\begin{cases} S_A & \text{高电平有效} \\ \left.\begin{matrix} \overline{S}_B \\ \overline{S}_C \end{matrix}\right\} & \text{低电平有效} \end{cases}$$

- 例题：



2. 使用译码器实现逻辑功能

## 例: 使用译码器和逻辑门实现以下功能函数

$$F_1(A,B,C)=A\overline{B}+B\overline{C}+\overline{A}\cdot\overline{C}$$

$$F_2(A,B,C)=(A+\overline{B}+C)(\overline{B}+\overline{C})$$

标准式

$F_1$

| C \ AB | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 0 | 1 | 1 | 1 | 1 |
| 1 | | | | 1 |

$F_2$

| C \ AB | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 0 | | 0 | | |
| 1 | | 0 | 0 | |

$$F_1(A,B,C)=\sum(0,2,4,5,6)=\prod(1,3,7)$$

$$F_2(A,B,C)=\sum(0,1,4,5,6)=\prod(2,3,7)$$



## 方法1:

译码器 + 或门

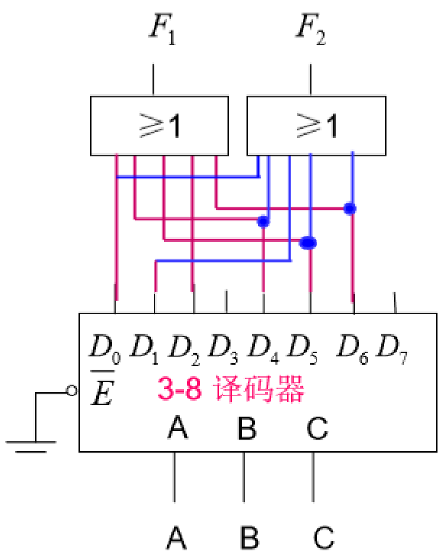
使用高电平有效译码器

输出：最小项

标准与或式

$$F_1(A,B,C)=\sum(0,2,4,5,6)$$

$$F_2(A,B,C)=\sum(0,1,4,5,6)$$



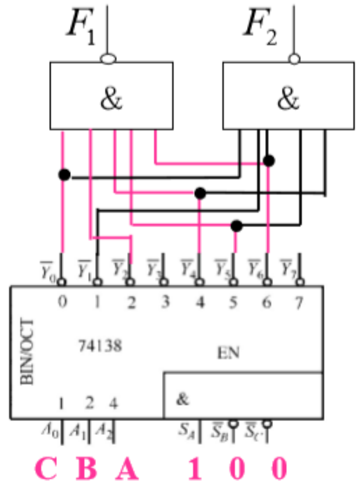
方法 2:

译码器+ 与非门

使用低电平有效译码器(74138)

与非门 → 最小项

$$F_1(A,B,C)= m_0 + m_2 + m_4 + m_5 + m_6$$
$$= \overline{\overline{m_0 + m_2 + m_4 + m_5 + m_6}}$$
$$= \overline{\overline{m}_0 \bullet \overline{m}_2 \bullet \overline{m}_4 \bullet \overline{m}_5 \bullet \overline{m}_6}$$




标准与或式 → 与非门

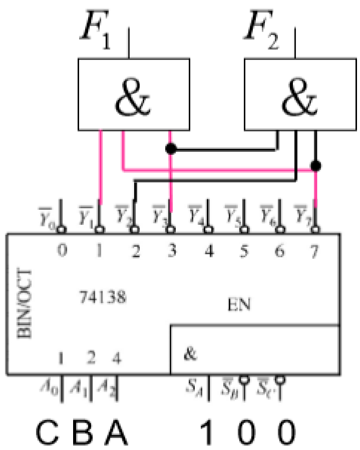


方法 3: 译码器 + 与门

低电平有效译码器(74138)

$$F_1(A,B,C) = \Pi\ (1,3,7)$$
$$= M_1 \bullet M_3 \bullet M_7$$
$$= \overline{m}_1 \bullet \overline{m}_3 \bullet \overline{m}_7$$

$$F_2(A,B,C) = \Pi\ (2,3,7)$$
$$= M_2 \bullet M_3 \bullet M_7$$
$$= \overline{m}_2 \bullet \overline{m}_3 \bullet \overline{m}_7$$



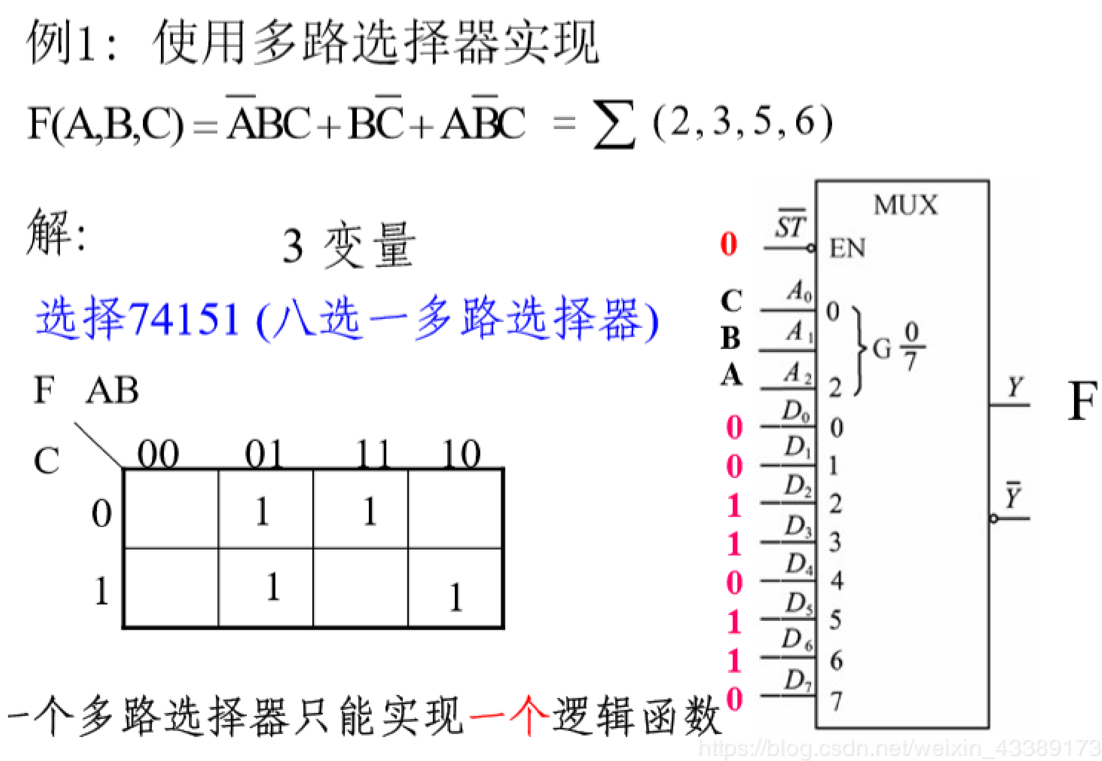

标准与或式: 低电平有效译码器+ 与门



## 多路选择器

1. 四选一多路选择器：集成芯片 74153，使能端：低电平有效
2. 八选一多路选择器：集成芯片 74151，使能端：低电平有效

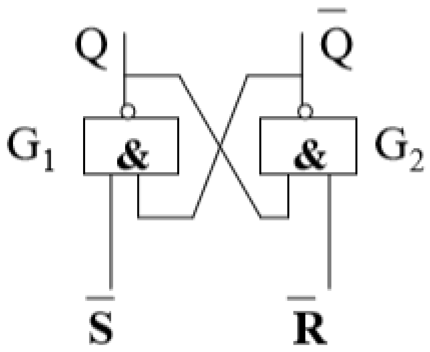
3. 例题：




# 第五章 触发器

## 基本 RS 触发器

1. 电路图



2. 状态图

| $\overline{R}$ | $\overline{S}$ | $Q^{n+1}$ |
|---|---|---|
| 0 | 1 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | $Q^n$ |
| 0 | 0 | 不确定 |



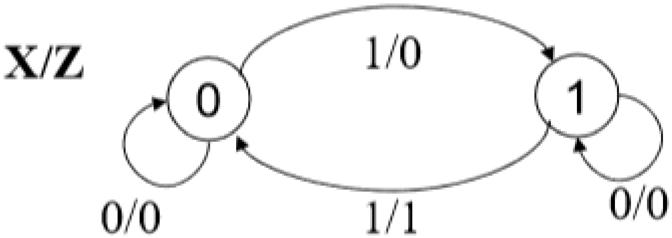
3. 特征方程

| $Q^n$ \ $Q^{n+1}$ $\overline{R}\,\overline{S}$ | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 0 | Φ | 0 | 0 | 1 |
| 1 | Φ | 0 | 1 | 1 |



$$\begin{cases} Q^{n+1} = \overline{\overline{S}} + \overline{R}Q^n \\ \overline{S} + \overline{R} = 1 \end{cases}$$

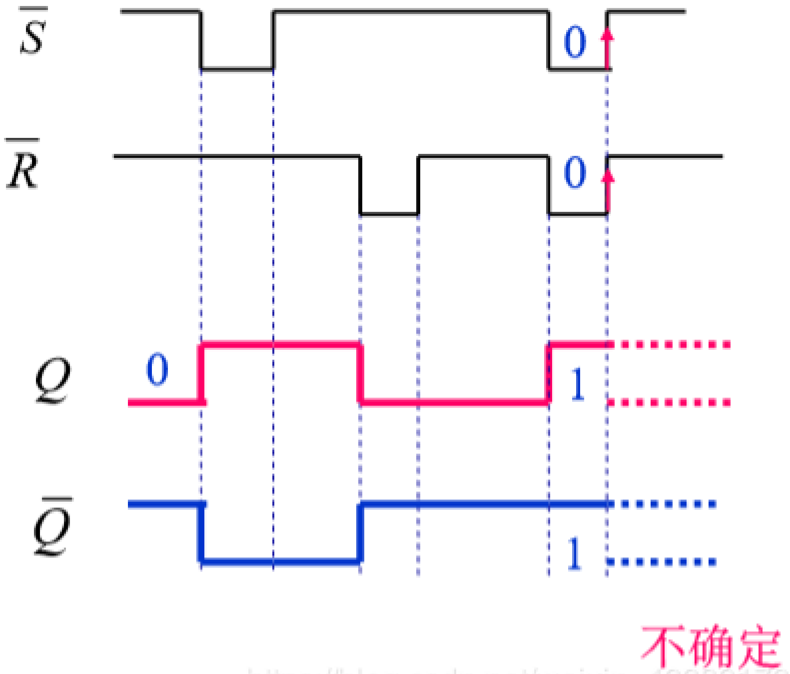
4. 状态转移图和激励表




基本RS触发器激励表

| 输出激励表 | | 输入 | |
|---|---|---|---|
| $Q^n$ | $\rightarrow Q^{n+1}$ | $\overline{R}$ | $\overline{S}$ |
| 0 | 0 | Φ | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | Φ |

5. 时序图

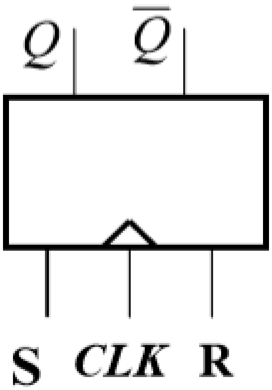




# 时钟触发器

1. 时钟 RS 触发器

- 符号



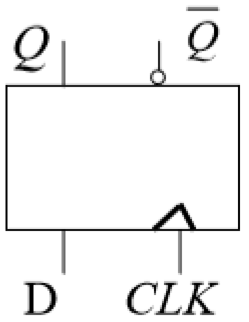
- 特征方程

$$\begin{cases} Q^{n+1} = S + \overline{R}Q^{n} \\ S \cdot R = 0 \end{cases}$$

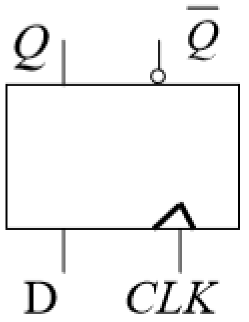
（不同时为1）

2. 时钟 D 触发器

- 符号

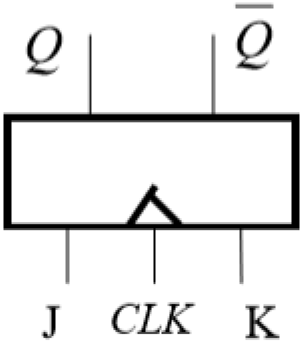



- 特征方程




3. 时钟 JK 触发器

- 符号

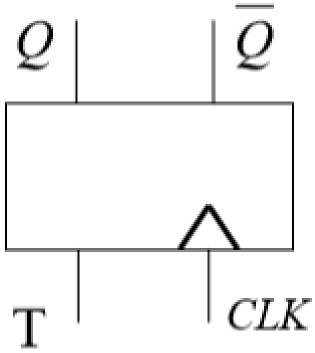



- 特征方程

$$Q^{n+1} = J\overline{Q^n} + \overline{K}Q^n$$

4. 时钟 T 触发器

- 符号




- 特征方程

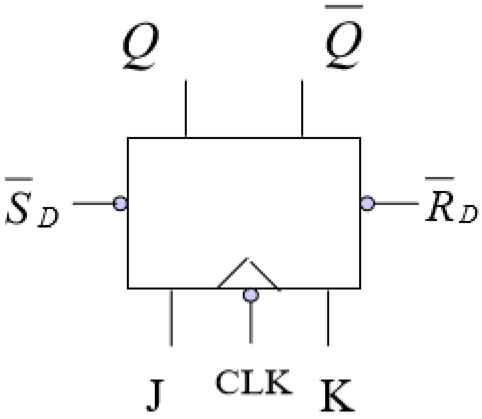
$$\begin{cases} T=0, \quad Q^{n+1} = Q^n \quad \text{状态不变} \\ T=1, \quad Q^{n+1} = \overline{Q}^n \quad \text{状态翻转} \end{cases}$$

## 主从触发器

1. 作用：克服触发器空翻

2. 下边沿触发

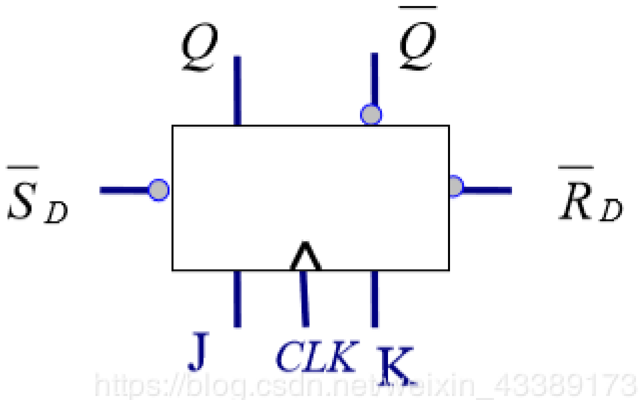
3. 符号（以 JK 触发器为例）:




## 正边沿触发器

1. 上边沿触发

2. 符号（以 JK 触发器为例）:



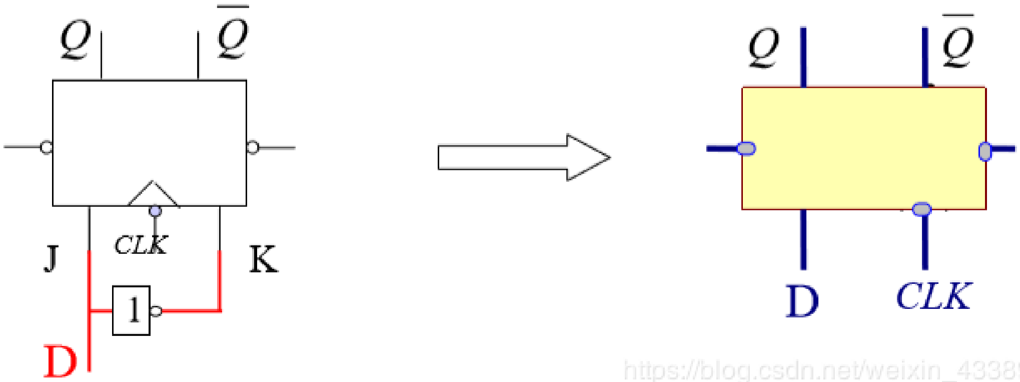

## 触发器间的相互转换

1. JK 触发器转换为 D 触发器

$$J\overline{Q}^n + \overline{K}Q^n = D\ (\overline{Q}^n + Q^n)$$
$$= D\overline{Q}^n + DQ^n$$

$$\therefore\ J=D,\ K=\overline{D}$$

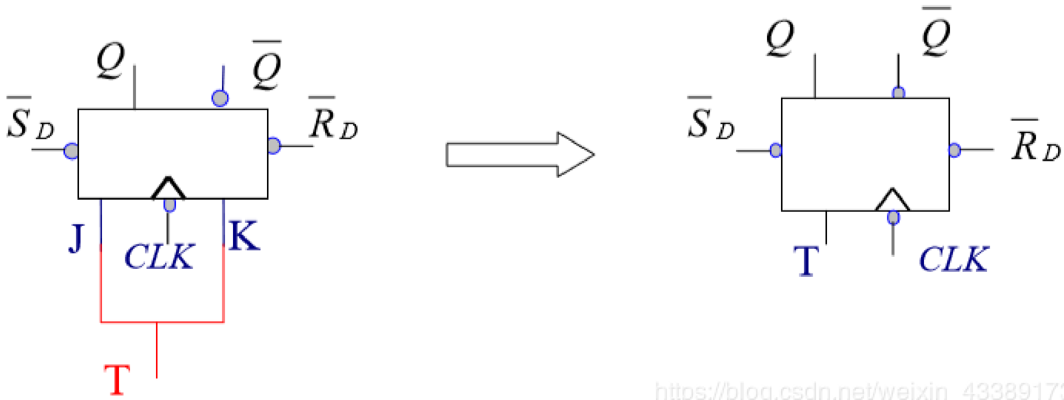
添加非门



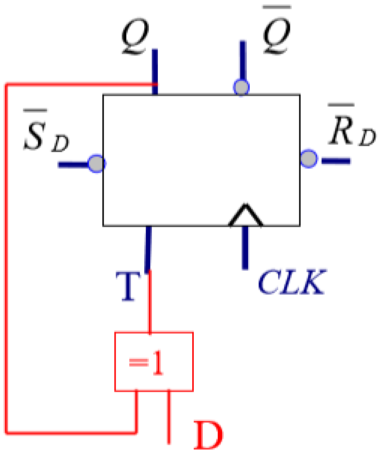



2. JK 触发器转换为 T 触发器

$$\left.\begin{aligned}&\text{给定触发器:}\quad Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n\\&\text{目标触发器:}\quad Q^{n+1} = T\oplus Q^n = T\overline{Q}^n + \overline{T}Q^n\end{aligned}\right\}\ J=K=T$$



3. T 触发器转换为 D 触发器




给定触发器：$Q^{n+1} = T \oplus Q^n$

目标触发器：$Q^{n+1} = D$

$$T \oplus Q^n = D$$

$$T = D \oplus Q^n$$



# 第六章 时序逻辑电路

## 同步时序电路分析

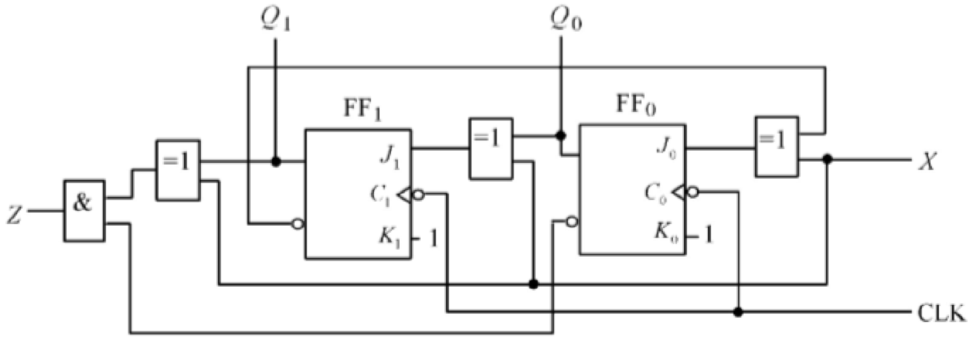
1. 写出输出方程、激励方程、状态方程

2. 画出状态表和状态图

3. 分析电路功能

- 例题

例1：分析同步时序电路的逻辑功能




**1)** 输入 $X$ 控制输入 $J_0$, $K_0$, $J_1$, $K_1$

输出 $Z$ 状态 $Q_1$ (MSB), $Q_0$



2) 方程组

输出方程

$$Z = (X \oplus Q_1^n) \cdot \overline{Q_0^n}$$

激励方程

$$\begin{cases} J_0 = X \oplus \overline{Q_1^n} \\ K_0 = 1 \end{cases} \qquad \begin{cases} J_1 = X \oplus Q_0^n \\ K_1 = 1 \end{cases}$$

状态方程

$$\begin{cases} Q_0^{n+1} = J_0 \overline{Q_0^n} + \overline{K_0} Q_0^n = (X \oplus \overline{Q_1^n}) \cdot \overline{Q_0^n} \\ Q_1^{n+1} = J_1 \overline{Q_1^n} + \overline{K_1} Q_1^n = (X \oplus Q_0^n) \cdot \overline{Q_1^n} \end{cases}$$

## 3) 状态表和状态图

给定：输入 $X$，$Q^n$

求出：输出 $Z$，$Q^{n+1}$

$$Q_1^{n+1} = (X \oplus Q_0^n) \cdot \overline{Q_1^n}$$

$$Q_0^{n+1} = (X \oplus \overline{Q_1^n})\overline{Q_0^n}$$

$$Z = (X \oplus Q_1^n) \cdot \overline{Q_0^n}$$

### 状态表

| | $X$ | $Q_1^n$ | $Q_0^n$ | $Q_1^{n+1}$ | $Q_0^{n+1}$ | $Z$ |
|---|---|---|---|---|---|---|
| $X$=0 | 0 | 0 | 0 | 0 | 1 | 0 |
| | 0 | 0 | 1 | 1 | 0 | 0 |
| | 0 | 1 | 0 | 0 | 0 | 1 |
| | 0 | 1 | 1 | 0 | 0 | 0 |
| $X$=1 | 1 | 0 | 0 | 1 | 0 | 1 |
| | 1 | 0 | 1 | 0 | 0 | 0 |
| | 1 | 1 | 0 | 0 | 1 | 0 |
| | 1 | 1 | 1 | 0 | 0 | 0 |

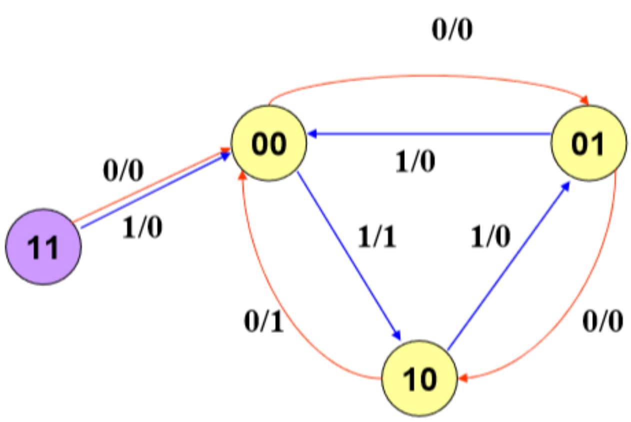
$X$=0
$$\begin{cases} Q_1^{n+1} = Q_0^n \cdot \overline{Q}_1^n \\ Q_0^{n+1} = \overline{Q_1^n} \cdot \overline{Q_0^n} \\ Z = Q_1^n \cdot \overline{Q_0^n} \end{cases}$$

$X$=1
$$\begin{cases} Q_1^{n+1} = \overline{Q_0^n} \cdot \overline{Q_1^n} \\ Q_0^{n+1} = Q_1^n \cdot \overline{Q_0^n} \\ Z = \overline{Q_1^n} \cdot \overline{Q_0^n} \end{cases}$$



### 状态图

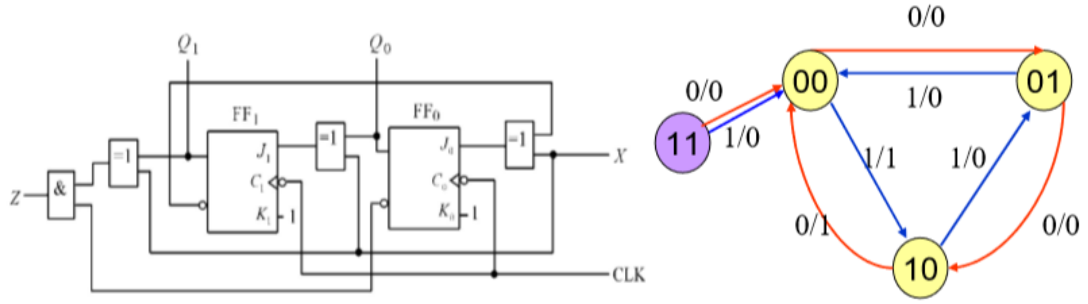
$X/Z$ $Q_1Q_0$




状态表

| $X$ | $Q_1^n$ | $Q_0^n$ | $Q_1^{n+1}$ | $Q_0^{n+1}$ | $Z$ |
|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 |

## 4) 电路功能




状态图的主要环路:
模3 加减法可逆计数器

**X=0, M-3** 加法计数器：**Z = 1**，进位输出

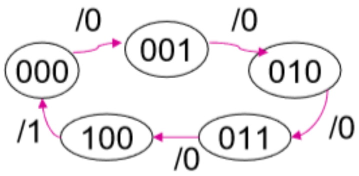
**X=1, M-3** 减法计数器：**Z = 1**，借位输出



# 同步时序电路设计

1. 画出状态转换图
2. 状态化简
3. 状态分配，列出状态转换编码表
4. 选择触发器类型
5. 求状态方程、驱动方程、输出方程
6. 画电路图
7. 检查电路能否自启动

- 例：设计模五计数器




**5** 有效状态

$Q_3^n Q_2^n Q_1^n \xrightarrow{/Z} Q_3^{n+1} Q_2^{n+1} Q_1^{n+1}$

**$5 < 2^3$　　3 个FF**

直接填入卡诺图

Z

| $Q_1^n$ \ $Q_3^n Q_2^n$ | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 0 | 0 | 0 | Φ | 1 |
| 1 | 0 | 0 | Φ | Φ |

$Q_3^{n+1}$

| $Q_1^n$ \ $Q_3^n Q_2^n$ | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 0 | 0 | 0 | Φ | 0 |
| 1 | 0 | 1 | Φ | Φ |

$Q_2^{n+1}$

| $Q_1^n$ \ $Q_3^n Q_2^n$ | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 0 | 0 | 1 | Φ | 0 |
| 1 | 1 | 0 | Φ | Φ |

$Q_1^{n+1}$

| $Q_1^n$ \ $Q_3^n Q_2^n$ | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 0 | 1 | 1 | Φ | 0 |
| 1 | 0 | 0 | Φ | Φ |

| $Q_3^{n+1}$: $Q_1^n \backslash Q_3^nQ_2^n$ | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 0 | 0 | 0 | Φ | 0 |
| 1 | 0 | 1 | Φ | Φ |

| $Q_2^{n+1}$: $Q_1^n \backslash Q_3^nQ_2^n$ | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 0 | 0 | 1 | Φ | 0 |
| 1 | 1 | 0 | Φ | Φ |

| $Q_1^{n+1}$: $Q_1^n \backslash Q_3^nQ_2^n$ | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 0 | 1 | 1 | Φ | 0 |
| 1 | 0 | 0 | Φ | Φ |

$$Q_3^{n+1} = Q_2^nQ_1^n$$
$$= D_3$$
$$D_3 = Q_2^nQ_1^n$$

$$Q_2^{n+1} = Q_1^n\overline{Q}_2^n + \overline{Q}_1^nQ_2^n$$
$$= Q_1^n \oplus Q_2^n$$
$$= T_2 \oplus Q_2^n$$
$$T_2 = Q_1^n$$

$$Q_1^{n+1} = \overline{Q}_3^n\overline{Q}_1^n$$
$$= D_1$$

或者

$$\begin{cases} J_1 = \overline{Q}_3^n \\ K_1 = 1 \end{cases}$$

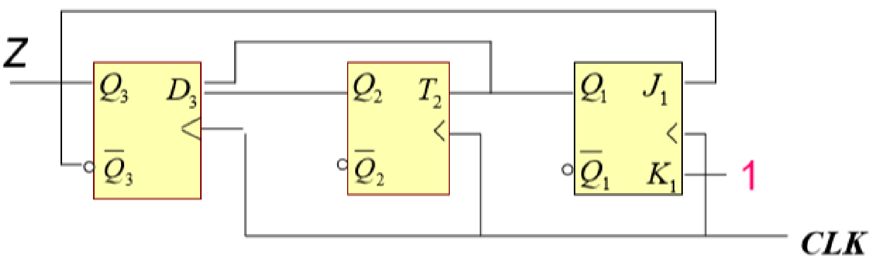
| $Z$: $Q_1^n \backslash Q_3^nQ_2^n$ | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 0 | 0 | 0 | Φ | 1 |
| 1 | 0 | 0 | Φ | Φ |

$$Z = Q_3^n$$



$$D_3 = Q_2^nQ_1^n \qquad T_2 = Q_1^n \qquad \begin{cases} J_1 = \overline{Q}_3^n \\ K_1 = 1 \end{cases} \qquad Z = Q_3^n$$

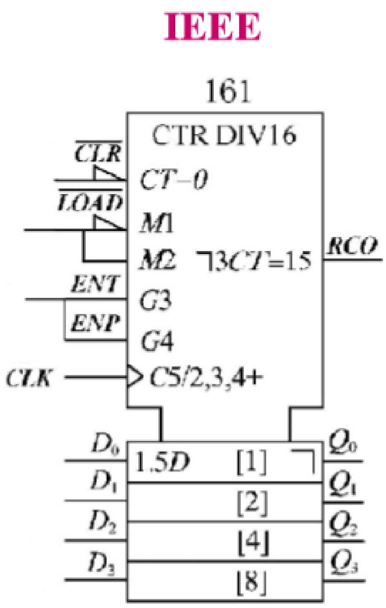
电路图

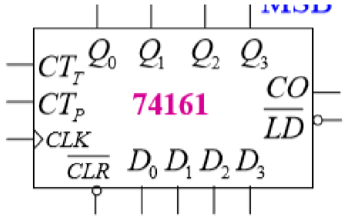





## 计数器（74161）

1. 符号:（计数时，ENT=1；进位时，RCO=1，其他时刻，RCO=0）




输出 $Q_3\,Q_2\,Q_1\,Q_0$

数据输入 $D_3\,D_2\,D_1\,D_0$

异步清零 $\overline{CLR}$

使能控制 $ENT\ (CT_T),\ ENP\ (CT_P)$

预置 $\overline{LOAD}$

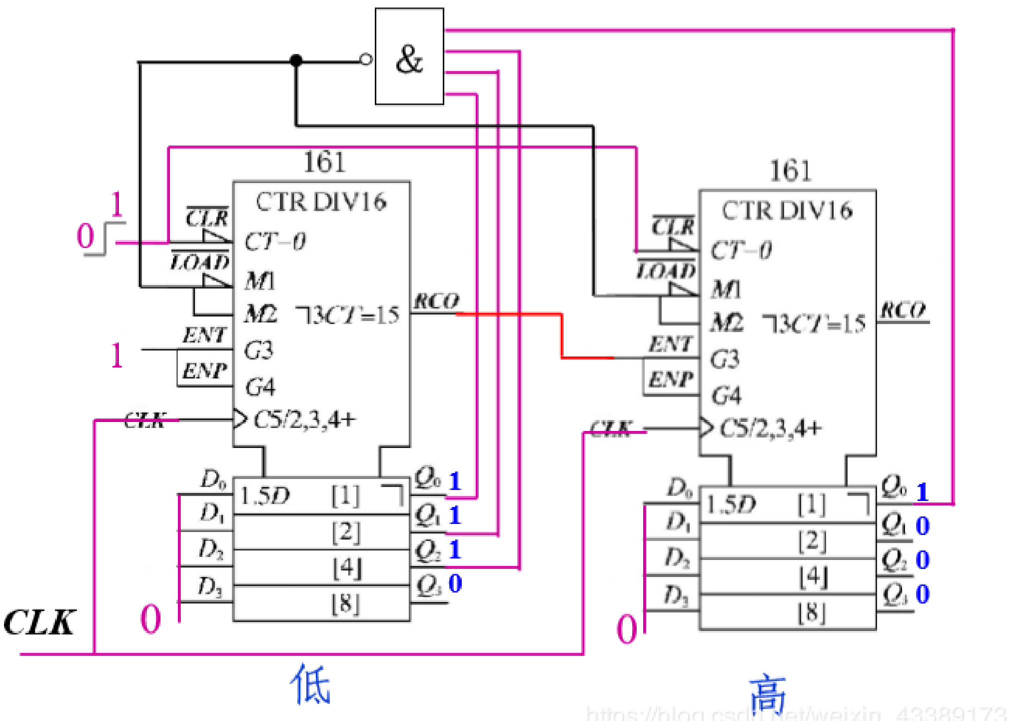
进位 $RCO\ (CO)$



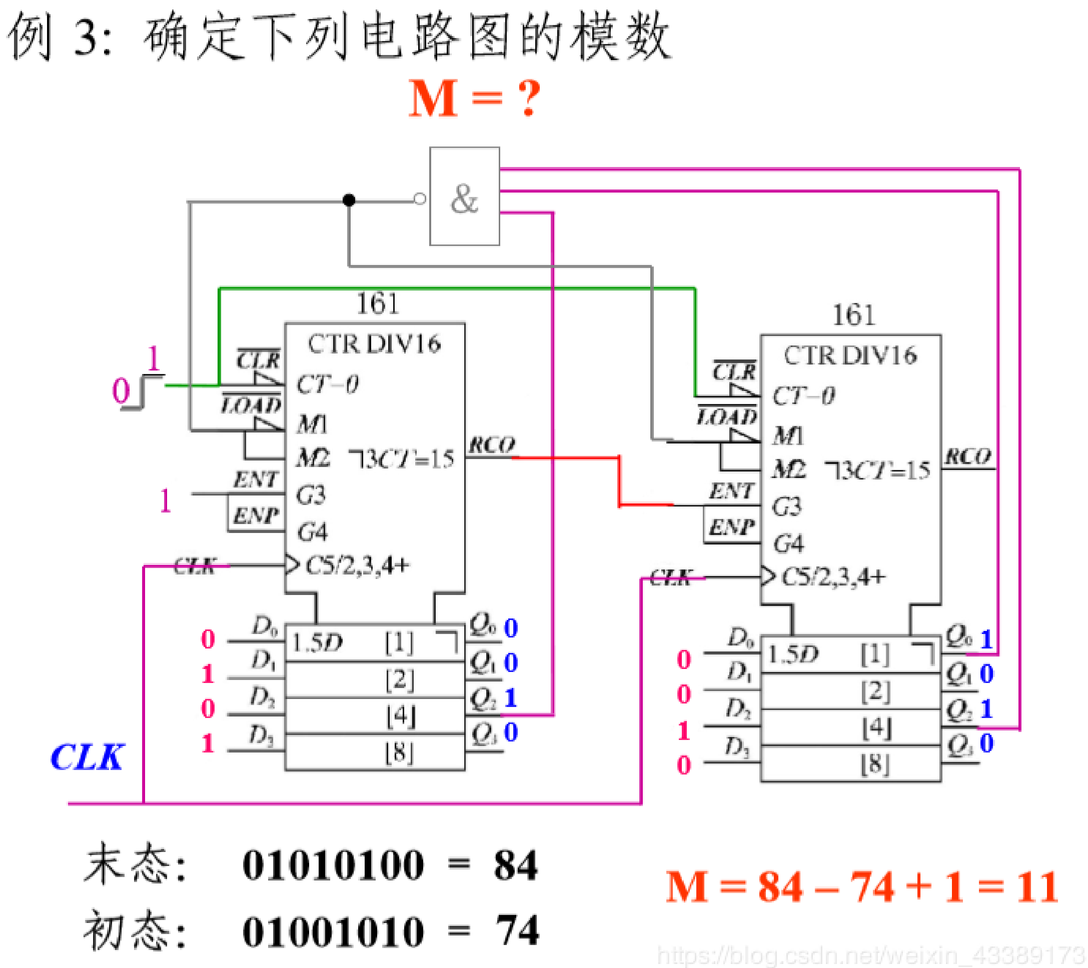
- 例 1

例2: 利用74161 设计模24计数器

最大状态 23 (10111) 两个 74161



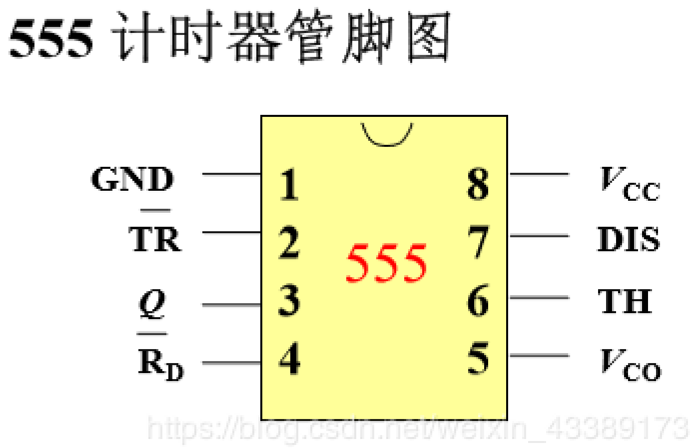
- 例 2




# 第七章 脉冲波形的产生与变换

## 555 定时器

- 管脚图




## 施密特触发器

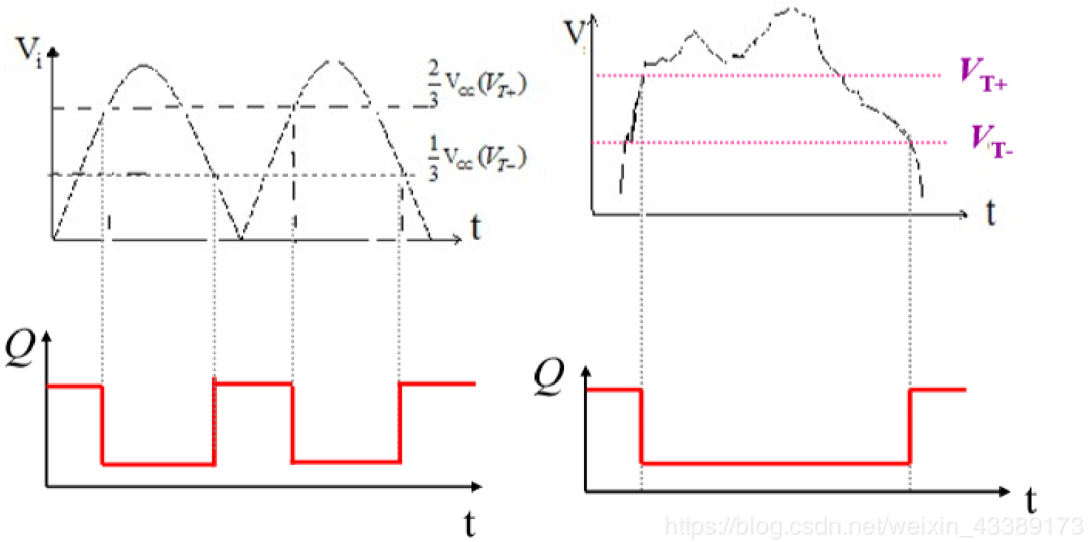
1. 电压特性

- 正向阈值电压 Vt+=2/3Vcc

- 负向阈值电压 Vt-=1/3Vcc

- 回差电压▵V=（Vt+）-（Vt-）

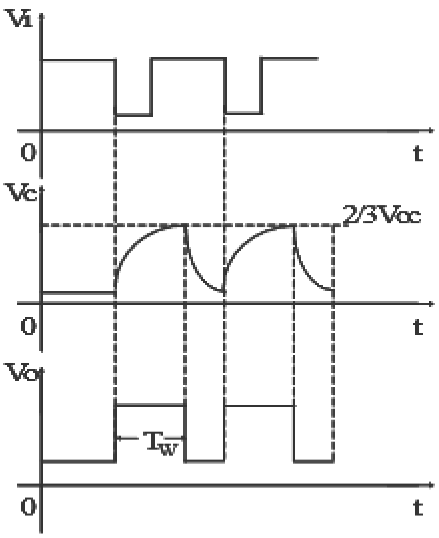
2. 波形变化




## 单稳态触发器

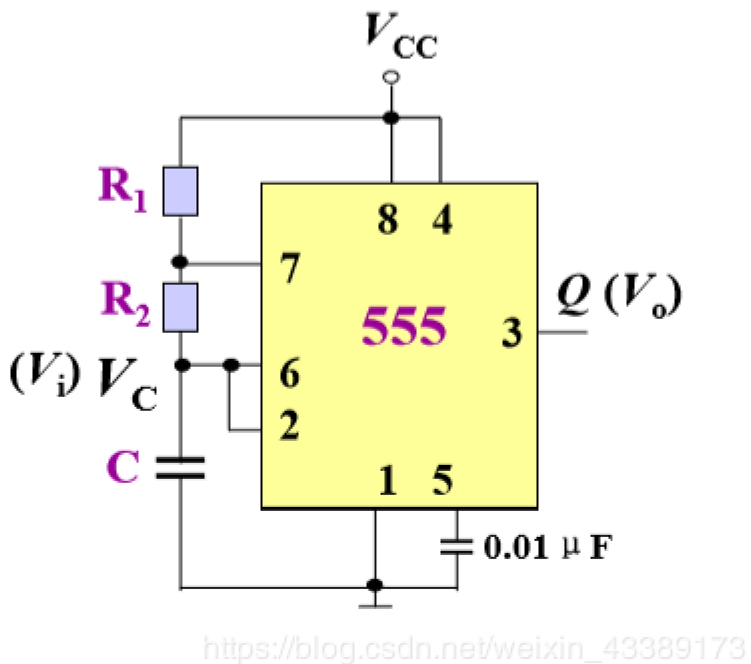
1. 暂稳态持续时间 Tw=1.1RC

2. Vc，Vo 波形图




## 多谐振荡器

- 电路图



- 性质

高电平宽度：$T_1 = 0.7(R_1 + R_2)C$

低电平宽度：$T_2 = 0.7R_2C$

- 例题

7.17 用 555 定时器设计一脉冲电路，该电路振荡 0.2 s 停 0.1 s，如此循环下去，电路输出脉冲的振荡周期 $T = 8$ ms，占空比 $q = \frac{1}{2}$，两级电容均取 $C = 1$ μF，画出电路并计算电路各元件参数。

解：根据题意，须设计一个 T=0.3 s、每振荡 0.2 s 停 0.1 s 的多谐振荡器，用 555 定时器的 $R_D$ 来控制不振荡，$Q_1$ 高电平为 0.2 s，低电平 0.1 s，周期 T=0.3 s，占空比 q=0.2/0.3=2/3

第(Ⅰ)级. $\because q_1 = \frac{R_1 + R_2}{R_1 + 2R_2} = \frac{2}{3}$，　$\therefore R_1=R_2$　取 $C_1 = 1$ μF

代入周期公式: $T_1 = 0.7(R_1+2R_2)C = 0.7\times 3R_1 \times 1\times 10^{-6}$ s $= 0.3$ s

$\therefore R_1 = R_2 = 143$ kΩ

第(II)级. $\because T_2 = 8$ ms, $C_2 = 1$ μF，占空比 $q_2 = R_3/(R_3+R_4) = 1/2$　$\therefore R_3 = R_4$

∴(II)级可用占空比可调的多谐振荡器，带入周期公式

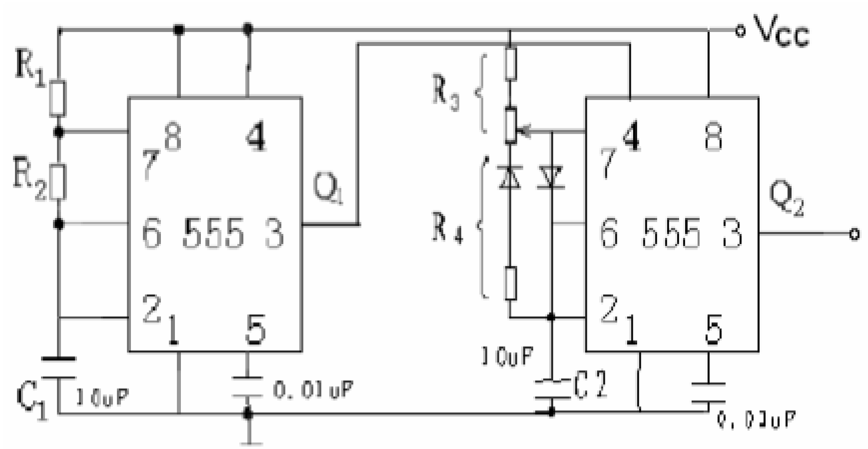
$T_2 = 0.7(R_3+R_4)C_2 = 0.7\times 2R_3C_2$

$8\text{ ms} = 0.7\times 2R_3\times 1\times 10^{-6}$

$\therefore R_3 = R_4 = 5.7$ kΩ

根据以上设计，画出的电路如解题图 7.17.






解题图 7.17

# 第九章 数模与模数转换

## 数模转换电路（DAC）

1. 全电阻网络 DAC

$$V_O = -\frac{2V_{ref}}{R}R_f\frac{X_1 2^2 + X_2 2^1 + X_3 2^0}{2^3} = -FSR\frac{X_1 2^2 + X_2 2^1 + X_3 2^0}{2^3}$$

$$V_{o\min} = -\frac{2V_{ref}}{R}R_f\cdot\frac{1}{2^n}$$

分辨率（不考虑0输出）

$$V_{o\max} = -\frac{2V_{ref}}{R}R_f\cdot\frac{2^n-1}{2^n}$$

(在此系统中为负，有倒向)

例

**3位二进制权电阻 DAC，$V_{ref}=8$ V，$R_f=R=2$ kΩ. 当 $X_1X_2X_3=011, 110$，$V_O=$ ?**

$$FSR = \frac{2V_{ref}}{R}R_f = \frac{2\times8\times2k}{2k} = 16\text{ V}$$

**011**

$$V_o = -FSR\cdot\frac{3}{2^3} = -16\times\frac{3}{8} = -6\text{ V}$$

**110**

$$V_o = -16\times\frac{6}{8} = -12\text{ V}$$

2. R-2R 梯形电阻网络 DAC

$$V_o = -\underbrace{\frac{V_{ref}}{R}R_f}_{\mathbf{FSR}} \cdot \frac{X_1 2^2 + X_2 2^1 + X_3 2^0}{2^3} \qquad \therefore V_o = -\frac{V_i}{R}R_f$$

满刻度值 $FSR = \dfrac{V_{ref}}{R}R_f$

最大值 $V_{o\max} = -\dfrac{V_{ref}}{R}R_f \cdot \dfrac{7}{2^3} = -\dfrac{7}{2^3}FSR$

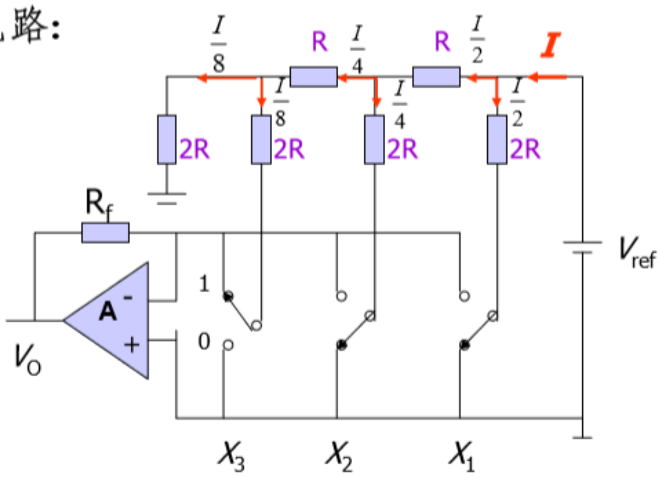
最小值 $V_{o\min} = -\dfrac{V_{ref}}{R}R_f \cdot \dfrac{1}{2^3} = -\dfrac{1}{2^3}FSR$

分辨率 $s = |V_{O\min}| = \dfrac{1}{2^3}FSR$



3. R-2R 倒梯形电阻 DAC

电路:

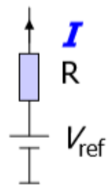



**R-2R 梯形DAC**

$V_{ref}$ ⟺ 放大器 改变位置

此网络是电流输出型，开关1 端经运放和$R_f$，把电流转换成电压输出.

所有节点等效电阻为**R**，等效于




$$I = \frac{V_{ref}}{R}$$



# 模数转换电路（ADC）

1. 有舍有入并行比较

例： 5位 有舍有入并行比较ADC,

$V_{ref}$ = 46.5 V, R=1 kΩ. 求:

1) $V_{in}$ = 34.9 V, $X_1X_2X_3X_4X_5 = ?$

2) $V_{in}$ = 28.1 V, $X_1X_2X_3X_4X_5 = ?$

3) 如果X=10101, $\overline{V_{in}} = ?$ $V_{in}$=?

解:
$$s = \frac{V_{ref}}{2^5 - 1} = \frac{46.5}{31} = 1.5\ \text{V}$$

1) $V_{in}$=34.9 V, $\frac{V_{in}}{s} = \frac{34.9}{1.5} = 23.3 \longrightarrow$ **23 s** $X_1X_2X_3X_4X_5$=10111

2) $V_{in}$=28.1 V, $\frac{28.1}{1.5} = 18.7 \longrightarrow$ **19 s** $X_1X_2X_3X_4X_5$ =10011

3) X=10101, (21) $\longrightarrow$ **21 s** $\overline{V_{in}} = 21 \times 1.5\ \text{V} = 31.5\ \text{V}$

$$V_i = (31.5 - \frac{1}{2} \times 1.5) \sim (31.5 + \frac{1}{2} \times 1.5) \qquad (\overline{V_{in}} \pm \frac{1}{2} s)$$

2. 只舍不入并行比较

例：4位只舍不入并行比较ADC，$V_{ref}$=32 V，R=1 kΩ.

求：

1) $V_{in}$=8.9 V，$X_1X_2X_3X_4$ = ?

2) $V_{in}$=25.6 V，$X_1X_2X_3X_4$ = ?

3) 若 $X_1X_2X_3X_4$=1001，$\overline{V_{in}}$ = ? $V_{in}$=?

解：

$$s = \frac{V_{ref}}{2^4} = \frac{32}{16} = 2\ \text{V}$$

1) $V_{in}$=8.9 V，$\frac{V_{in}}{s} = \frac{8.9}{2} = 4.45 \longrightarrow 4s \longrightarrow X_1X_2X_3X_4 = 0100$

2) $V_{in}$=25.6 V，$\frac{25.6}{2} = 12.8 \longrightarrow 12s \longrightarrow X_1X_2X_3X_4 = 1100$

3) $X$=1001，(9) → 9s　$\overline{V_{in}} = 9 \times 2 = 18\ \text{V}$

$V_{in} = 18 \sim 20\ \text{V}$　　$\overline{V_{in}} \sim (\overline{V_{in}} + s)$



3. 并/串型 ADC

- 高 4 位只舍不入，低 4 位有舍有入

- 例题

**9.22** 6位并/串型ADC电路，高三位用只舍不入方法，低三位用有舍有入方法，若$V_{ref} = 5.42$ V，$V_{in} = 3.26$ V，求输出的6位二进制数 $X_1 \sim X_6$ 的值。（保留2位小数）

解：高三位：$s_1 = \frac{V_{ref}}{2^3} = \frac{5.42}{8} = 0.68$ V　　$\frac{V_{in}}{s_1} = \frac{3.26}{0.68} = 4.79 \rightarrow 4$

$X_1X_2X_3 = 100$

低三位：$V'_{in} = V_{in} - 4s_1 = 3.26 - 4 \times 0.68 = 0.54$ V

$V'_{ref} = s_1 = 0.68$ V

$s_2 = \frac{V'_{ref}}{2^3 - 1} = \frac{0.68}{7} = 0.10$ V　　$\frac{V'_{in}}{s_2} = \frac{0.54}{0.10} = 5.40 \rightarrow 5$

$\therefore X_1 \sim X_6 = 100101$　　$X_4X_5X_6 = 101$



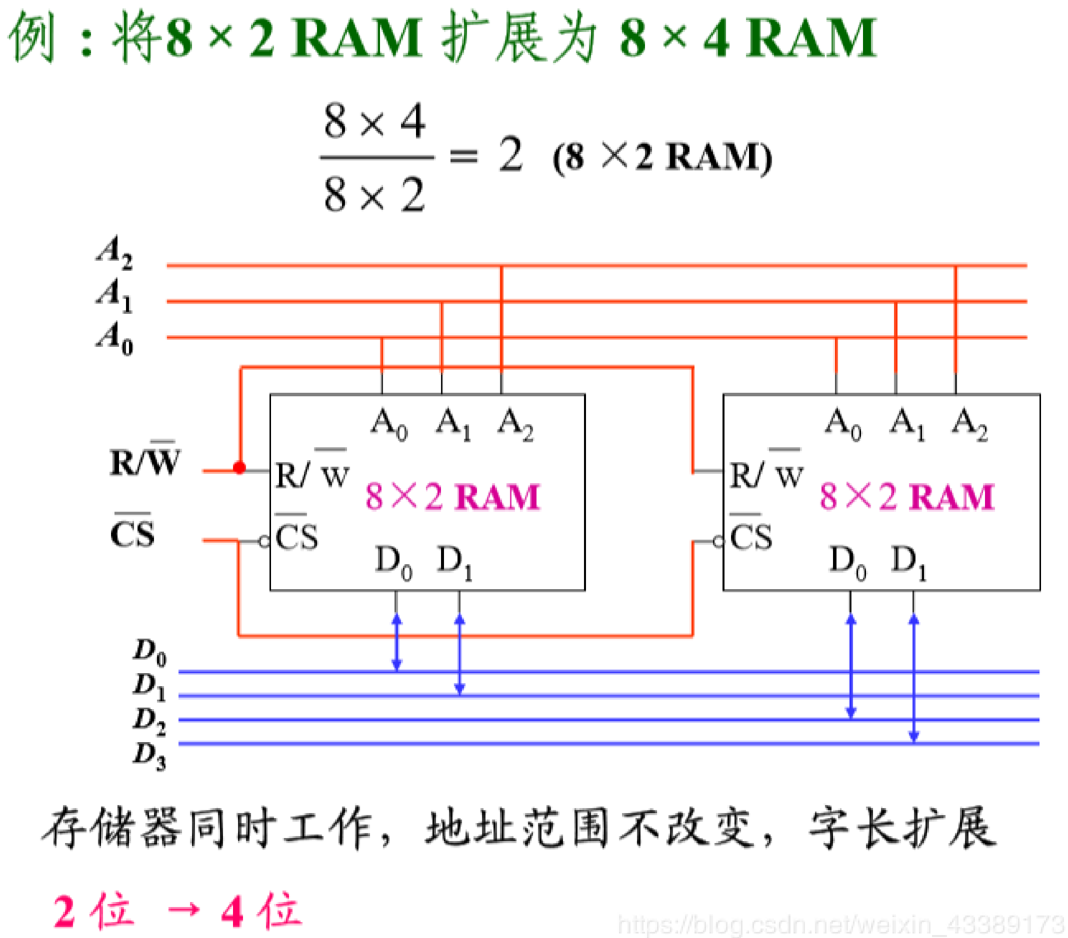
# 第十章 半导体存储器

## 随机存储器（RAM）

### RAM 扩展

1. 位扩展

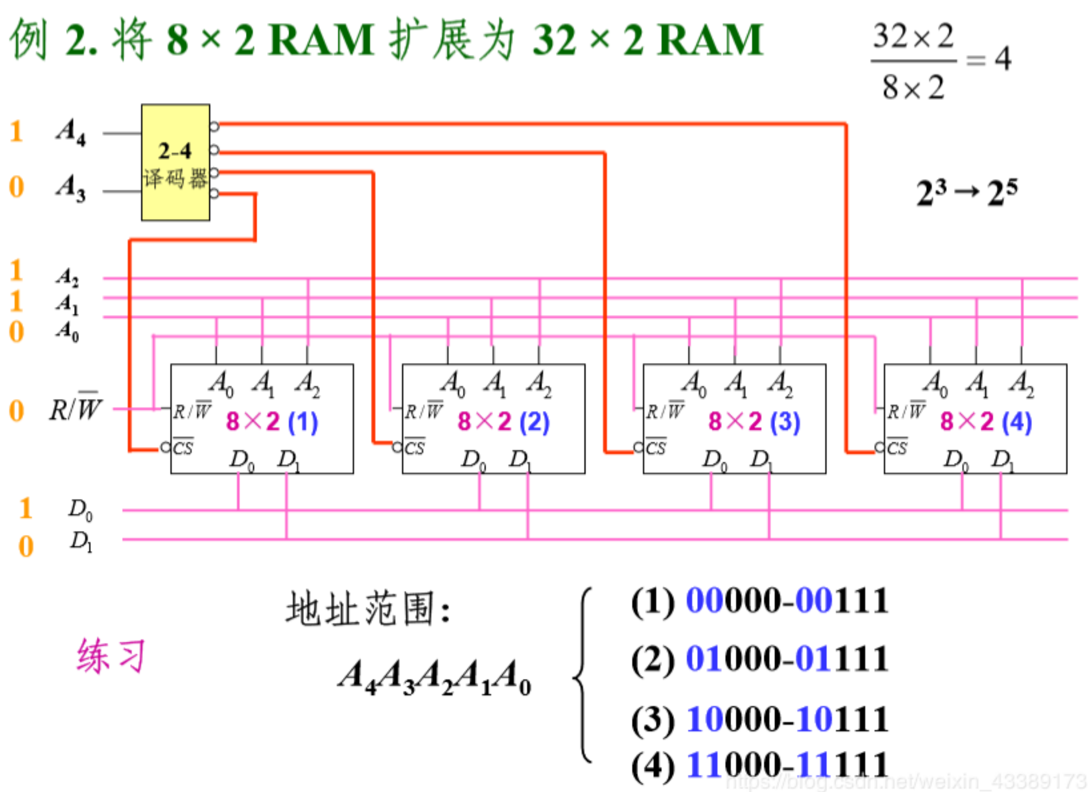
- 方法：相同 RAM 并行连接；共用：地址线，R/W，CS


例：将8×2 RAM扩展为8×4 RAM
$\frac{8\times4}{8\times2}=2$ (8 ×2 RAM)
$A_2$
$A_1$
$A_0$
R/$\overline{W}$
$\overline{CS}$
$A_0$ $A_1$ $A_2$
R/ $\overline{w}$
8×2 RAM
$\overline{CS}$
$D_0$ $D_1$
$A_0$ $A_1$ $A_2$
R/ $\overline{w}$
8×2 RAM
$\overline{CS}$
$D_0$ $D_1$
$D_0$
$D_1$
$D_2$
$D_3$
存储器同时工作，地址范围不改变，字长扩展
2 位 → 4 位
https://blog.csdn.net/weixin_43389173

- 

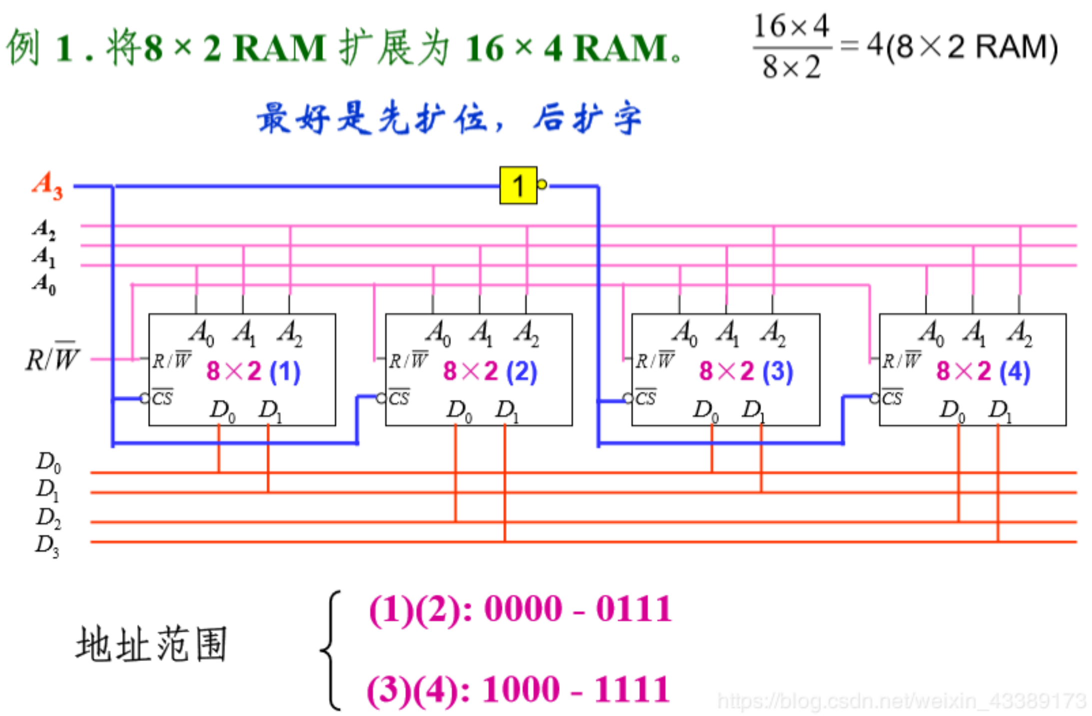
2. 字扩展

- 方法：增加地址线；使用 CS 扩展字；共用：原始地址线，R/W，数据线



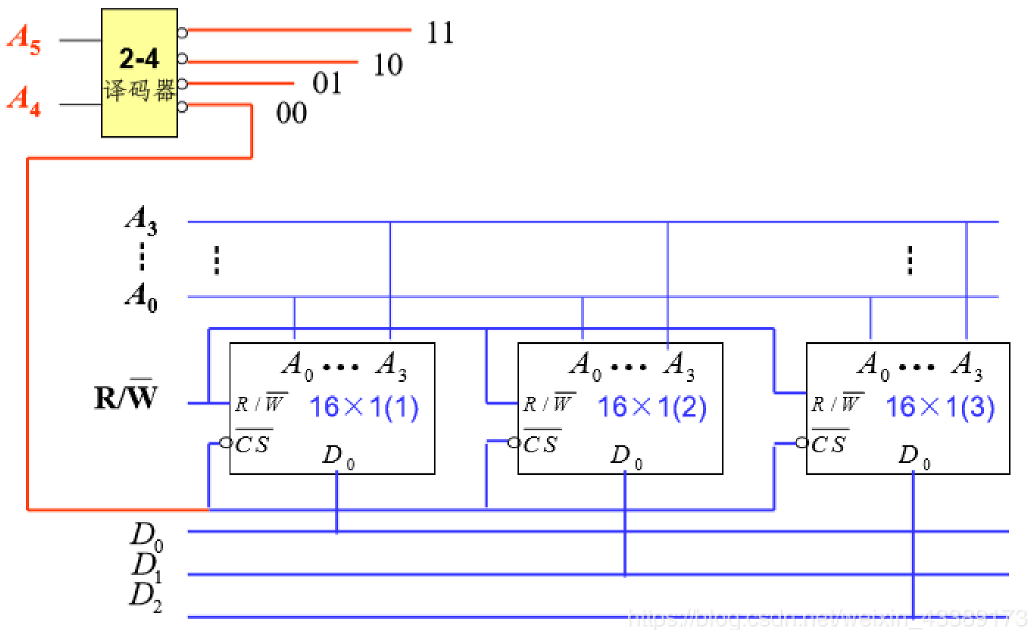

3. 字长和地址扩展

- 先扩位，后扩字



## 例 2．将 16 × 1 RAM 扩展为64 × 3 RAM。

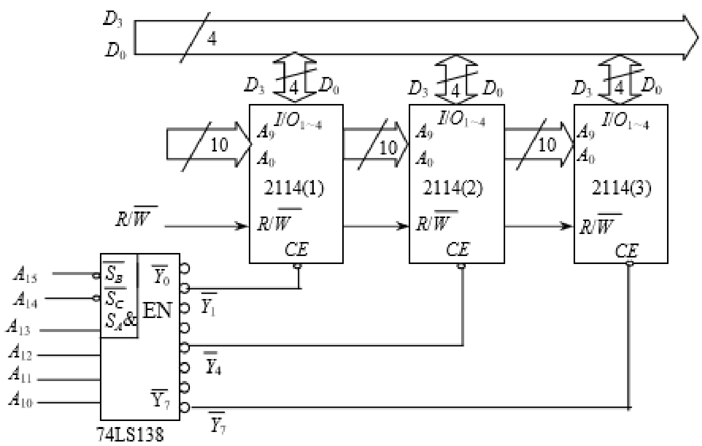
$$\frac{64\times3}{16\times1}=12\ \ (16\times1\ \text{RAM})$$




10.6　RAM2114（1k×4）组成如题图 10.6 所示电路。

（1)确定图示电路内存单元的容量是多少？若要实现 2k×8 的内存，需要多少片 2114 芯片？

（2）写出 2114(1)至 2114(3)的地址范围（用十六进制表示）。




题图 10.6

解:

（1）　容量是(1K×3) ×4=3K×4

$$\frac{2K\times8}{1K\times4}=4$$ 片 2114 可以实现 2K×8 内存

（2）　2114（1）：2400H~27FFH

2114（2）：3000H~33FFH

2114（3）：3C00H~3FFFH

# 只读存储器（ROM）

- ROM 存储矩阵节点连接图

**1.** 只读存储器实现组合逻辑功能函数

例：利用**ROM**实现一个全加器

解： 全加器真值表

| A | B | $C_i$ | S | $C_{i+1}$ |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

**ROM** 与译码器相同，
只能实现与或标准式