

武汉大学2021级弘毅班《数字逻辑》期末考试（A卷）

班号：_____ 学号：_____ 姓名：_____

题号	一	二	三	四	五	六	总分
得分							

一、（10分）化简下列逻辑表达式。

1. 用代数法将 $F = (A + \bar{B})(\bar{A} + B)(B + C)(\bar{A} + C)$ 化简为最简“或—与”式；（5分）
2. 用卡诺图法将 $F(A, B, C, D) = \sum m(0, 2, 7, 13, 15) + \sum d(1, 3, 4, 5, 6, 8, 10)$ 为最简“与—或”式。（5分）

二、（12分）分析图1所示组合逻辑电路，回答问题：

1. 求输出函数的逻辑表达式；（4分）
2. 列出函数真值表；（4分）
3. 判断此逻辑电路功能。（4分）

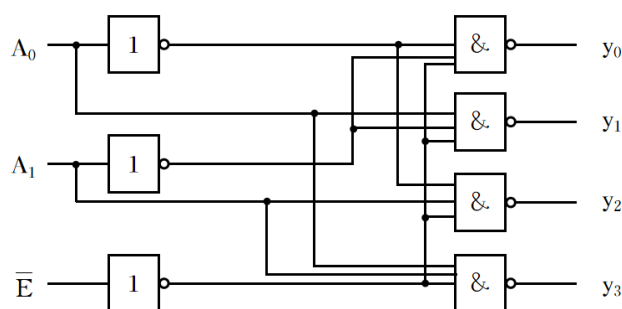


图 1

三、（22 分）设 ABCD 输入值为 8421BCD 码，试设计一个电路判断其输入数值是否为质数的电路，当输入为质数（含 1）时 $F=1$ ，否则 $F=0$ 。

1. 写出函数 F 与 ABCD 的真值表；（3 分）
2. 写出逻辑函数表达式并化简；（3 分）
3. 用适当逻辑门电路实现该函数并画出逻辑电路图；（3 分）
4. 用三一八译码器 74LS138 及适当逻辑门电路实现该电路的逻辑功能；（3 分）
5. 用中规模集成电路八选一 74LS151 及适当逻辑门电路实现其逻辑功能；（3 分）
6. 用 Verilog HDL 语言设计该逻辑电路；（4 分）
7. 用如图 2 所示的可编程逻辑器件 PLA 设计该逻辑函数。（3 分）

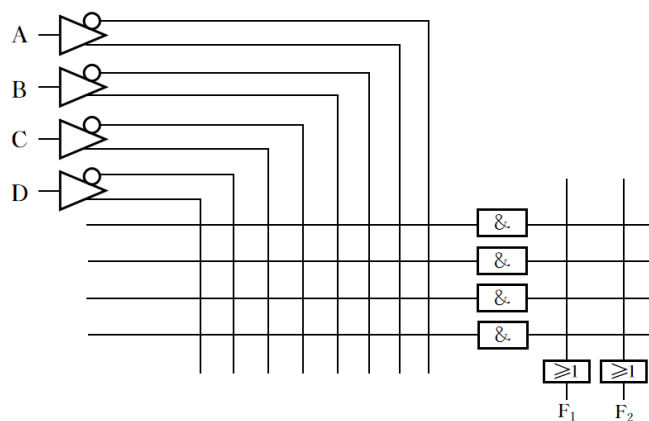


图 2

四、（18分）分析图3的时序逻辑电路，回答问题：

1. 写出激励函数与输出函数的表达式；（4分）
2. 写出次态方程组；（4分）
3. 作出电路的状态表及状态图；（6分）
4. 分析电路的逻辑功能。（4分）

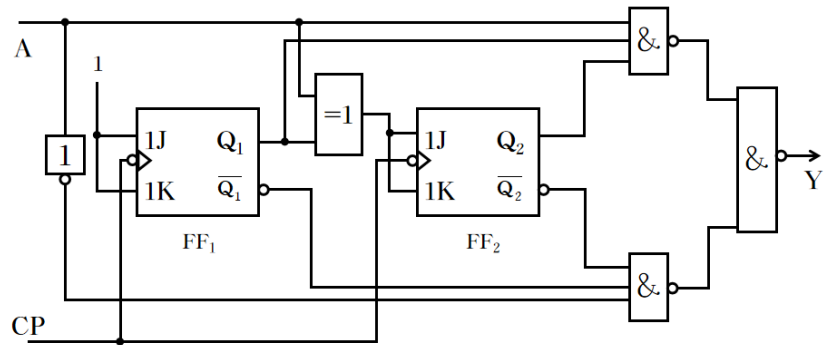


图 3

五、（16分）现有6个数字逻辑功能部件需要轮流工作，每个功能部件都有一个片选端 \overline{CS}_0 - \overline{CS}_5 ，且低电平有效。试用计数器74LS161和3-8译码器74LS138设计产生各个功能部件的片选信号。以便在6个CP时钟周期内，每个功能部件都能够分时依次被选通，并依此循环工作。具体功能要求如图4波形图（提示：将计数器输出作为译码器输入）。

1. 请说明设计思路；（8分）
2. 画出实现原理图。（8分）

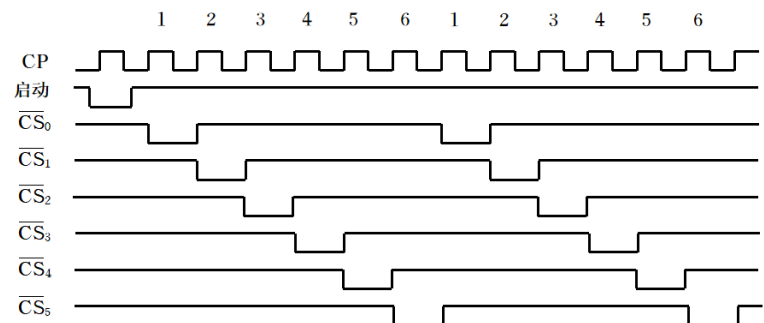
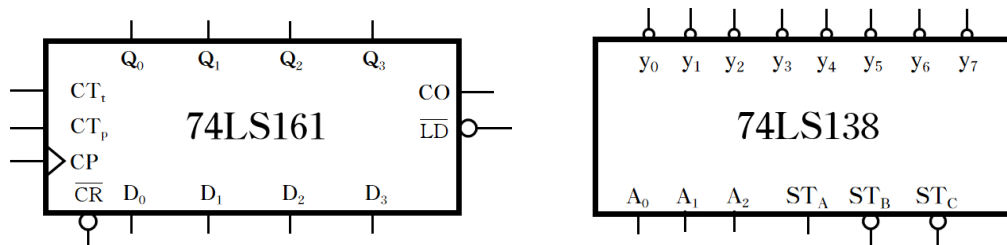


图 4



六、(22 分) 用正边缘 D 触发器作为存储元件，设计一个同步时序逻辑电路“110”序列检测器。该电路有一个输入 x 和一个输出 Z ，当随机输入信号中出现“110”序列时，输出一个 1 信号。典型输入/输出序列如下：

输入 x	0	0	1	1	1	0	1	1	0	1	0	0
输出 Z	0	0	0	0	0	1	0	0	1	0	0	0

1. 作出原始状态图、状态表及二进制状态表；（6 分）
2. 求 D 触发器的各输入端的激励表达式及输出函数表达式；（6 分）
3. 画出相应电路图并说明该电路是否能够自启动；（5 分）
4. 用 Verilog HDL 语言描述状态图。（5 分）