

1. 阅读下面的 Verilog HDL 代码，说明模块 ABC 描述的电路的逻辑功能并画出其逻辑符号：

```
module ABC (CP, S, SD, D, Q) ;  
    input CP, S, SD;  
    input[3:0] D;  
    output reg[3:0] Q;  
    always @(posedge CP)  
        if (S) Q<=D;  
        else begin Q[0]<=Q[1];Q[1]<=Q[2];Q[2]<=Q[3];Q[3]<=SD; end  
endmodule
```

2. 阅读下面的 Verilog HDL 代码，说明模块 ABC 描述的电路的逻辑功能并画出其逻辑符号：

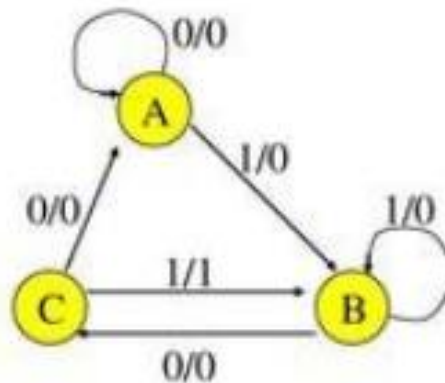
```
module ABC (CP, S, D, Q, B0) ;  
    input CP, S;  
    input[3:0] D;  
    output reg[3:0] Q;  
    output reg B0;  
    always @(posedge CP)  
        if (S) Q<=D;  
        else begin  
            if (Q==4' b0001) B0<=1; else B0<=0;
```

$Q \leq Q-1;$

end

endmodule

3. 用 Verilog HDL 描述下图所示的同步时序逻辑电路：



4. 用 Verilog HDL 描述下表所示的同步时序逻辑电路：

现态 $Q_2^n Q_1^n Q_0^n$	次态 $Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$	输出 CO	现态 $Q_2^n Q_1^n Q_0^n$	次态 $Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$	输出 CO
000	010	0	100	110	0
001	ddd	d	101	ddd	d
010	100	0	110	111	0
011	ddd	d	111	000	1

5. 设计一个 16 进制加 1 计数器，要求：先设计一个 4 进制加 1 同步计数器，然后利用它设计 16 进制加 1 计数器。