

Logika cyfrowa

Lista zadań nr 10

Termin: 10 maja 2020

Uwaga! Podczas zajęć należy znać pojęcia zapisane **wytłuszczoną czcionką**. W przypadku braku znajomości tych pojęć student może być ukarany punktami ujemnymi.

1. Pokaż, w jaki sposób można wykorzystać pamięci **SRAM** 4×4 (4 słowa po 4 bity) aby skonstruować pamięć 8×8 (8 słów po 8 bitów).
2. W jaki sposób należy podzielić bity **adresu** pamięci **ROM** 16-kilobitowej (16384 indywidualnie adresowanych bitów), aby zminimalizować liczbę wejść/wyjść dekodera i multipleksaera wchodzących w skład tej pamięci?
3. Ile układów $32K \times 8$ należy użyć, aby uzyskać pamięć o pojemności 256K bajtów? Ile potrzeba linii adresowych? Ile z tych linii będzie bezpośrednio podłączonych do linii adresowych układów?
4. Jak duża musi być pamięć ROM (liczba bitów adresu, bitów słowa wyjściowego, całkowita liczba bitów pamięci), która realizuje następujące operacje:
 - przedstawienie liczby od 0-99 zakodowanej binarnie w postaci dwóch cyfr BCD;
 - pomnożenie dwóch liczb 4-bitowych (bez ucinania wyniku);
 - dodawanie lub odejmowanie dwóch liczb 4-bitowych;
 - dekodery BCD dla wyświetlacza 7-segmentowego z wejściem *enable*.
5. Pokaż, jak zaprogramować układ **PLA** (odpowiedniego rozmiaru), aby wykonywał operację podniesienia do kwadratu liczby 4-bitowej. Postaraj się, aby użyć jak najmniej zasobów.
6. Pokaż, jak wykorzystać **makrokomórkę CPLD** z wykładu, aby zaimplementować układ, którego wyjściem jest XOR dwóch wejść x, y oraz stanu przerzutnika z poprzedniego cyklu zegara (czyli $D_{t+1} = D_t \oplus x \oplus y$). Wyjście przerzutnika może być podłączone do jednego z wejść makrokomórki przez interconnect.