

# 西安电子科技大学

## 电子线路实验II 课程实验报告

实验名称 大规模集成数字电路设计

机电工程 学院 1904031 班

姓名 朱丰君 (100)

学号 19040100176

同组人员 葛骏昊 (90) 19040300105

王子堃 (70) 19040300104

阿卜杜萨塔尔·阿卜力米提 (70) 19040300107

买尔江古丽 (70) 19040300106

成 绩

实验日期 2021 年 11 月 21 日

指导教师评语:

指导教师:

\_\_\_\_\_年\_\_\_\_月\_\_\_\_日

### 实验报告内容基本要求及参考格式

一、实验目的

二、实验所用仪器 (或实验环境)

三、实验基本原理及步骤 (或方案设计及理论计算)

四、实验数据记录 (或仿真及软件设计)

# 实验七 大规模集成数字电路设计

## 一、实验目的

- 1、熟悉大规模集成数字电路的设计方法。
- 2、熟悉数字系统调试及故障排除方法。

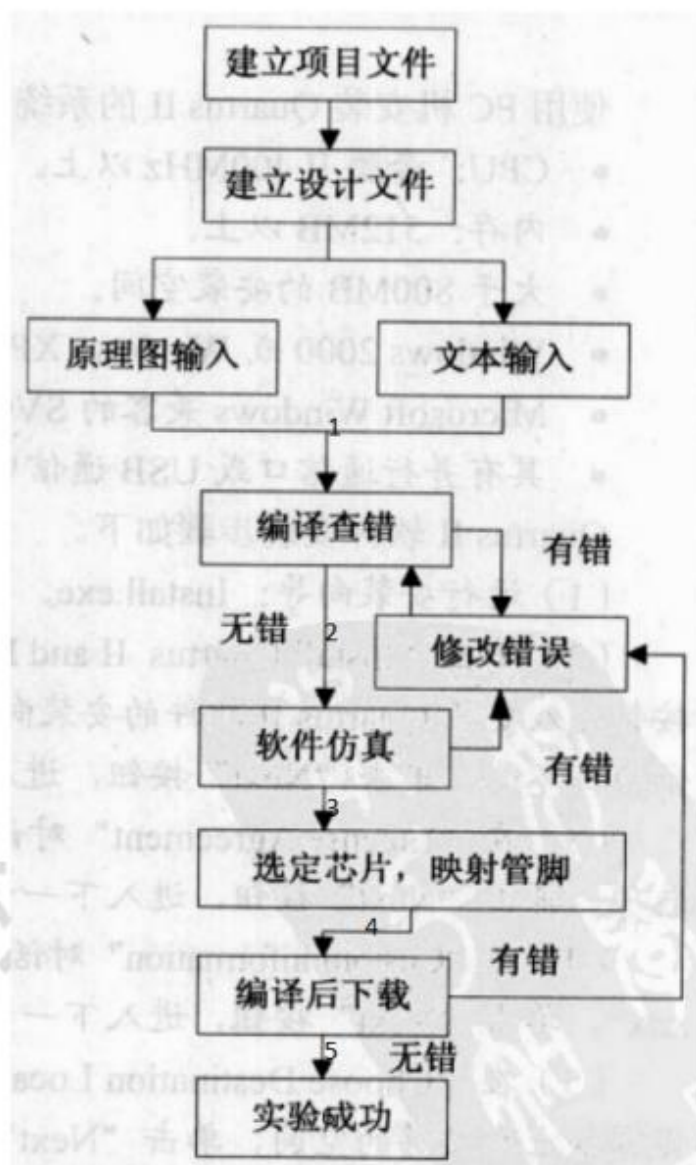
为达到以上目的，学生应具备基本的自主学习能力、对实验结果数据进行处理和分析的能力和设计实验方案进行实验的能力。

## 二、实验原理

第一周：崭新的实验课程，需要崭新的电路设计。请设计一个你认为最崭新的数字电路（必须与实验五、六和其他小组不同，**使用芯片 EPM7128SLC84-15!**），提交设计报告，并选派一个实验组携纸质版参加筛选试做。扣除试做满分后的设计分根据第二周选做结果评定，选做一组扣1分直至0分，筛选未过组取筛选通过设计的最低分。具体要求如下：

- 以小组为单位，标准设计组成员必须是5~6人，自由组合，每人只能参加一个组，最多接受一个非标准组。
- 每个组交一个pdf格式的设计报告，用满分组员名+简短的设计名命名，如陈某某组时钟.pdf，其它要求同实验报告。此外，只要认为有用的内容，都可写入设计报告，例如，崭新点，根据特定要求对需求、研制成本和性价比的分析等。抄袭零分。
- 为鼓励竞争，设计报告中必须包含自评成绩：最少一个100分，n人总分等于80n。
- 时间：一周。之后，课代表将公布设计报告（要筛选的话，我会联系课代表），未看到的同学请与课代表联系。注意时间节点。

第二周：在公布的全部设计中选做一个，根据实验结果评定实验分。



设计流程（分六步记分）

### 三、 实验仪器

1、 数字逻辑电路实验箱+CPLD 开发板

1 块

### 四、 实验内容（自由）及步骤

#### 猜拳游戏

LIBRARY IEEE;

USE IEEE.STD\_LOGIC\_1164.ALL;

USE IEEE.STD\_LOGIC\_UNSIGNED.ALL;

```

ENTITY second IS
PORT( clk,reset,pauseA,pauseB:STD_LOGIC;
      daoutA:OUT STD_LOGIC_VECTOR(7 DOWNTO 0);
      daoutB:OUT STD_LOGIC_VECTOR(7 DOWNTO 0));
END ENTITY second;
ARCHITECTURE fun OF second IS
SIGNAL countA:STD_LOGIC_VECTOR(7 DOWNTO 0);
SIGNAL countB:STD_LOGIC_VECTOR(7 DOWNTO 0);
SIGNAL enmin_1:STD_LOGIC_vector(3 downto 0);
BEGIN
    daoutA<=countA;
    daoutB<=countB;
    PROCESS(clk,reset)
    BEGIN
        if(pauseA='0')then
            IF(reset='0')THEN enmin_1<="0000";countA<="00000000";
                ELSIF(clk 'event and clk='1')then
                    IF(countA(3 downto 0)="1001")then
                        IF(countA<10#99#)then
                            IF(countA="10011001")then
                                enmin_1<=enmin_1+"0001";countA<="00000000";
                            ELSE
                                countA<=countA+7;
                            END IF;
                        ELSE
                            countA<="00000000";
                        END IF;
                    ELSIF(countA<10#99#)then
                        countA<=countA+1;
                    ELSE
                        countA<="00000000";
                    END IF;
                END IF;
            end if;
            if(pauseB='0')then
                IF(reset='0')THEN enmin_1<="0000";countB<="00000000";
                    ELSIF(clk 'event and clk='1')then
                        IF(countB(3 downto 0)="1001")then
                            IF(countB<10#99#)then
                                IF(countB="10011001")then
                                    enmin_1<=enmin_1+"0001";countB<="00000000";
                                ELSE
                                    countB<=countB+7;
                                END IF;
                            ELSE
                                countB<="00000000";
                            END IF;
                        ELSE
                            countB<="00000000";
                        END IF;
                    ELSIF(countB<10#99#)then
                        countB<=countB+1;
                    ELSE
                        countB<="00000000";
                    END IF;
                END IF;
            end if;
        end if;
    end if;
END PROCESS;

```

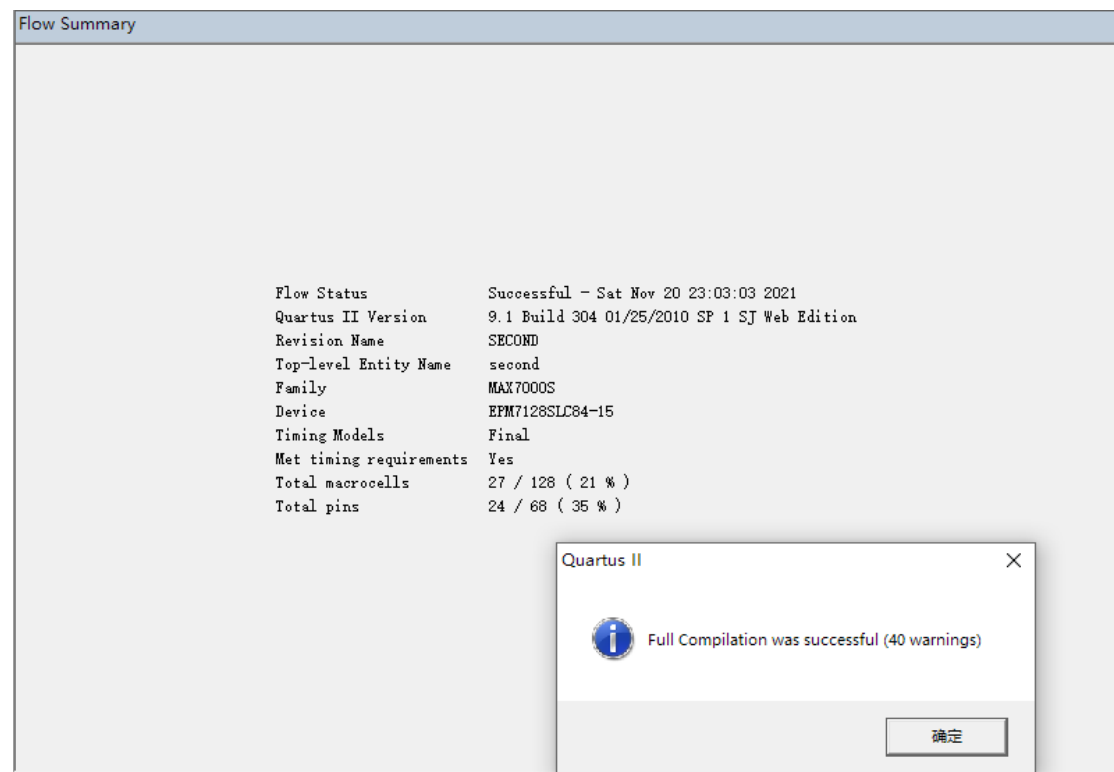
```

        END IF;
    ELSE
        countB<="00000000";
    END IF;
ELSIF(countB<10#99#)then
    countB<=countB+1;

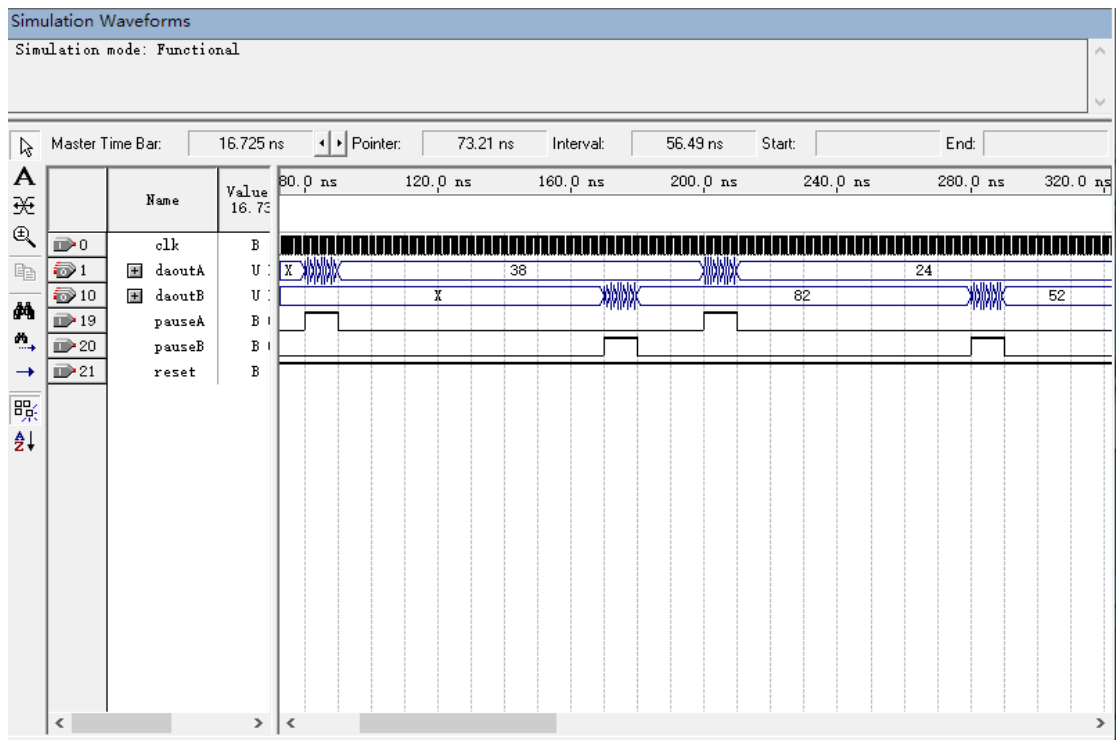
ELSE
    countB<="00000000";
END IF;
END IF;
end if;
END PROCESS;
END fun;

```

## 编译完成 FLOW SUMMARY:



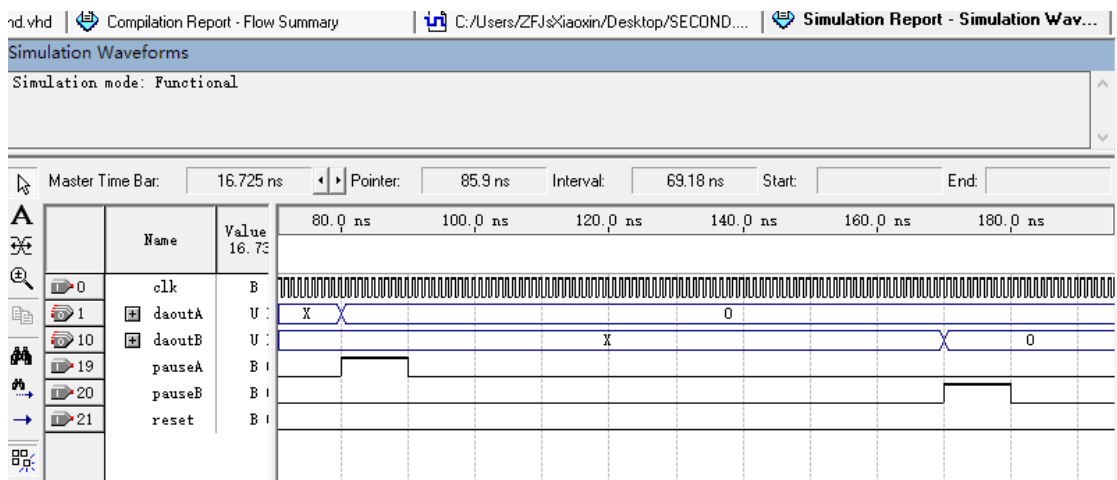
仿 真 图 :



daout : 0-99 随机数输出信号

pauseA、pauseB: 玩家 A 和玩家 B 分别将 pause 置 1 获得点数, 点数大者取胜。

reset: 为 1 时启动, 生成随机数如上图, 为 0 时不生成随机数, daout=0, 如下图



## 五、 实验注意事项

- ✓ 两人一实验组（12 分钟）接力完成，课前在课代表处排号（过时重排！）；请课

代表注意：1. 最多接受一个非两人组，2. **排号表不分早中晚，除成绩外各项均需按要求填写，缺少者排号无效，** 并请第一组同学带到实验室。

- ✓ 要求完全使用 VHDL 语言设计，不得使用其它设计输入方式（例如，画原理图）。
- ✓ VHD 文件课前写好，设计流程其它步骤需到课演示，项目要求建在 U 盘上。
- ✓ CPLD 开发板上使用的芯片是 MAX 7000S 系列 EPM7128SLC84-15！
- ✓ 锁定管脚后要再次执行全程编译（必要步骤）！
- ✓ 可以使用自己的电脑，但不能保证编程器兼容！

分值：设计：16 分（含试做满分 6 分），实验：9 分，共 25 分。

**完成实验七后，请登录雨课堂，填写问卷，谢谢！**