

西安电子科技大学

电子线路实验（II）课程实验报告

实验名称 大规模集成数字电路设计

机电工程学院 学院 _____ 班

姓名	学号	成 绩
刘浩	19040300090	
陈景文	19069100192	
赛米江	20040300005	
汤弘扬	20049200251	
加合斯力克	20040300003	

指导教师评语：

指导教师：
_____年____月____日

实验报告内容基本要求及参考格式

一、实验目的

二、实验所用仪器（或实验环境）

三、实验基本原理及步骤（或方案设计及理论计算）

四、实验数据记录（或仿真及软件设计）

五、实验结果分析及回答问题（或测试环境及测试结果）

实验七 大规模集成数字电路设计

一、实验目的

1、熟悉大规模集成数字电路的设计方法。

2、熟悉数字系统调试及故障排除方法。

为达到以上目的，学生应具备基本的自主学习能力、对实验结果数据进行处理和分析的能力和设计实验方案进行实验的能力。

二、实验原理

第一周：崭新的实验课程，需要崭新的电路设计。请设计一个你认为最崭新的数字电路（必须与实验五、六和其他小组不同，使用芯片 EPM7128SLC84-15），并提交设计报告，并选派一个实验组携纸质版参加筛选试做。扣除试做满分后的设计分根据第二周选做结果评定，选做一组扣 1 分直至 0 分，筛选未过组取筛选通过设计的最低分。具体要求如下：

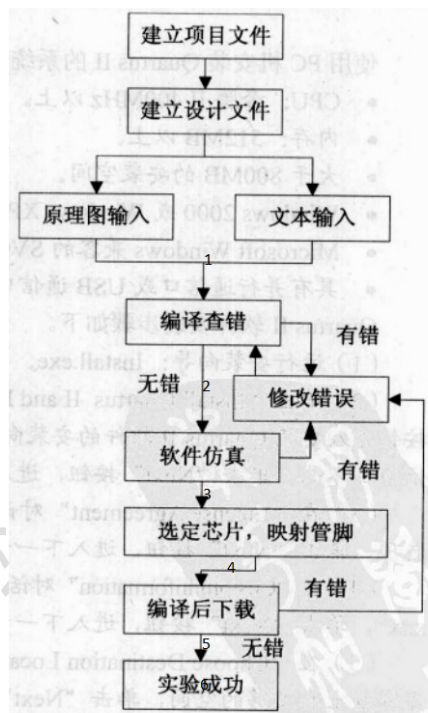
- 以小组为单位，标准组成员必须是 5-6 人，自由组合，每人只能参加一个组，最多接受一个非标准组。

- 每个组交一个 pdf 格式的设计报告，用满分组员名+简短的设计名命名，如陈某某组时钟.pdf，其他要求同实验报告。此外，只要认为有用的内容，都可写入设计报告，例如，崭新点，根据特定要求对需求、研制成本和性价比的分析等。抄袭零分。

- 为鼓励竞争，设计报告中必须包含自评成绩：最少一个 100 分，n 人总分等于 80n。

- 时间：一周。之后，课代表将公布设计报告（要筛选的话，我会联系课代表），未看到的同学请与课代表联系。注意时间节点。

第二周：在公布的全部设计中选做一个，根据实验结果评定实验分。



设计流程（分六步记分）

三、实验仪器

1、数字逻辑电路实验箱+CPLD 开发板 1 块

四、实验内容（自由）及步骤

实验题目在筛选后公布的全部设计电路中选择

五、实验注意事项

- 两人一组（10 分钟）接力完成，课前在课代表处排号（过时重排！）；请课代表注意：1. 最多接受一个非两人组，2. 排号表中姓名前加学号后三位，并请第一组同学带到实验室。

- 要求完全使用 VHDL 语言设计，不得使用其它设计输入方式（例如，画原理图）。

- VHD 文件课前写好，设计流程其它步骤需到课演示，项目要求建在 U 盘上。

- CPLD 开发板上使用的芯片是 MAX 7000S 系列 EPM7128SLC84-15！

- 锁定管脚后要再次执行全程编译（必要步骤）！

- 可以使用自己的电脑，但不能保证编程器兼容！

分值：设计：22 分，实验：9 分，共 31 分

六、设计内容

1、设计名称

数字秒表

2、功能简述

具有秒表功能，用六个七段数码管分别显示分（00-59），秒（00-59），0.01 秒（00-99），即范围为 00:00:00~59:59:99。有 start/stop 按钮负责秒表计时的开始和结束，reset 按钮负责秒表计时的复位（归零）。

3、源代码

（1）分频模块（fenpin.vhd）

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;

entity fenpin is
port(clk: in std_logic;--系统时钟 1khz
      clk_out: out std_logic);--10 分频输出 100hz/0.01s
end fenpin;
```

```
architecture behavior of fenpin is
begin
```

```

process(clk)
variable counter: integer range 0 to 15;--用于计数
begin
    if(clk'event and clk='1')then
        if(counter=9)then
            counter:=0;
            clk_out<='1';
        else
            counter:=counter+1;
            clk_out<='0';
        end if;
    end if;
end process;
end behavior;

```

(2)模 60 计数器模块 (counter60.vhd)

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;
entity counter60 is
port(en,reset,clk: in std_logic;--使能信号, 复位, 系统时钟
      qa: out std_logic_vector(3 downto 0);--个位输出
      qb: out std_logic_vector(3 downto 0);--十位输出
      rco: out std_logic);--完成一次计数标志
end counter60;
architecture behavior of counter60 is
begin
    process(clk)
        variable tma: std_logic_vector(3 downto 0);
        variable tmb: std_logic_vector(3 downto 0);
    begin
        if(reset='0')then--复位低电平有效, 十进制计数清零
            tma:="0000";
            tmb:="0000";
        elsif(clk'event and clk='1')then
            if(en='1')then--上升沿且使能有效时计数 0~59
                rco<=tmb(2) and tmb(0) and tma(3) and tma(0);
                if(tma="1001")then--qma 最大到 9
                    tma:="0000";
                    if(tmb="0101")then--qmb 最大到 5
                        tmb:="0000";
                    else
                        tmb:=tmb+1;
                    end if;
                else
                    tma:=tma+1;
                end if;
            end if;
        end if;
    end process;
end behavior;

```

```

        tma:=tma+1;
    end if;
end if;
end if;
    qa<=tma;qb<=tmb;
end process;
end behavior;
(3)模 100 计数器模块 (counter100.vhd)
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;
entity counter100 is
    port(en,reset,clk: in std_logic;--使能信号, 复位, 系统时钟
        qa: out std_logic_vector(3 downto 0);--个位输出
        qb: out std_logic_vector(3 downto 0);--十位输出
        rco: out std_logic);--完成一次计数标志
end counter100;
architecture behavior of counter100 is
begin
    process(clk)
        variable tma: std_logic_vector(3 downto 0);
        variable tmb: std_logic_vector(3 downto 0);
    begin
        if(reset='0') then--复位低电平有效, 十进制计数清零
            tma:="0000";
            tmb:="0000";
        elsif(clk'event and clk='1') then
            if(en='1') then--上升沿且使能有效时计数 0~99
                rco<=tmb(3) and tmb(0) and tma(3) and tma(0);
                if(tma="1001") then--qma 最大到 9
                    tma:="0000";
                    if(tmb="1001") then--qmb 最大到 9
                        tmb:="0000";
                    else
                        tmb:=tmb+1;
                    end if;
                else
                    tma:=tma+1;
                end if;
            end if;
        end if;
        qa<=tma;qb<=tmb;
    end process;
end behavior;

```

(4)防抖模块 (fangdou.vhd)

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;
entity fangdou is
port(clk,din: std_logic;--系统时钟, 按键有效信号
      dout: out std_logic);--防抖处理后的按键信号
end fangdou;
architecture fangdou_s of fangdou is
signal cp: std_logic:='1';
signal jsq: integer range 0 to 150;
begin
    process(clk)--至少按键按下 100 个时钟周期(0.1s)才有效, 防止误触
    begin
        if(clk'event and clk='1')then
            if(din='0')then
                if(jsq=149)then
                    jsq<=jsq;
                else
                    jsq<=jsq+1;
                end if;
                if(jsq=99)then
                    cp<='0';
                else
                    cp<='1';
                end if;
            else
                jsq<=0;
                cp<='1';
            end if;
        end if;
    end process;
    dout<=cp;
end fangdou_s;
```

(5)顶层设计 (miaobiao.vhd)

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;
entity miaobiao is
port(start_stop,clk,reset: in std_logic;--开始/停止, 系统时钟 1khz, 复位键
      bcd6,bcd5,bcd4,bcd3,bcd2,bcd1: out std_logic_vector(3 downto 0));--59:59:99
```

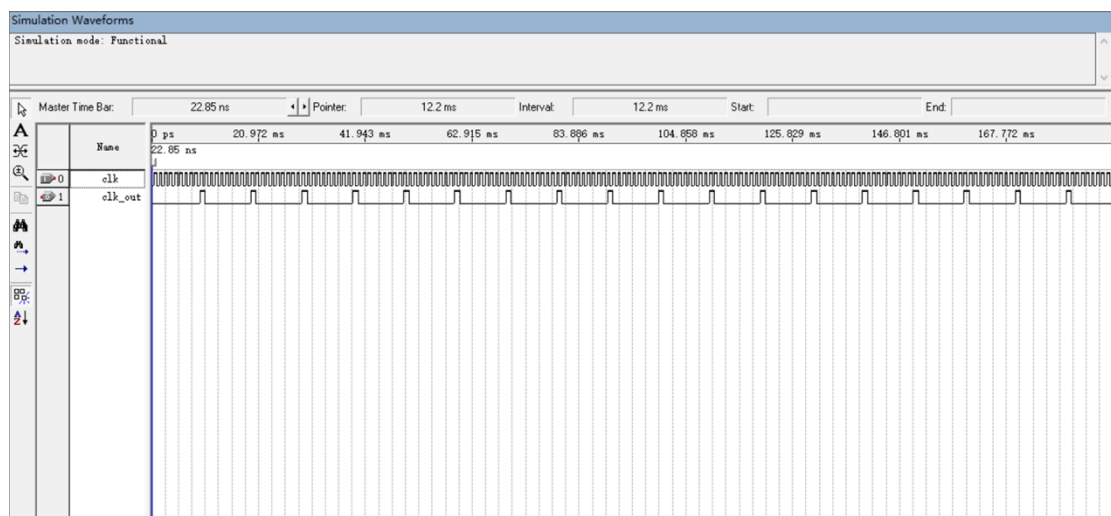
```

end miaobiao;
architecture behavior of miaobiao is
component fenpin is
port(clk: in std_logic;--系统时钟 1khz
      clk_out: out std_logic);--10 分频输出 100hz/0.01s
end component fenpin;
component counter60 is
port(en,reset,clk: in std_logic;--使能信号, 复位, 系统时钟
      qa: out std_logic_vector(3 downto 0);--一个位输出
      qb: out std_logic_vector(3 downto 0);--十位输出
      rco: out std_logic);--完成一次计数标志
end component counter60;
component counter100 is
port(en,reset,clk: in std_logic;--使能信号, 复位, 系统时钟
      qa: out std_logic_vector(3 downto 0);--一个位输出
      qb: out std_logic_vector(3 downto 0);--十位输出
      rco: out std_logic);--完成一次计数标志
end component counter100;
component fangdou is
port(clk,din: std_logic;--系统时钟, 按键有效信号
      dout: out std_logic);--防抖处理后的按键信号
end component;
signal clk1,clk2,clk3,clk4,reset_s: std_logic;
begin
    u0: fangdou port map(clk=>clk,din=>reset,dout=>reset_s);
    u1: fenpin port map(clk=>clk,clk_out=>clk1);
    --系统时钟 1Khz (0.001s) 经 10 分频后产生 100hz(0.01s) 给 clk1
    u2: counter100 port
map(clk=>clk1,en=>start_stop,reset=>reset_s,qa=>bcd1,qb=>bcd2,rco=>clk2);
    --把 clk1 (0.01s) 作为模 100 计数器的时钟, start_stop 作为使能信号, 计数输出送给 bcd1, 2, 计数完成标志送给 clk2(1s)
    u3: counter60 port
map(clk=>clk2,en=>start_stop,reset=>reset_s,qa=>bcd3,qb=>bcd4,rco=>clk3);
    --把 clk2 (1s) 作为模 60 计数器的时钟, start_stop 作为使能信号, 计数输出送给 bcd3, 4, 计数完成标志送给 clk3(1min)
    u4: counter60 port
map(clk=>clk3,en=>start_stop,reset=>reset_s,qa=>bcd5,qb=>bcd6,rco=>clk4);
    --把 clk3 (1s) 作为模 60 计数器的时钟, start_stop 作为使能信号, 计数输出送给 bcd5, 6, 计数完成标志送给 clk4(1min)
end behavior;

```

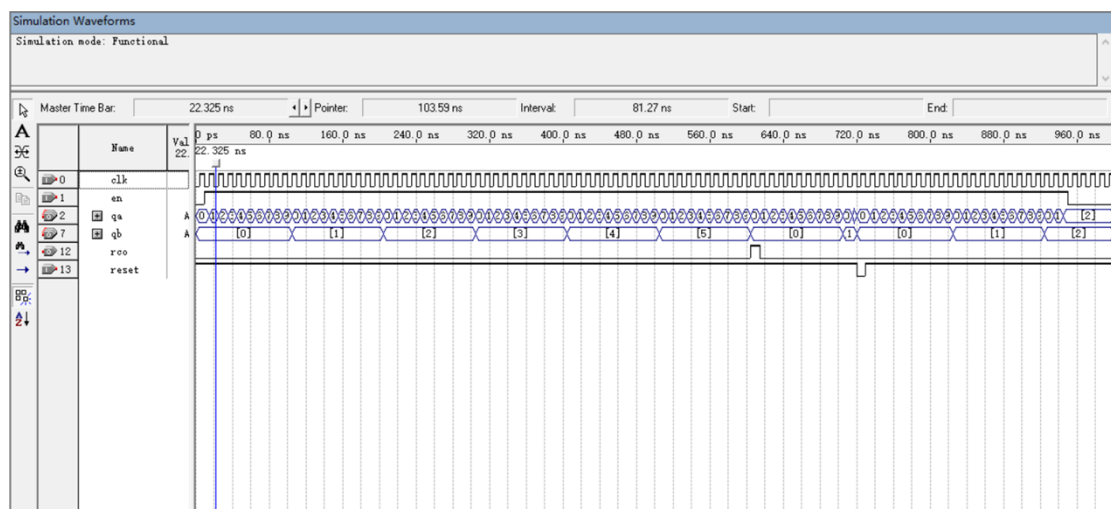
4、各模块仿真及功能介绍

(1) 分频模块



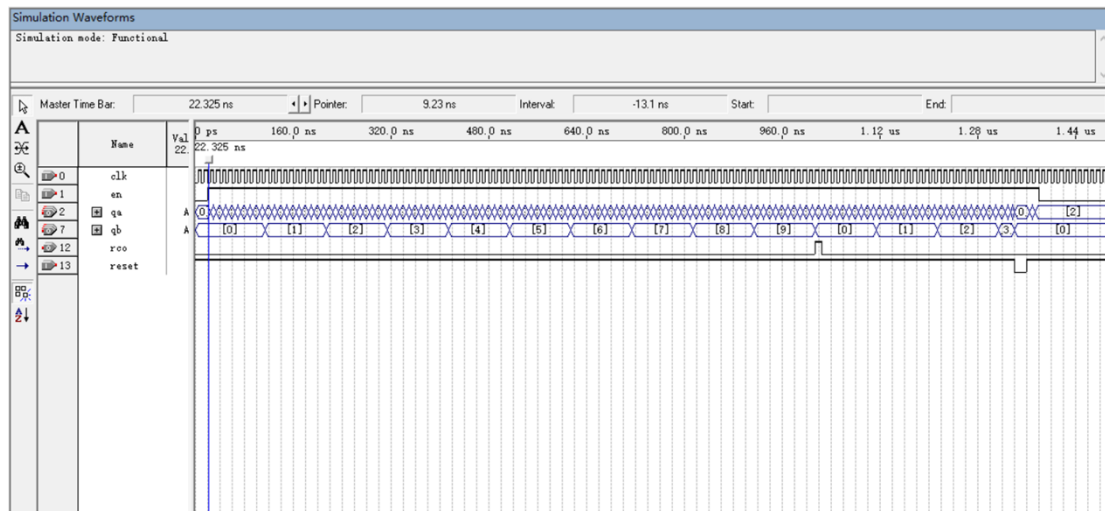
十分频将输入 clk 1khz (0.001s) 信号分频得到输出 clk_out 100hz (0.01s) 信号。

(2) 模 60 计数器模块



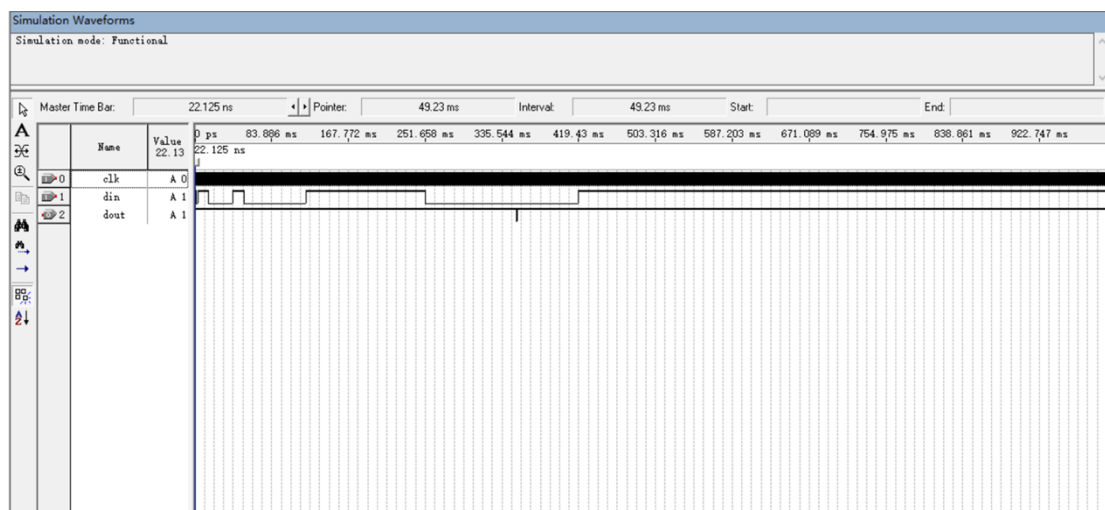
在 clk 下，如果 en 有效 (1) 进行模 60 计数，计数 60 后输出 rco 高电平脉冲表示一次计数完成，如果 reset 有效 (0) 则对计数进行复位 (归零)。

(3) 模 100 计数器模块



在 clk 下，如果 en 有效（1）进行模 1000 计数，计数 1000 后输出 rco 高电平脉冲表示一次计数完成，如果 reset 有效（0）则对计数进行复位（归零）。

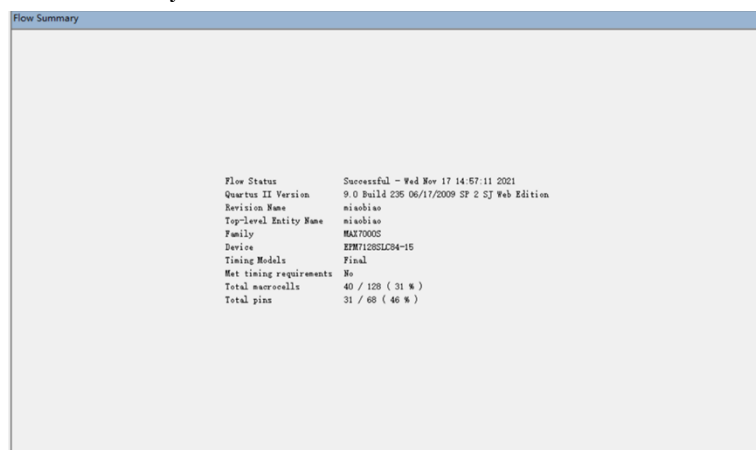
（4）防抖模块



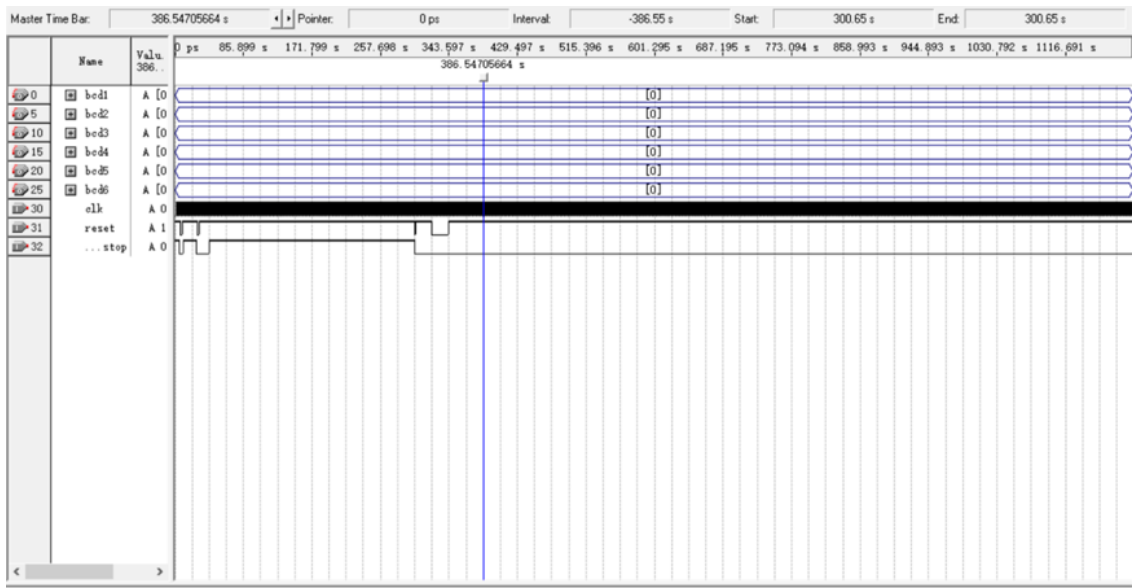
可见，只有第三段下降沿信号（超过 0.1s）到来才会生成有效的下降沿脉冲，实现防抖。

（5）整体编译及仿真

FlowsuSummary:

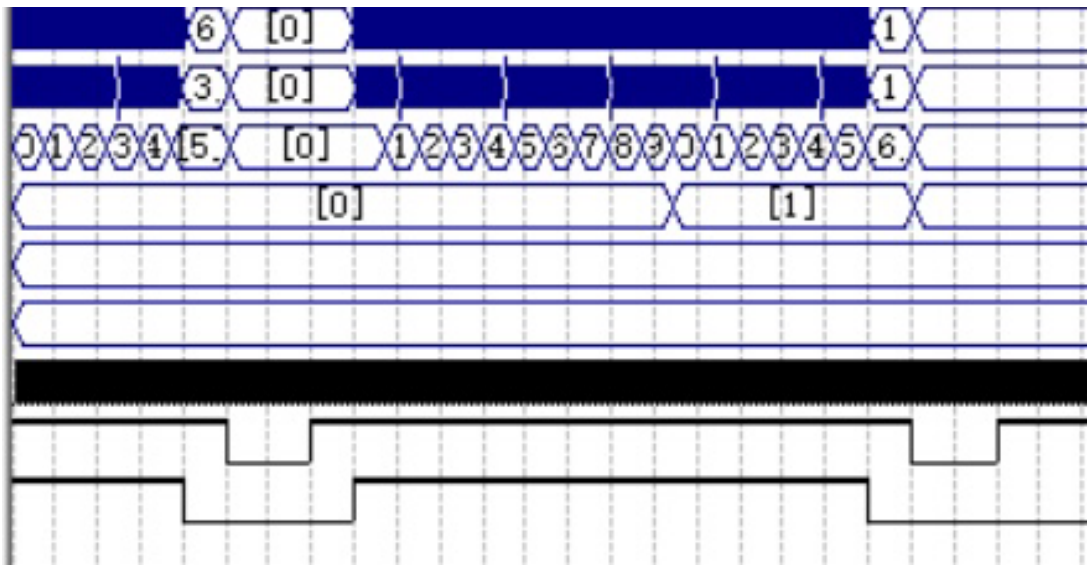


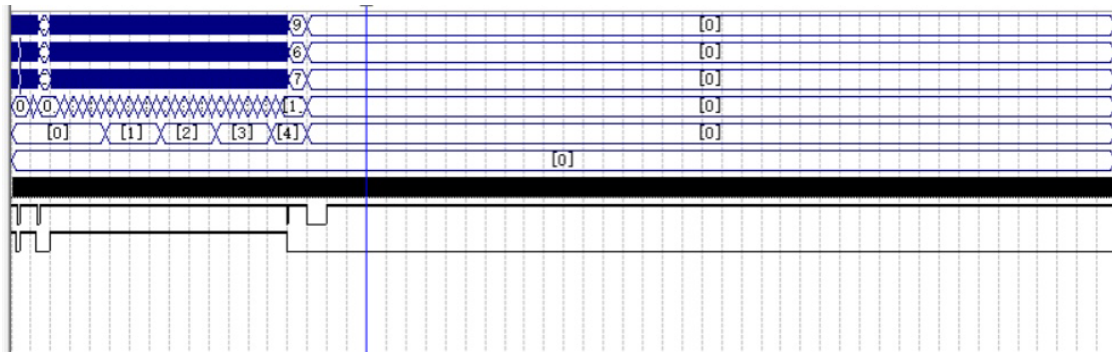
仿真前准备：



设置三个时间，分别是 5.369 秒，16.107 秒，257.698 秒，最后一个时间之前设置一个抖动，观察防抖模块的作用

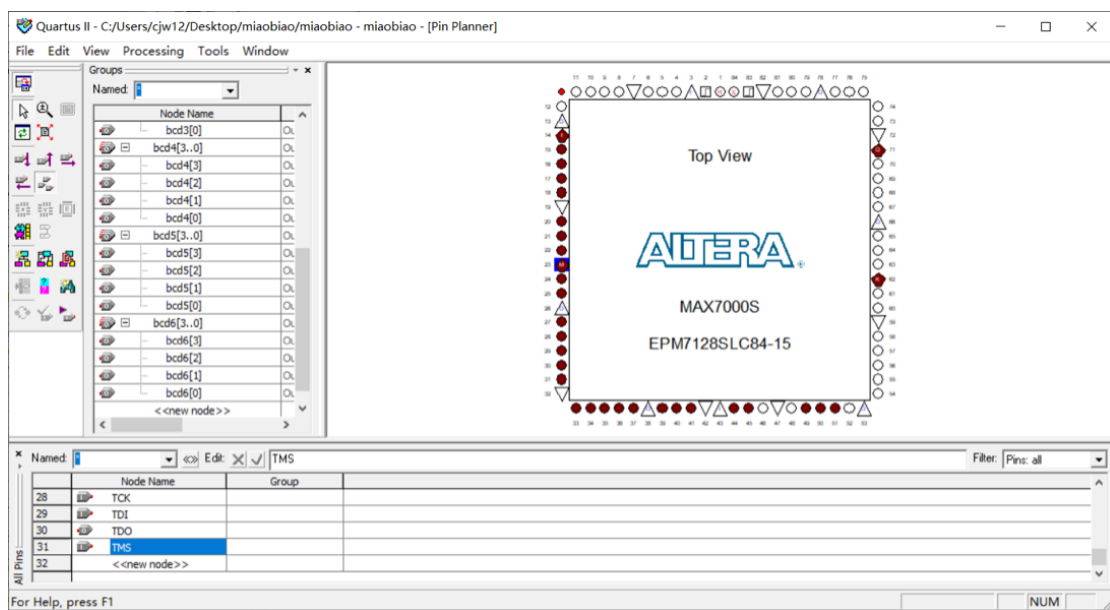
仿真结果：



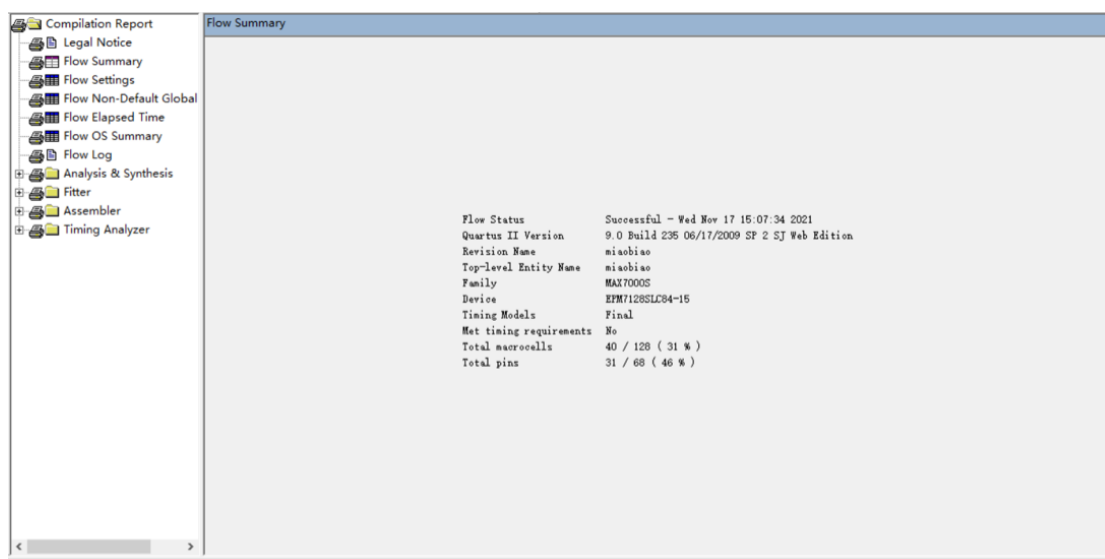


最后一个仿真时间为 4 分 17 秒 69，和输入时间基本类似，可以看到，在 reset=0 的时候，秒表清零，防抖模块设计的是低电平超过 0.10 秒才会将秒表清零，小于 0.10 秒的低电平不会将秒表置零，这样就保证秒表不会因为抖动产生错误的计数。

引脚分配：



分配之后重新编译：



5、崭新点

在对秒表的设计中，引入了按键防抖的设计。开发板老化、案件松动都有可能对实验进行干扰。通过时钟信号，对按键信号进行计数，如果按键信号没有达到一定的时间长度（在设计中为 0.1s），视为按键无意间的抖动，否则，为有效信号输出。

6、总结与分析

通过此次综合设计，从搜集资料、完善代码到仿真波形并设计管脚都要求我们自己完成。在本次实验中我们遇见了许多困难，但最终经受住考验并能够拿出成功的作品。在本次实验中，我们对设计大规模集成数字电路有了更深的理解，也对实际工程有了更深领会。

单从学术上来说，我们对 VHDL 的基础用法有了更加深入地理解，对于仿真模拟的流程有了更深刻记忆。更广泛来说，付出学习成本完成一项工程往往是值得的。在以后的学习中，我们用到 QuartusII 将会更多，因此对该软件的熟悉是必要的，多应用该软件进行设计，熟悉更多的报错，这样能在以后的运用中更加熟练。

七、自评成绩

姓名	学号	自评成绩
刘浩	19040300090	100

陈景文	19069100192	90
赛米江	200403000005	70
汤弘扬	20049200251	70
加合斯力克	200403000003	70