

可编程逻辑器件及硬件描述语言的 EDA 方法

王晓峰

(长春大学 电子信息工程学院, 吉林 长春 130022)

摘要:介绍了用可编程逻辑器件 CPLD 及硬件描述语言 VHDL 设计数字系统的方法和采用 CPLD 器件进行电路设计的优点,着重介绍了在电子系统设计中,使用 CPLD 器件和传统集成电路设计的不同,采用 CPLD 设计是一种基于芯片的、“自顶向下”的设计方法,本文给出了一种键盘扫描的硬件及软件的设计实例。

关键词:可编程逻辑器件 CPLD; 硬件描述语言 VHDL; 键盘扫描

中图分类号: TP312 **文献标识码:** B

1 可编程逻辑器件 (CPLD)

很早以前人们就曾设想设计一种逻辑可再编程的器件,希望能使设计周期尽可能短,最好是在实验室里就能设计出合适的芯片,并且立即运用到实际中去。可编程逻辑器件(PLD)是一种由用户编程以实现某种逻辑功能的新型逻辑器件。FPGA 和 CPLD 分别是现场可编程门阵列和复杂可编程逻辑器件的简称,现在,FPGA 和 CPLD 器件的应用十分广泛,它们将随着 EDA 技术的发展而成为电子设计领域的重要角色。FPGA/CPLD 的规模比较大,适合于时序、组合等逻辑电路应用场合,它可以替代几十甚至上百个通用 IC 芯片。这样的 FPGA/CPLD 实际上就是一个子系统部件^[1]。

利用 FPGA/CPLD 的高可靠性可将整个系统下载于同一芯片中,实现所谓片上系统;由于 FPGA/CPLD 的集成规模非常大,可利用先进的 EDA 工具进行电子系统设计和产品开发。

随着电子技术的发展,生产各种类型的可编程逻辑器件的公司也有很多,国际上生产 FPGA/CPLD 的主流公司,并且在国内占有市场份额比较大的主要是 Xilinx, Altera, Lattice 三家公司。Xilinx 公司的 CPLD 器件有 XC9 500、XC9 500XV、XC9 500XL 系列等,可用门数为 1 200 至 18 000; Altera 公司的 CPLD 器件有 FLEX 6 000、FLEX 8 000、

FLEX10K、FLEX10KE 系列等,可用门数为 5 000 至 25 000; Lattice 公司的 ispLSI 器件有 ispLSI 1 000、ispLSI 2 000、ispLSI 3 000、ispLSI 6 000 系列等,可用门数最多有 25 000 个^[2]。

2 硬件描述语言 (VHDL) 及其编译环境

硬件描述语言是 EDA 技术的重要组成部分,VHDL 是作为电子设计主流硬件的描述语言。VHDL (Very High Speed Integrated Circuit Hardware Description Language) 于 1983 年由美国国防部发起创建,由 IEEE 进一步发展并在 1987 年作为“IEEE 标准 1076”发布。因此,VHDL 成为硬件描述语言的业界标准之一。VHDL 作为 IEEE 的工业标准硬件描述语言,得到众多 EDA 公司的支持,在电子工程领域,已成为事实上的通用硬件描述语言。

VHDL 语言具有很强的电路描述和建模能力,能从多个层次对数字系统进行建模和描述,从而大大简化了硬件设计任务,提高了设计效率和可靠性。使用 VHDL 语言,可以就系统的总体要求出发,自上而下地将设计内容细化,最后完成系统硬件的整体设计。

一个完整的 VHDL 程序包括以下几个基本组成部分:实体 (Entity) 结构体 (Architecture) 程序

收稿日期: 2004-11-15

作者简介: 王晓峰 (1973-), 男, 吉林省大安市人, 长春大学电子信息工程学院助理实验师, 主要从事电子信息技术及自动化控制的研究。

包（Package）库（Library）。其中，实体是一个 VHDL 程序的基本单元，由实体说明和结构体两部分组成：实体说明用于描述设计系统的外部接口信号；结构体用于描述系统的行为、系统数据的流程或系统组织结构形式。程序包存放各设计模块能共享的数据类型、常数、子程序等。库用于存放已编译的实体、机构体、程序包及配置^[1]。

VHDL 语言的编译环境有不同的版本。我们应用的是 Altera 公司的 Max plus II 软件，它的操作顺序如下：①使用 TEXT EDITOR 编写 VHDL 程序；②使用 COMPILER 编译 VHDL 程序；③使用 WAVEFORM EDITOR、SIMULART 仿真实验；④使用 TIMING ANALYZER 进行芯片的时序分析；⑤用 FLOORPLAN EDITOR 锁定芯片管脚位置；⑥使用 PROGRAMMER 将编译好的 VHDL 程序下载到芯片中。

3 键盘扫描的硬件及软件设计

（1）硬件结构采用 Altera 公司的 MAX 系列的 EPM7128SLC84-15 芯片作为下载芯片，此芯片有 84 引脚，56 个 I/O 口；6 个 LED 数码管。其结构如图 1 所示。

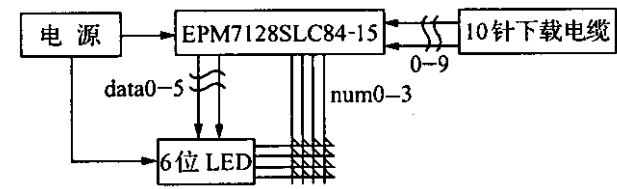


图 1 键盘扫描硬件示意图

VHDL 源程序在 Max plus II 环境下经编译、仿真、管脚锁定成功后，通过 10 针下载电缆下载到 EPM7128SLC84-15 中，使其完成如下功能：输入 16 个键（0、1、...E、F）任意一个，数码管可以从右向左依次显示这个键的内容，并且随着输入频率的变化而变化。

（2）软件设计

VHDL 程序如下：

```
library IEEE ;
use IEEE.std_logic_1164.all ;
use IEEE.STD_LOGIC_ARITH.ALL ;
use IEEE.STD_LOGIC_UNSIGNED.ALL ;
entity KEYSKAN is
port(
    CLK1 in STD_LOGIC ;
    KEYIN1,KEYIN2 in STD_LOGIC ;
```

```
    LED_SA : out STD_LOGIC ;
    LED_SB : out STD_LOGIC ;
    LED_SC : out STD_LOGIC ;
    LED_A : out STD_LOGIC ;
    LED_B : out STD_LOGIC ;
    LED_C : out STD_LOGIC ;
    LED_D : out STD_LOGIC ;
    LED_E : out STD_LOGIC ;
    LED_F : out STD_LOGIC ;
    LED_G : out STD_LOGIC ;
    LED_DP : out STD_LOGIC ;
end KEYSKAN ;
architecture KEYSKAN_ARCH of KEYSKAN is
    SIGNAL SEG :STD_LOGIC_VECTOR( 6
DOWNTO 0 );
    SIGNAL SEL :STD_LOGIC_VECTOR( 2
DOWNTO 0 );
    SIGNAL NUM :STD_LOGIC_VECTOR( 3
DOWNTO 0 );
    SIGNAL COUNT :STD_LOGIC_VECTOR( 4
DOWNTO 0 );
    SIGNAL COUNT0 STD_LOGIC ;
begin
    PROCESS( CLK1 )
    BEGIN
        IF CLK1'event AND CLK1 = '1'THEN
            COUNT <= COUNT + 1 ;
        END IF ;
    END PROCESS ;
    COUNT0 <= COUNT( 0 );
    PROCESS( count0 ,COUNT ,KEYIN1 ,KEYIN2 )
    BEGIN
        IF Count0'event and( COUNT0 = '1' )THEN
            IF ( KEYIN1 = '0' )and( COUNT( 1 ) = '0' )
THEN
                NUM( 3 )<= '0' ;
                NUM( 2 DOWNTO 0 )<= COUNT( 4 DOWNTO
2 );
                ELSIF( KEYIN2 = '0' )AND( COUNT( 1 ) =
'0' )THEN
                    NUM <= '1'&COUNT( 4 DOWNTO 2 );
                END IF ;
            END IF ;
        END IF ;
    END PROCESS ;
```

```

SEL <= COUNT( 4 DOWNT0 2 );
SEG <= "0111111" WHEN NUM = 0 ELSE
      "0000110" WHEN NUM = 1 ELSE
      "1011011" WHEN NUM = 2 ELSE
      "1001111" WHEN NUM = 3 ELSE
      "1100110" WHEN NUM = 4 ELSE
      "1101101" WHEN NUM = 5 ELSE
      "1111101" WHEN NUM = 6 ELSE
      "0000111" WHEN NUM = 7 ELSE
      "1111111" WHEN NUM = 8 ELSE
      "1101111" WHEN NUM = 9 ELSE
      "1110111" WHEN NUM = 10 ELSE
      "1111100" WHEN NUM = 11 ELSE
      "0111001" WHEN NUM = 12 ELSE
      "1011110" WHEN NUM = 13 ELSE
      "1111001" WHEN NUM = 14 ELSE
      "1110001" WHEN NUM = 15 ELSE
      "0000000";
LED_SA <= SEI( 0 );
LED_SB <= SEI( 1 );
LED_SC <= SEI( 2 );
LED_A <= SEQ( 0 );
LED_B <= SEQ( 1 );
LED_C <= SEQ( 2 );
LED_D <= SEQ( 3 );
LED_E <= SEQ( 4 );
LED_F <= SEQ( 5 );
LED_G <= SEQ( 6 );
LED_DP <= '0';
end KEYSCAN_ARCH ;

```

在程序中, CLK1 是控制键盘扫描的速度, 当频率高时, 扫描速度快, 否则就慢。当其中一个键按下时, 数码管就会从右向左轮流显示这个键的内容, 并且随着频率的变化而变化。

由于下载芯片有 56 个 I/O 口, 可以随时扩展不同的外围电路, 只要下载不同的 VHDL 程序就可以实现不同功能的数字电路^[3~4]。

4 结 语

综上所述及实例分析, VHDL 语言的极强的行为描述能力和丰富的仿真语句及库函数, 决定了它具有支持大规模设计的分析和已有设计的再利用功能^[5~6]。用 VHDL 完成一个确定的设计, 可以利用 EDA 工具进行逻辑综合和优化, 并自动把 VHDL 描述设计转变成门级网表。这种方式突破了门级设计的瓶颈, 极大地减少了电路设计的时间和可能发生的错误, 降低了开发成本。

参考文献:

- [1] 谭会生, 张昌凡. EDA 技术及应用 [M]. 西安: 西安电子科技大学出版社, 2002.
- [2] 潘松, 黄继业. EDA 技术实用教程 [M]. 北京: 科学出版社, 2003.
- [3] 王小军. VHDL 简明教程 [M]. 北京: 清华大学出版社, 1997.
- [4] 卢毅, 赖杰. VHDL 与数字电路设计 [M]. 北京: 科学出版社, 2001.
- [5] 宋万杰, 罗丰, 吴顺君. CPLD 技术激起应用 [M]. 西安: 电子科技大学出版社, 1999.
- [6] 张猛, 王晓峰, 赵雷. MATLAB 环境下的数字电路仿真 [J]. 长春大学学报, 2005, (2): 18 - 20.

Programmable logic devices and EDA way for hardware description language

WANG Xiao-feng

(Electron and Information Engineering College , Changchun University , Changchun 130022 , China)

Abstract : The method to design the digital system through programmable logic devices—CPLD and hardware description language—VHDL and the advantages of the application of CPLD in the circuit design are introduced and then the differences are mainly analyzed between applying CPLD and applying the traditional integrated circuit. The CPLD design is based on the CMOS chip and is a kind of method from top to bottom. The text gives a design example of hardware and software in the keyboard scanning.

Key words : programmable logic devices CPLD ; hardware description language VHDL ; keyboard scanning