

西安电子科技大学

电子线路实验(II) 课程实验报告

实验名称 大规模集成数字电路设计

机电工程 学院 2004031 班

姓名 廖嘉敏 学号 20049200120

同作者 陈一函,王瑞欣,房晋萌,林萱,闫嘉怡

实验日期 2021 年 11 月 21 日

成绩

指导教师评语:

指导教师:

____年____月____日

实验报告内容基本要求及参考格式

- 一、实验目的
- 二、实验所用仪器（或实验环境）
- 三、实验基本原理及步骤（或方案设计及理论计算）
- 四、实验数据记录（或仿真及软件设计）
- 五、实验结果分析及回答问题（或测试环境及测试结果）

一、实验目的

- 1、熟悉大规模集成数字电路的设计方法。
- 2、熟悉数字系统调试及故障排除方法。

为达到以上目的，学生应具备基本的自主学习能力、对实验结果数据进行处理和分析的能力和设计实验方案进行实验的能力。

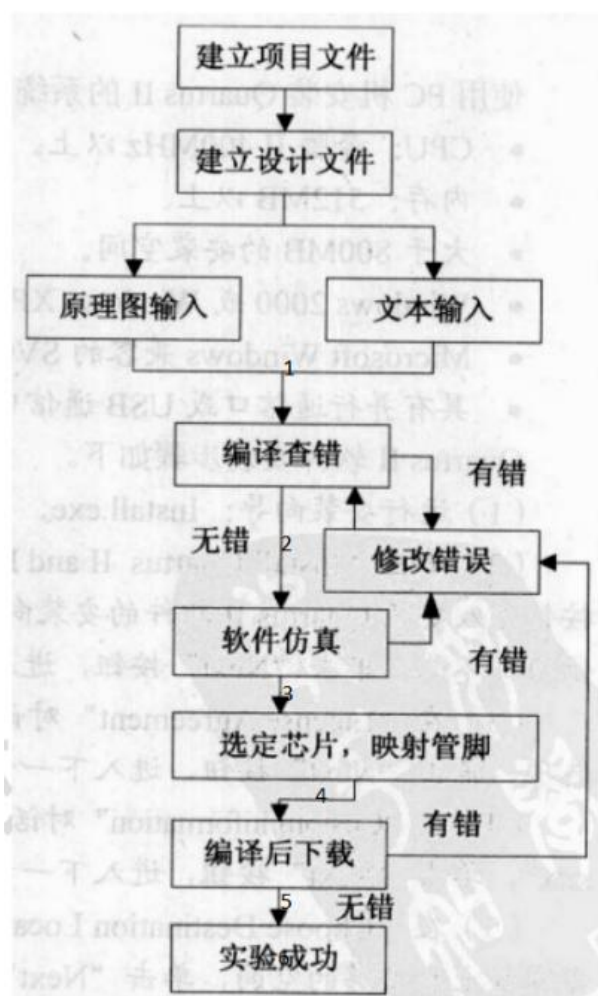
二、实验原理

第一周：崭新的实验课程，需要崭新的电路设计。请设计一个你认为最崭新的数字电路（必须与实验五、六和其他小组不同，使用芯片 **EPM7128SLC84-15!**），提交设计报告，并选派一个实验组携纸质版参加筛选试做。扣除试做满分后的设计分根据第二周选做结果评定，选做一组扣 1 分直至 0 分，筛选未过组取筛选通过设计的最低分。具体要求如下：

- 以小组为单位，标准设计组成员必须是 5~6 人，自由组合，每人只能参加一个组，最多接受一个非标准组。
- 每个组交一个 pdf 格式的设计报告，用满分组员名+简短的设计名命名，如陈某某组时钟.pdf，其它要求同实验报告。此外，只要认为有用的内容，都可写入设计报告，例如，崭新点，根据特定要求对需求、研制成本和性价比的分析等。抄袭零分。
- 为鼓励竞争，设计报告中必须包含自评成绩：最少一个 100 分，n 人总分等于 80n。
- 时间：一周。之后，课代表将公布设计报告（要筛选的话，我会联

系课代表），未看到的同学请与课代表联系。注意时间节点。

第二周:在公布的全部设计中选做一个，根据实验结果评定实验分。



设计流程（分六步记分）

三、实验仪器

1、数字逻辑电路实验箱+CPLD 开发板

1 块

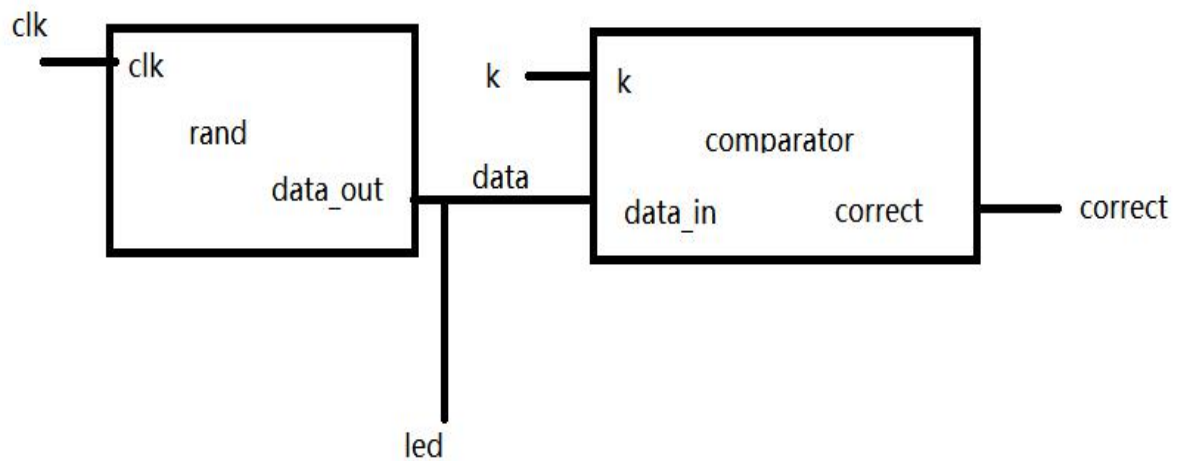
四、实验内容（自由）及步骤

实现一个反应速度测试仪。

1. 具体测试方法：

四个 LED 灯随机亮起，LED 灯分别对应键盘上的四个按键，看到 LED 灯亮起后，需要玩家迅速确定亮起 LED 灯的位置,然后按下亮起 LED 灯所对应的按键。当且仅当按对所有亮起的 LED 灯所对应的按键时，才记为反应正确。

2.总体设计



(1) 建立文件代码如下：

--bee.vhd

library ieee;

use ieee.std_logic_1164.all;

use ieee.std_logic_arith.all;

entity bee is

port(

 clk: in std_logic;

 data_out: out std_logic_vector(3 downto 0)

```

    );
end bee;

architecture rtl of bee is
    signal feedback:std_logic;
    signal ram:std_logic_vector(3 downto 0);
begin
    feedback<=ram(3) xnor ram(0);

    latch_it:process(clk)
    begin
        if (clk='1' and clk'event) then
            ram<=ram(2 downto 0)&feedback;
        end if;
    end process;

    data_out<=ram(3 downto 0);
end rtl;

```

--keyboard.vhd

```

library ieee;

use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;

entity keyboard is

```

```

port(
    k:in std_logic_vector(3 downto 0);
    data_in: in std_logic_vector(3 downto 0);
    correct: out std_logic
);
end keyboard;

architecture arc_keyboard of keyboard is
    signal c:std_logic_vector(3 downto 0);
begin
    process(k,data_in)
    begin
        c<=k xor data_in;

        if (c="1111") then correct<='1';
        else correct<='0';
        end if;

    end process;
end arc_keyboard;

```

--Rhythm.vhd

```

library ieee;

use ieee.std_logic_1164.all;

```

```

use ieee.std_logic_arith.all;

entity Rhythm is

port(

    correct:out std_logic;

    clk: in std_logic;

    k:in std_logic_vector(3 downto 0);

    led:out std_logic_vector(3 downto 0)

);

```

end Rhythm;

architecture behavior of Rhythm is

component bee

```

port(

    clk: in std_logic;

    data_out:out std_logic_vector(3 downto 0)

);

```

end component bee;

component keyboard is

```

port(

    k:in std_logic_vector(3 downto 0);

    data_in:in std_logic_vector(3 downto 0);

    correct: out std_logic

```

```

    );
end component keyboard;

signal data:std_logic_vector(3 downto 0);

begin

    rand1:bee port map(clk,data);

    rand2:bee port map(clk,led);

    comparator:keyboard port map(k,data,correct);


end architecture behavior;

```

源码解释：

bee.vhd 为产生 4 位随机数的代码模块，取 ram 为一个 4 位数，将第 1 位和第 4 位进行同或得结果 **feedback**，将 ram 的 3 位和 **feedback** 合并取代原来 4 位的 ram，新的 ram 即是得到的一个伪随机数。

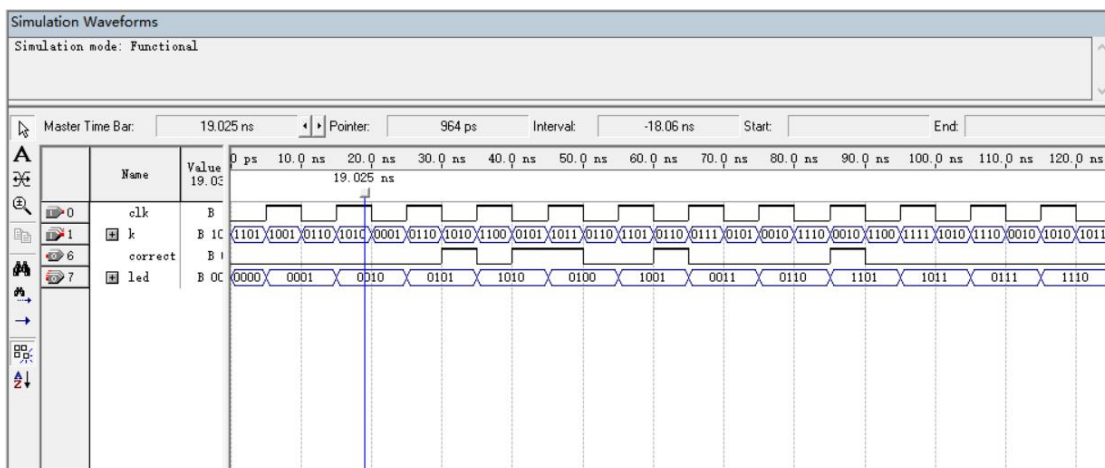
Keyboard.vhd 为比较模块，使键盘输入（或开关输入）与上述产生随机数比较，若相对应则输出 **correct** 为高电平

Rhythm.vhd 为顶层文件。

Flow summary 如下：

Flow Summary		
Flow Status	Successful - Sat Nov 20 19:48:55 2021	
Quartus II Version	9.0 Build 132 02/25/2009 SJ Full Version	
Revision Name	Rhythm	
Top-level Entity Name	Rhythm	
Family	MAX7000S	
Device	EPM7128SLC84-15	
Timing Models	Final	
Met timing requirements	Yes	
Total macrocells	10 / 128 (8 %)	
Total pins	14 / 68 (21 %)	

(2) 仿真波形如下:



波形解释:

Clk 为时钟输入,控制 LED 序列的改变,上升沿有效,每个周期内 LED 灯随机亮起;

k 为键盘输入或开关,一共四个按键,低电平代表按键按下;

LED 代表四个灯,高电平代表灯亮,低电平代表不亮;

Correct 代表记录的分数,高电平代表得分,低电平代表不得分;

当 k 表示的被按下的按键与亮起的 LED 相对应时,此周期得分,correct 为高电平,否则为低电平.

例如:

当 LED=0011,k=0110 表示 LED 灯 3 和 4 亮起,按键 1 和 4 被按下,correct 输出 0,表示此轮不得分;

当 LED=0010,k=0001 表示 LED 灯 3 亮起,按键 1,2,3 被按下,correct 输出 0,表示此轮不得分;

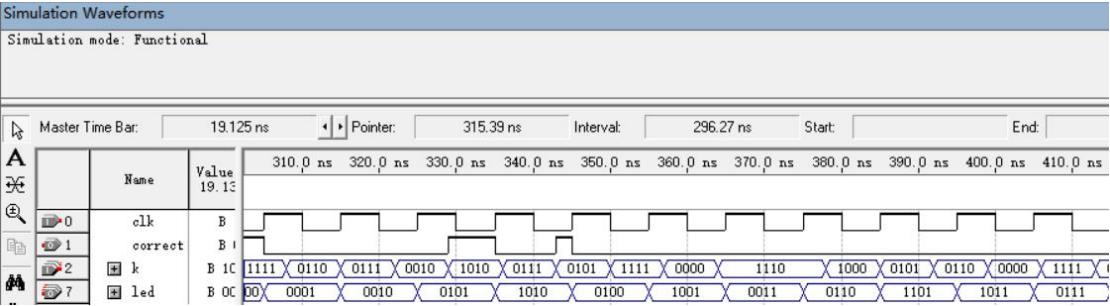
当 LED=1001,k=0110 表示 LED 灯 1 和 4 亮起,按键 1 和 4 被按下,correct 输出 1,表示成功,得分.

(3) 创意崭新点:

四个 LED 灯随机亮起,LED 灯分别对应键盘上的四个按键,看到 LED 灯亮起后,需要玩家迅速确定亮起 LED 灯的位置,然后以最快的速度向肢体下达命令,按下亮起 LED 灯所对应的按键。当且仅当按对所有亮起的 LED 灯所对应的按键时,才记为反应正确。

correct 灯亮起时间越长,表明反应速度越快。可根据玩家反应能力设定不同游戏难度,对应不同时钟周期,即周期越短,测试难度越高。

例如下列波形:



Correct 处于高电平的时间可以反应回答的速度,时间越长,代表灯亮时

回答速度越快.

需求分析:

可针对不同需求的人群, 比如: 时钟周期较长时, 难度较低, 可用于锻炼低龄儿童反应速度; 时钟周期较短时, 难度较高, 可为反应速度快的人提供娱乐活动。

研制成本:

研制成本较低。

五、实验注意事项

✓ 两人一实验组 (12 分钟) 接力完成, 课前在课代表处排号 (过时重排!); 请课代表注意: 1. 最多接受一个非两人组, 2. 排号表不分早中晚, 除成绩外各项均需按要求填写, 缺少者排号无效, 并请第一组同学带到实验室。

✓ 要求完全使用 VHDL 语言设计, 不得使用其它设计输入方式 (例如, 画原理图)。

✓ VHD 文件课前写好, 设计流程其它步骤需到课演示, 项目要求建在 U 盘上。

✓ CPLD 开发板上使用的芯片是 MAX 7000S 系列 EPM7128SLC84-15 !

✓ 锁定管脚后要再次执行全程编译 (必要步骤)!

可以使用自己的电脑, 但不能保证编程器兼容!

分值: 设计: 16 分 (含试做满分 6 分), 实验: 9 分, 共 25 分。

完成实验七后,请登录雨课堂,填写问卷,谢谢!

组员及自评成绩:

廖嘉敏: 100

陈一函: 76

王瑞欣: 76

房晋萌: 76

林萱: 76

闫嘉怡: 76