

电子线路实验 课程实验报告

实验名称 大规模集成数字电路设计报告

机电工程 学院 2004031 班

姓名 孔绍然学号 20049200270
姓名 李锦源学号 20049200103
姓名 袁瑜_学号 20049200075
姓名 阮磊_学号 20049200118
姓名 韦吉洋_学号 20049200144
姓名 伊尔番江·努尔麦麦提 学号 20040300002

成 绩

实验日期 2021 年 11 月 21 日

指导教师评语:

指导教师:

____年____月____日

实验报告内容基本要求及参考格式

- 一、实验目的 二、实验所用仪器
(或实验环境)
- 三、实验基本原理及步骤 (或方案设计及理论计算)
- 四、实验数据记录 (或仿真及软件设计)
- 五、实验结果分析及回答问题 (或测试环境及测试结果)

电子琴设计

一、设计要求

- 1、可以发出1、2、3、4、5、6、7、1（高音）八个音；
- 2、LED灯显示节拍和音符位置；
- 3、开关或按键做为琴键盘；
- 4、输入为1MHz的脉冲。

二、实验仪器

数字逻辑电路实验箱+CPLD 开发板 1

块

三、实验内容及步骤

(1) VHDL代码

```
Dianziquin.vhd
LIBRARY IEEE ;
USE IEEE.STD_LOGIC_1164.ALL ;
USE IEEE.STD_LOGIC_ARITH.ALL ;
USE IEEE.STD_LOGIC_UNSIGNED.ALL ;
entity dianziquin is
PORT
(
    clk1: IN STD_LOGIC;
    index IN STD_LOGIC_VECTOR(7 DOWNTO 0);
    spks: OUT STD_LOGIC;
    LED8: OUT STD_LOGIC;
    LED7: OUT STD_LOGIC;
    LED6: OUT STD_LOGIC;
    LED5:OUT STD_LOGIC;
    LED4:OUT STD_LOGIC;
    LED3:OUT STD_LOGIC;
    LED2: OUT STD_LOGIC;
    LED1: OUT STD_LOGIC
);

END dianziquin;
ARCHITECTURE art OF dianziquin IS
COMPONENT GetTone
    PORT ( index: IN STD_LOGIC_VECTOR (7
DOWNTO 0 );
        code: out STD_LOGIC_VECTOR (3 DOWNTO
0);
        tone1: OUT INTEGER RANGE 0 TO 4000 );
END COMPONENT;
COMPONENT FreqDivider
PORT (clk1:IN STD_LOGIC;
    tone2:IN INTEGER RANGE 0 TO 4000;
    spks: OUT STD_LOGIC);
END COMPONENT;

COMPONENT Disp
PORT(code1:IN STD_LOGIC_VECTOR(3 DOWNTO 0);
    LED1: OUT STD_LOGIC;
    LED2: OUT STD_LOGIC;
    LED3: OUT STD_LOGIC;
    LED4: OUT STD_LOGIC;
```

```

        LED5: OUT STD_LOGIC;
        LED6: OUT STD_LOGIC;
        LED7: OUT STD_LOGIC;
        LED8: OUT STD_LOGIC);
END COMPONENT;

```

```

SIGNAL tem1: INTEGER RANGE 0 TO 4000;
SIGNAL tem2: STD_LOGIC_VECTOR(3 DOWNT0 0);
BEGIN
U0:GetTone PORT MAP(index=>index,code=>tem2,
tone1=>tem1);
U1:FreqDivider PORT MAP(clk1=>clk1,tone2=>tem1,
spks=>spks);
U2:Disp PORT MAP(code1=>tem2,LED1=>LED1,LED2
=>LED2,LED3=>LED3,LED4=>LED4,LED5=>LED5,LED6
=>LED6,
LED7=>LED7,LED8=>LED8);
END art;

```

GetTone.vhd

```

LIBRARY IEEE ;
USE IEEE.STD_LOGIC_1164.ALL ;
USE IEEE.STD_LOGIC_ARITH.ALL ;
USE IEEE.STD_LOGIC_UNSIGNED.ALL ;

```

顶层文件模块：将音调发生模块的输出code、tone1分别与分频器模块的输入tone2和显示器模块的code1连接。

```

ENTITY GetTone IS
PORT ( index: IN STD_LOGIC_VECTOR (7 DOWNT0
0 );
      code: out STD_LOGIC_VECTOR (3 DOWNT0
0);
      tone1: OUT INTEGER RANGE 0 TO 4000 );
END GetTone;

```

```

ARCHITECTURE behavioral OF GetTone IS
BEGIN
search: PROCESS(index)
BEGIN
CASE index Is
WHEN "11111110"=>tone1<=3822;code<="0000"; --1
WHEN "11111101"=>tone1<=3405;code<="0001"; --2
WHEN "11111011"=>tone1<=3034;code<="0010"; --3
WHEN "11110111"=>tone1<=2863;code<="0011"; --4
WHEN "11101111"=>tone1<=2551;code<="0100"; --5
WHEN "11011111"=>tone1<=2273;code<="0101"; --6
WHEN "10111111"=>tone1<=2025;code<="0110"; --7
WHEN "01111111"=>tone1<=1911;code<="0111"; --1
WHEN OTHERS =>tone1<=0;code<="1111";
END CASE;
END PROCESS;
END behavioral;

```

音调发生模块：八位index输入实现音符选择，并将其转化为分频系数（1MHz/频率），如B调的频率为493.88Hz，对应的分频系数取整为2025。

FreqDivider.vhd


```

LIBRARY IEEE ;
USE IEEE.STD_LOGIC_1164.ALL ;
USE IEEE.STD_LOGIC_ARITH.ALL ;
USE IEEE.STD_LOGIC_UNSIGNED.ALL ;

ENTITY FreqDivider IS
PORT (clk1:IN STD_LOGIC;
      tone2:IN INTEGER RANGE 0 TO 4000;
      spks: OUT STD_LOGIC);
END FreqDivider;

ARCHITECTURE behavioral OF FreqDivider IS
SIGNAL fullspks:STD_LOGIC;
BEGIN
conspks:PROCESS (clk1, tone2) --relevant Freq->
fullspks
VARIABLE count1:INTEGER RANGE 0 TO 4000;
BEGIN
IF clk1'EVENT AND clk1='1' THEN
  IF count1< (tone2/2) THEN
    count1:=count1+1;
    fullspks<='1';
  ELSE
    count1:=0;
    fullspks<='0';
  END IF;
END IF;
END PROCESS;

disspks:PROCESS(fullspks) --fullspks->spks
VARIABLE count2:STD_LOGIC:='0';
BEGIN
IF fullspks'EVENT AND fullspks='1' THEN
count2:=NOT count2;
  IF count2='1' THEN
    spks<='1';
  ELSE
    spks<='0';
  END IF;
END IF;
END PROCESS;
END behavioral;

```

分频器模块：接受音调发生器模块的tone1（分频系数），对1MHz的脉冲输入进行分频处理，实现八个音符的对应频率的输出。

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;

```

```

ENTITY Disp IS
PORT(code1:IN STD_LOGIC_VECTOR(3 DOWNT0 0);
      LED1: OUT STD_LOGIC;
      LED2: OUT STD_LOGIC;
      LED3: OUT STD_LOGIC;
      LED4: OUT STD_LOGIC;
      LED5: OUT STD_LOGIC;
      LED6: OUT STD_LOGIC;
      LED7: OUT STD_LOGIC;
      LED8: OUT STD_LOGIC);
END ;

ARCHITECTURE one OF Disp IS
BEGIN
  PROCESS(code1)
  BEGIN
    CASE code1(3 DOWNT0 0) IS
WHEN "0000" =>LED1<='0';LED2<='1';LED3<='1';LED4<='1';LED5<='1';LED6<='1';LED7<='1';LED8
<='1';--1
      WHEN "0001" =>LED1<='1';LED2<='0';LED3<='1';LED4<='1';LED5<='1';LED6<='1';LED7<='1';
LED8<='1';--2
      WHEN "0010" =>LED1<='1';LED2<='1';LED3<='0';LED4<='1';LED5<='1';LED6<='1';LED7<='1';
LED8<='1';--3
      WHEN "0011" =>LED1<='1';LED2<='1';LED3<='1';LED4<='0';LED5<='1';LED6<='1';LED7<='1';
LED8<='1';--4
      WHEN "0100" =>LED1<='1';LED2<='1';LED3<='1';LED4<='1';LED5<='0';LED6<='1';LED7<='1';
LED8<='1';--5
      WHEN "0101" =>LED1<='1';LED2<='1';LED3<='1';LED4<='1';LED5<='1';LED6<='0';LED7<='1';
LED8<='1';--6
      WHEN "0110" =>LED1<='1';LED2<='1';LED3<='1';LED4<='1';LED5<='1';LED6<='1';LED7<='0';
LED8<='1';--7
      WHEN "0111" =>LED1<='1';LED2<='1';LED3<='1';LED4<='1';LED5<='1';LED6<='1';LED7<='1';
LED8<='0';--8
      WHEN "1111" =>LED1<='1';LED2<='1';LED3<='1';LED4<='1';LED5<='1';LED6<='1';LED7<='1';
LED8<='1';
      WHEN others =>LED1<='1';LED2<='1';LED3<='1';LED4<='1';LED5<='1';LED6<='1';LED7<='1';
LED8<='1';
    END CASE;
  END PROCESS;
END;

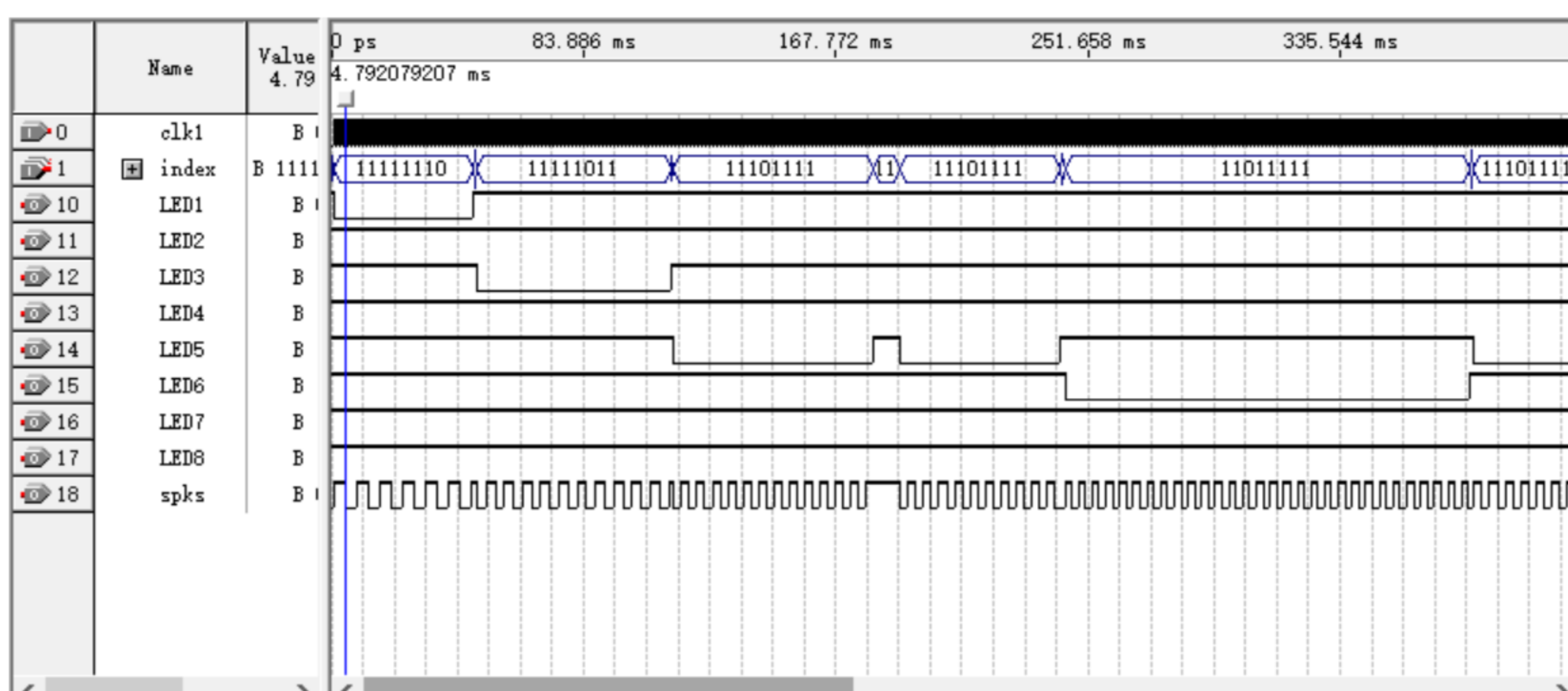
```

显示器模块：将按键输入的音符转化为八个LED灯的亮灭，便于观察节奏变化。

(2) 编译差错

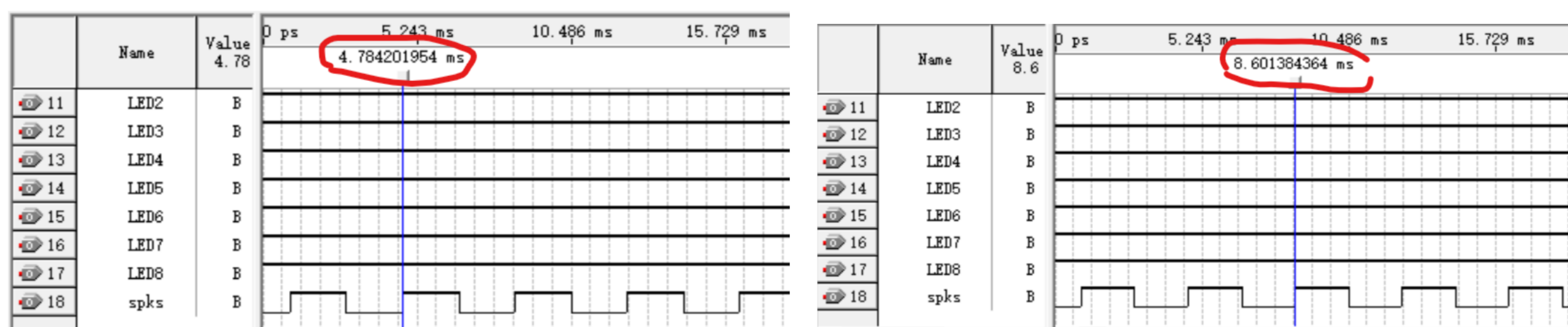
Flow Summary		
Flow Status	Successful - Sat Nov 20 19:24:59 2021	
Quartus II 64-Bit Version	9.1 Build 222 10/21/2009 SJ Full Version	
Revision Name	dianziqin	
Top-level Entity Name	dianziqin	
Family	MAX7000S	
Device	EPM7128SLC84-15	
Timing Models	Final	
Met timing requirements	Yes	
Total macrocells	82 / 128 (64 %)	
Total pins	22 / 68 (32 %)	

(3) 系统仿真与波形解释

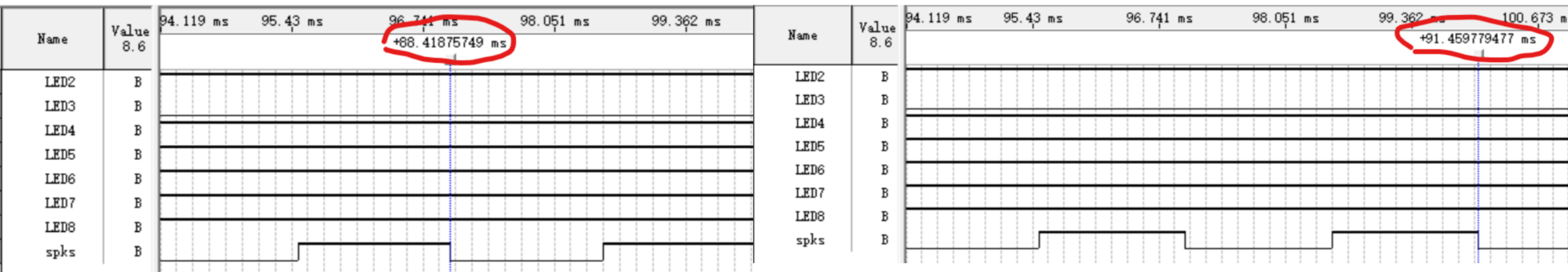


以上为演奏旋律135565的波形图，进一步观察将看到spks的周期和频率符合各个音调所对应的频率。

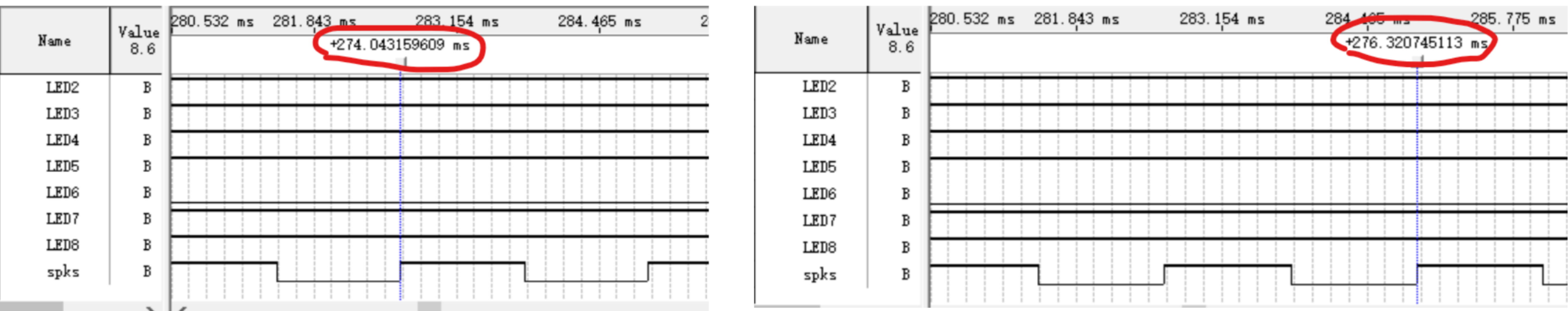
clk1为1MHz的输入频率源，index为八位输入，连接着八个键盘，当键盘按下一个键时，相对映的LED灯熄灭，同时在spks输出该音调下对应频率的波形。



比较两张图可以得知当希望演奏do时，其输出的周期为3.817ms。而C调的do频率理论值为3.816ms，符合设计要求。

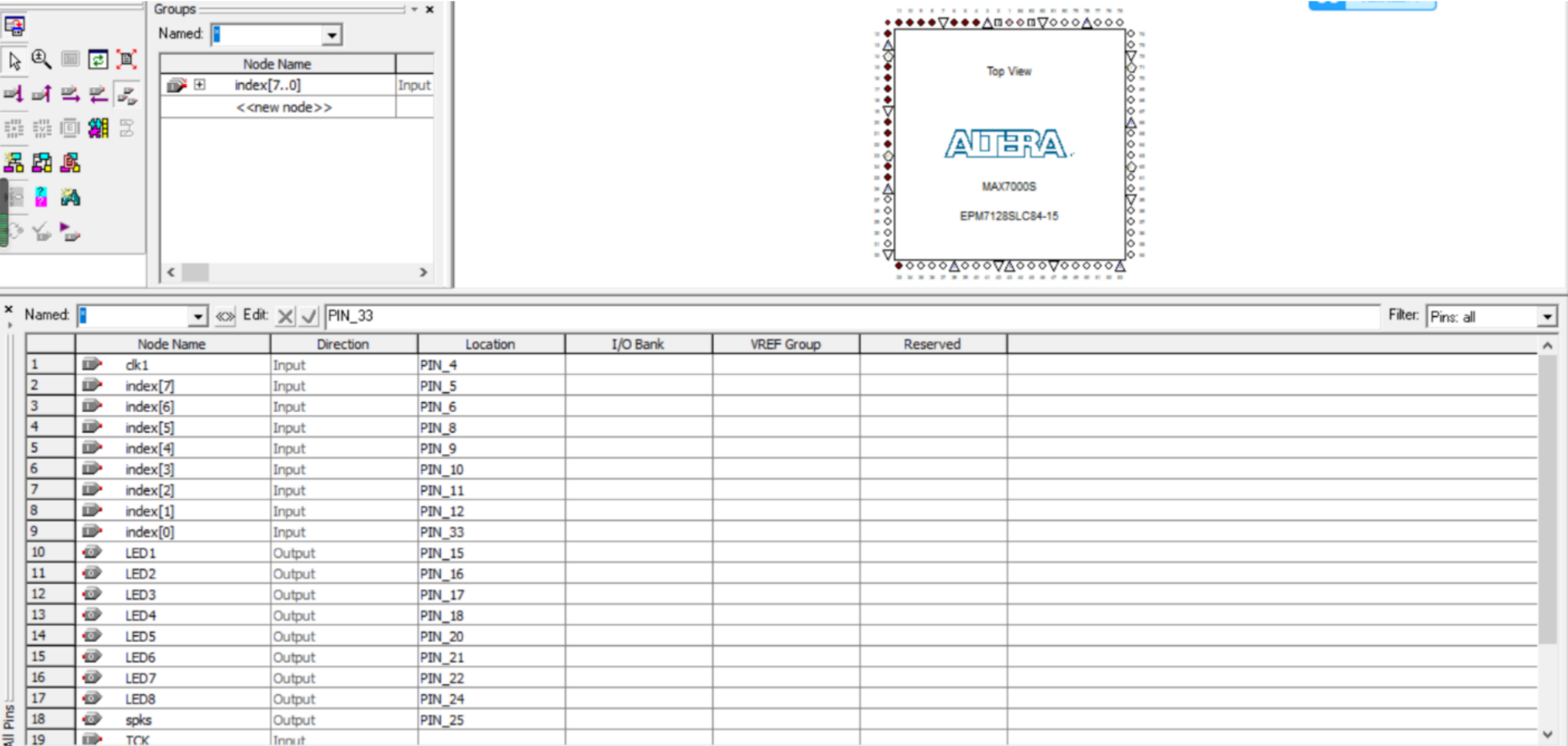


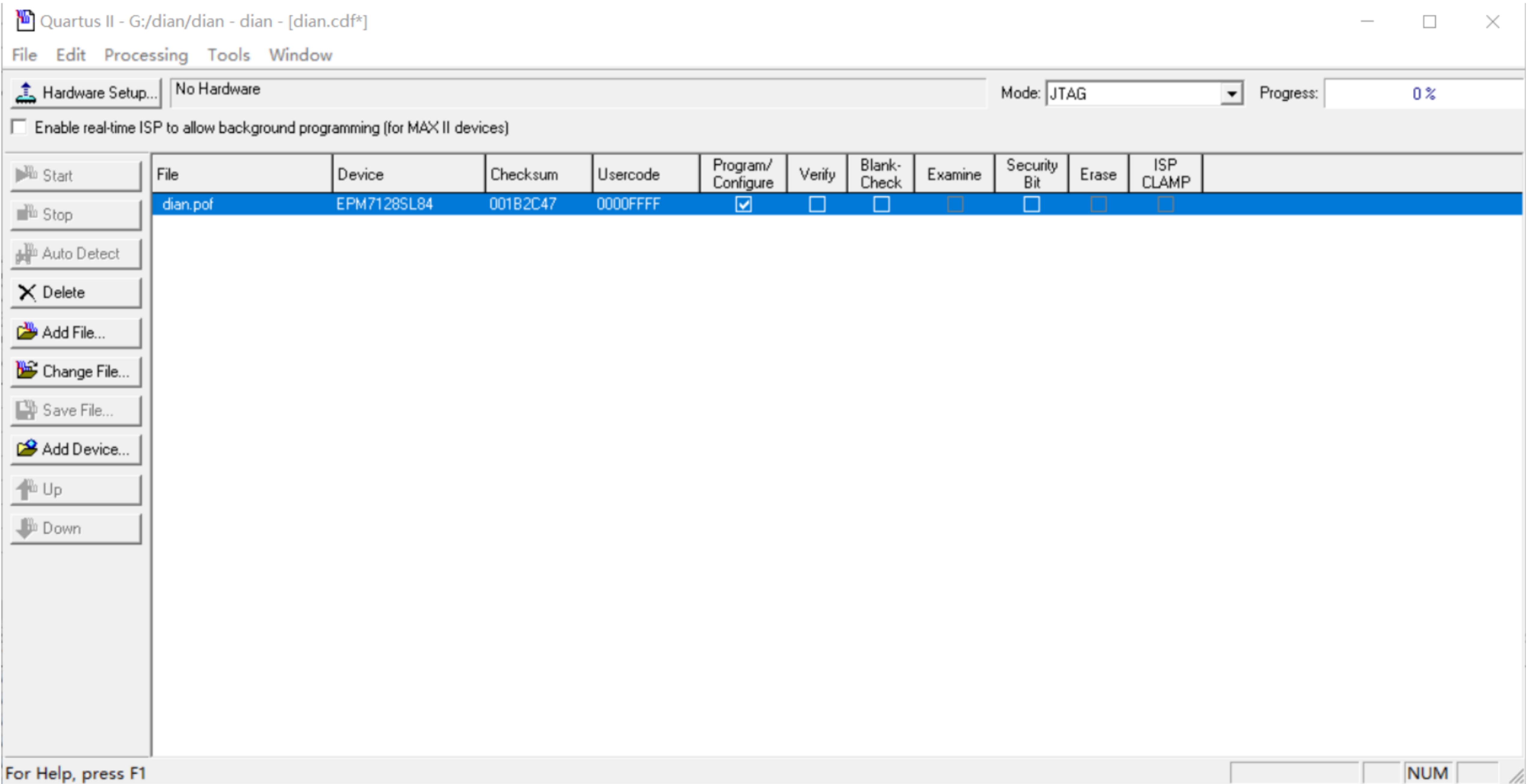
比较两张图可以得知当希望演奏mi时，其输出的周期为3.04ms。而C调的mi频率理论值为3.03ms，符合设计要求。



比较两张图可以得知当希望演奏la时，其输出的周期为2.278ms。而C调的la频率理论值为2.272ms，符合设计要求。

(4) 脚管映射与下载：





四、 崭新点

- 1、利用LED灯亮灭实现电子琴节拍的可视化观察；
- 2、只需使用一个蜂鸣器和对源程序的改写即可实现对人耳可听到的任意音高的输出。

五、 研制成本和性价比分析

- 1、研制成本较低，只需一块MAX7000S、蜂鸣器、少量LED灯即可实现；
- 2、性价比高，可以跟根据需求对电子琴音域进行扩大和其他功能的实现。

六、设计组成员及工作分配

姓名	学号	学号后三位	负责工作	自评得分
孔绍然	20049200270	270	实验设计	100
李锦源	20049200103	103	仿真验证	80
阮磊	20049200118	118	设计要求	80
韦吉洋	20049200144	144	工作原理	80
袁瑜	20049200075	075	工作原理	80
伊尔番江	20040300002	002	实验报告汇总与修改	60