

西安电子科技大学

电子线路实验

课程实验报告

实验名称 通讯接收系统

机电工程 学院 2004031 班

姓名 康绍域 学号 20049200417

同作者 邓泽方, 胡辉帆, 尧世豪

陈顺, 孙晨

成 绩

实验日期 2021 年 11 月 21 日

指导教师评语:

指导教师:

_____年____月____日

实验报告内容基本要求及参考格式

- 一、实验目的
- 二、实验所用仪器（或实验环境）
- 三、实验基本原理及步骤（或方案设计及理论计算）
- 四、实验数据记录（或仿真及软件设计）
- 五、实验结果分析及回答问题（或测试环境及测试结果）

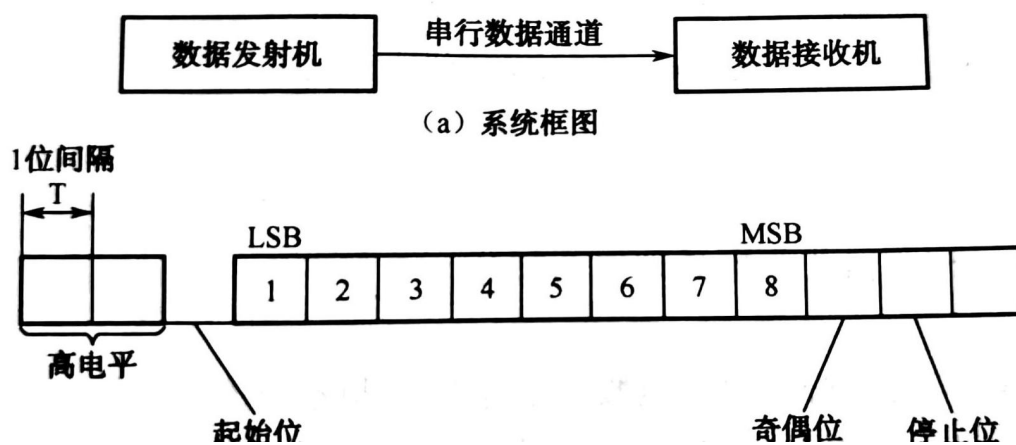
通讯接收系统设计报告

一、实验目的

熟悉 PLD 设计流程的基本步骤
实现串行通讯模拟电路设计
熟练应用奇偶误差寄存器

二、实验原理

串行数据接受过程如图所示，串行数据 8 位，奇校验



要求：并行输出接收数据并且指出所收数据是否存在奇偶误差。

三、实验仪器

数字逻辑电路实验箱+CPLD 开发板

四、实验内容

实现串行通讯模拟电路设计

五、实验注意事项

- ✓ 单人一组（6 分钟）完成，课前在课代表处排号（过时重排！）并登记实验题目；
请课代表注意：**排号表不分早中晚，除成绩外各项均需按要求填写，缺少者排号无效，** 并请第一组同学带到实验室。
- ✓ 要求完全使用 VHDL 语言设计，不得使用其它设计输入方式（例如，画原理图）。
- ✓ VHD 文件课前写好，设计流程其它步骤需到课演示，项目要求建在 U 盘上。
- ✓ CPLD 开发板上使用的芯片是 MAX 7000S 系列 EPM7128SLC84-15！
- ✓ 锁定管脚后要再次执行全程编译（必要步骤）！
- ✓ 可以使用自己的电脑，但不能保证编程器兼容！

六、VHDL 源代码

```
LIBRARY IEEE;
USE IEEE.std_logic_1164.ALL;
ENTITY RS232_receiver IS
PORT(clk:IN std_logic;
      X:IN std_logic;
      Z:OUT std_logic_vector(7 DOWNT0 0);
      C,P:OUT std_logic
);
END RS232_receiver;
ARCHITECTURE rtl OF RS232_receiver IS
SIGNAL clr, read, stc, stcp:std_logic;
SIGNAL S1, S2, S3:std_logic;
COMPONENT RS232_controller IS
PORT(clk: IN std_logic;
S1,S2,S3: IN std_logic;
clr,read, stc, stcp: OUT std_logic);
END COMPONENT;
COMPONENT RS232_datapath IS
PORT(clk: IN std_logic;
X: IN std_logic;
clr,read,stc,stcp: IN std_logic;
S1, S2, S3:OUT std_logic;
Z: OUT std_logic_vector(7 DOWNT0 0);
C,P: OUT std_logic);
END COMPONENT;
BEGIN
U1: RS232_controller PORT MAP(clk, S1, S2, S3, clr, read, stc, stcp);
U2: RS232_datapath PORT MAP(clk, X, clr, read, stc, stcp, S1, S2, S3,Z,C,P);
END rtl;
LIBRARY IEEE;
USE IEEE.std_logic_1164.ALL;
ENTITY RS232_controller IS
PORT (clk: IN std_logic;
      S1,S2,S3: IN std_logic;
      clr, read, stc, stcp: OUT std_logic
);
END RS232_controller;
ARCHITECTURE behav OF RS232_controller IS
TYPE state IS(T0, T1);
SIGNAL present_state, next_state:state;
BEGIN
```

```

seq: PROCESS(clk)
BEGIN
    IF clk'event AND clk='1'THEN
        present_state<=next_state;
    END IF;
END PROCESS seq;
com: PROCESS(present_state, S1, S2, S3)
BEGIN
    clr<='0';
    read<='0';
    stc<='0';
    stcp<='0';
    CASE present_state IS
        WHEN T0=>
            IF S1='1' THEN
                next_state<=T1;
                clr<='1';
            ELSE next_state<=T0;
            END IF;
        WHEN T1=>
            IF S2='1'THEN
                IF S3='1' THEN stcp<='1';
                ELSE stc<='1';
                END IF;
                next_state<=T0;
            ELSE
                read<='1';
                next_state<=T1;
            END IF;
        END CASE;
    END PROCESS com;
END behav;
LIBRARY IEEE ;
USE IEEE.std_logic_1164. ALL ;
ENTITY RS232_datapath IS
PORT ( clk : IN std_logic ;
      X : IN std_logic ;
      clr , read , stc , stcp : IN std_logic ;
      S1,S2,S3: OUT std_logic ;
      Z:OUT std_logic_vector (7 DOWNT0 0) ;
      C,P:OUT std_logic
    );
END RS232_datapath;
ARCHITECTURE behav OF RS232_datapath IS

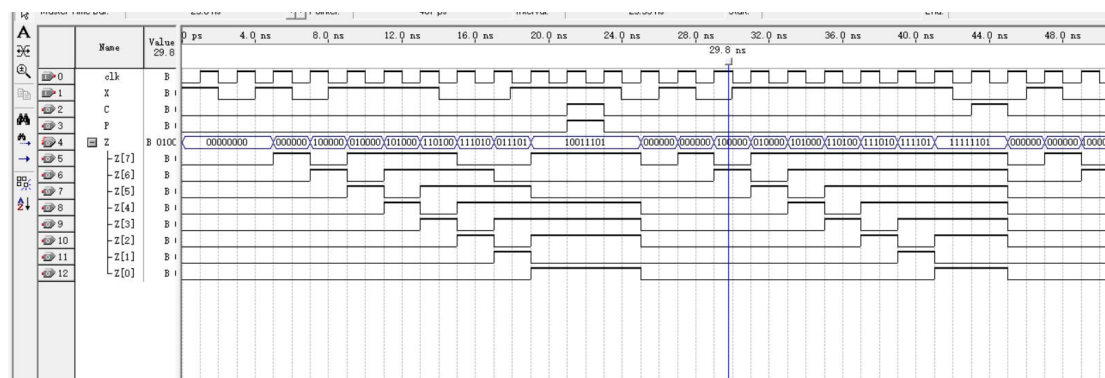
```

```

SIGNAL R: std_logic_vector (7 DOWNT0 0);
SIGNAL cnt:integer RANGE 0 TO 8;
BEGIN
    S1<=NOT X;
    Z<=R;
    PROCESS ( clk , clr , read , stc , stcp , cnt )
    BEGIN
        IF rising_edge(clk) THEN
            IF clr='1'THEN
                cnt <=0;
                R<=(OTHERS=>'0');
            ELSIF read='1'THEN
                R<=X & R(7 DOWNT0 1);
                cnt<=cnt+1;
            END IF;
            C<=stc OR stcp;
            P<=stcp;
        END IF;
    END PROCESS;
    PROCESS(cnt,X,R)
    BEGIN
        IF cnt=8 THEN
            S2<='1';
            S3<=NOT(X XOR R(0) XOR R(1) XOR R(2) XOR R(3) XOR R(4) XOR R(5)
XOR R(6) XOR R(7));
        ELSE
            S2<='0';
            S3<='0';
        END IF;
    END PROCESS;
END behav;

```

七、波形仿真



九、Flow Summary

Flow Summary	
Flow Status	Successful - Sat Nov 20 22:41:20 2021
Quartus II Version	9.0 Build 235 06/17/2009 SP 2 SJ Web Edition
Revision Name	RS232_receiver
Top-Level Entity Name	RS232_receiver
Family	MAX7000S
Device	EPM7128SLC84-15
Timing Models	Final
Met timing requirements	Yes
Total macrocells	17 / 128 (13 %)
Total pins	16 / 68 (24 %)

十、小组自评成绩

康绍域	100
邓泽方	90
胡辉帆	72.5
尧世豪	72.5
陈顺	72.5
孙晨	72.5