

**本科学士毕业论文**

**基于CPLD的四路抢答器的设计与实现**

姓 名： 康健

学 号： 20151104781

院 系： 计算机科学技术学院

年 级： 2015级

专 业： 计算机科学与技术(嵌入式)

指导导师： 戚桂美 讲师

**目 录**

**[1](#_Toc28951)** [概述 1](#_Toc28951)

[1.1 CPLD的特点及发展现状 1](#_Toc23586)

[1.2抢答器的应用 1](#_Toc1149)

**[2](#_Toc22766)** [系统设计要求 1](#_Toc22766)

[2.1抢答器功能说明 1](#_Toc3266)

[2.2抢答器技术指标 1](#_Toc21634)

[2.3抢答器整体设计方案 2](#_Toc5988)

**[3](#_Toc20871)** [基于CPLD的硬件设计 2](#_Toc20871)

[3.1硬件整体设计方案 2](#_Toc26423)

[3.2 CPLD的最小系统 3](#_Toc13458)

[3.2.1 CPLD选型 3](#_Toc20781)

[3.2.2 下载接口 4](#_Toc7554)

[3.2.3 电源 5](#_Toc388)

[3.2.4 复位 5](#_Toc11309)

[3.3 输入电源 5](#_Toc21271)

[3.4 抢答按键 6](#_Toc10456)

[3.5 数码管显示 7](#_Toc19082)

**[4](#_Toc13634)** [基于CPLD的软件设计 8](#_Toc13634)

[4.1 抢答器整体设计 8](#_Toc7076)

[4.2 选手抢答 9](#_Toc29454)

[4.3 倒计时 9](#_Toc4745)

[4.4 加分减分 10](#_Toc12961)

[4.5 数码驱动显示 10](#_Toc18355)

**[5](#_Toc5534)** [仿真设计 11](#_Toc5534)

[5.1仿真方案说明 11](#_Toc31972)

[5.2仿真测试结果 11](#_Toc10929)

[结束语 12](#_Toc12893)

[致谢 13](#_Toc29770)

[参考文献 14](#_Toc16164)

**全文共** 17  **页** 5493 **字**

基于CPLD的四路抢答器的设计与实现

计算机科学技术学院 2015级嵌入式班 康健 20151104781

指导教师 戚桂美 讲师

摘要 本设计为了解决抢答及时性、准确性及抢答判断、计分等问题，基于Altera公司的CPLD-EPM570T100I5N设计了四路抢答器。抢答器包含抢答始控功能、选手抢答功能、倒计时功能及判断计分功能。该设计利用50MHz晶振使时间控制更为精准，同时加入了消抖思路，使抢答性能更准确。

关键词 抢答器；CPLD；消抖

# 1 概述

1.1 CPLD的特点及发展现状

CPLD连续式布线结构决定了其均匀的、可预测的时序延时，且其开发周期短、上手容易、适用范围广泛、保密性强，可实现较大规模的电路设计，对于按键的控制应用非常理想，且器件功耗方面要求极低，价格低廉，现今广泛应用于产品设计和生产之中。

1.2 抢答器的应用

抢答器现如今是一种应用非常广泛的电子设备，在各种文体竞赛场合中，它能迅速准确客观地分辨出优先发言的选手，并可以实现设定发言时间、记录分数等衍生功能。

# 2 系统设计要求



2.1 抢答器功能说明

裁判可以控制整个抢答系统的开启，当裁判开启计时抢答系统之后，参赛选手可以马上进行抢答，谁先按下各自的抢答按钮，谁的号码会被锁定，并显示出来，当然必须在规定时间内，按下抢答按钮，抢答设备工作，如果在规定时间内未按下抢答按钮，倒计时将显示0，并持续闪烁，此时按下抢答按钮无效，系统判断为流题，亦不会显示选手编号。如果参赛选手在规定时间内，按下按钮，完成抢答，蜂鸣器会提示报警，同时倒计时电路也会停止倒计时，完成相应配置后，可以对获得抢答权的选手，进行加分减分，直到裁判重新启动抢答系统。

2.2 抢答器技术指标

裁判端具备一个系统启动控制按钮；选手端具备四个选手抢答按钮；显示端

:显示抢答选手编号，显示30s倒计时，显示每位选手的总分（最多9分），抢答结束后会有提示；基于CPLD系统实现硬件和软件功能。

2.3 抢答器整体设计方案

整体功能示意图如图1所示，可分为三个部分。第一个部分是作为裁判的控制台，对整个抢答系统系统的启动和清零的控制，对选手得分情况的增加或减少的控制。第二个部分是作为选手的抢答部分，四位选手分别通过按键抢答。第三部分是显示部分，需要显示1~4号选手编号，如果没有选择显示0号，倒计时时间和选手的分数显示。



图 1 整体功能设计示意图

# 3 基于CPLD的硬件设计

3.1 硬件整体设计方案

系统整体方案，根据功能和技术要求，采用CPLD作为整个抢答系统的控制器，也是本设计的核心部分。此方案从CPLD控制器来看，由电源，输入按键，输出显示和输出报警组成，整个硬件设计方案，功能简洁明了，操作简单，经济实用，完全具备可实施性，不仅可以满足设计要求和指标，而且可以通过外扩IO口实现更多的功能，为二次开发留下更多可能。



图 2 硬件整体方案示意图

3.2 CPLD的最小系统

只有在稳定运行最小系统的基础上，才能实现硬件更多的设计和软件更多的开发。硬件上的CPLD最小系统，是保证系统能够运行的基本元素，如果缺少了其中某个硬件模块，整个系统都是无法运行，更无法实现软件编程和其他设计。CPLD的最小系统包含如下图所示五个模块，第一个是CPLD，本设计的核心器件，根据使用IO和LG使用数量进行选型。第二个模块是晶振模块，为CPLD芯片提供一个时钟基准源，保证当前系统运行的准确性。第三个是电源部分，为系统提供电源，CPLD一般是3.3V或者3.3以下。第四部分是下载接口，程序可以通过此接口，下载到CPLD里面，实现对应的功能。第五部分是复位，为整个系统提供一个同步的启动时刻，实现同步启动。

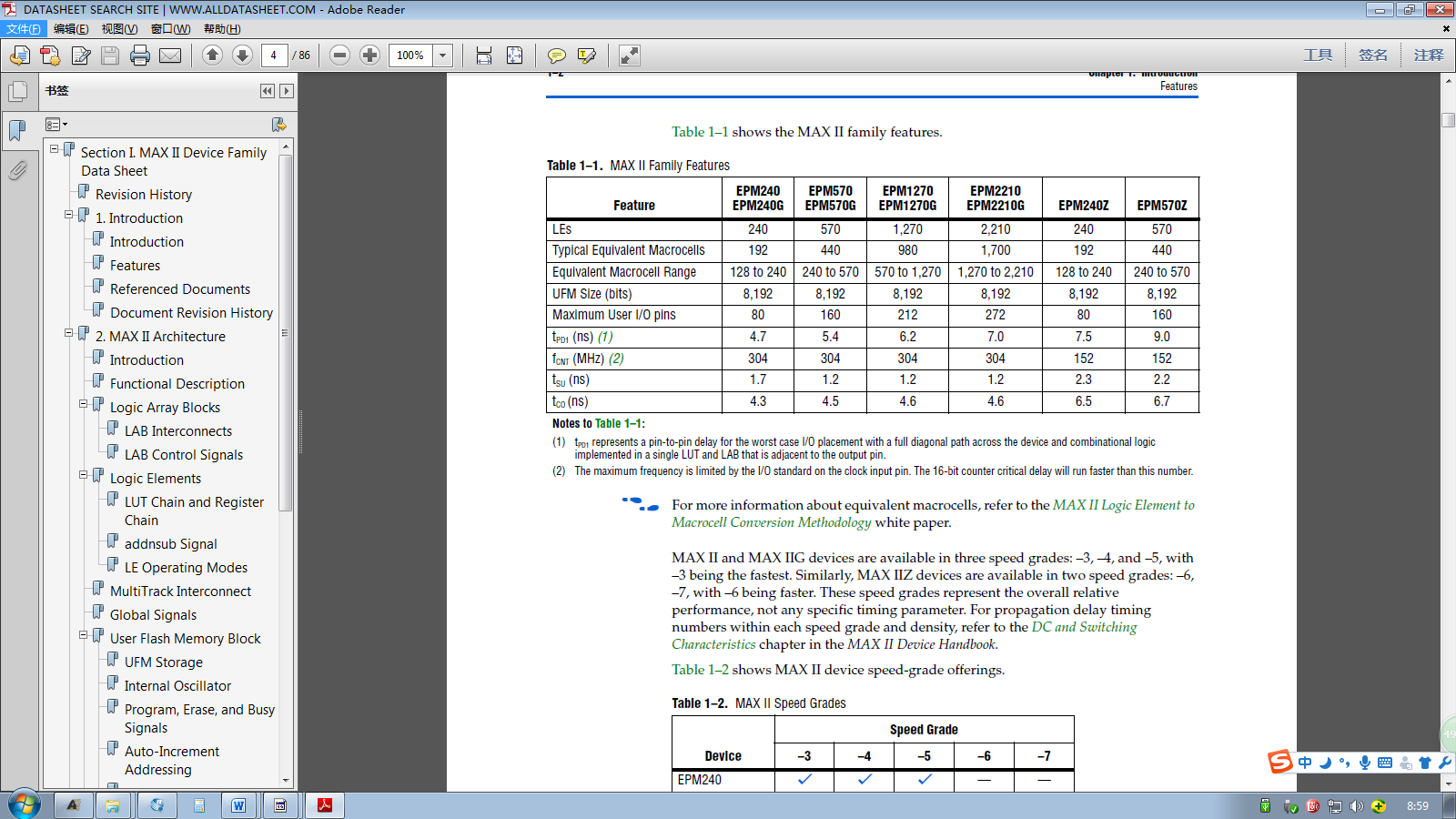


图 3 CPLD最小系统示意图

3.2.1 CPLD选型

根据系统要求和设计要求，这里不再考虑选用FPGA，而是选择使用CPLD，通常使用和容易购买的是MAX系列，我们选择入门级MAXII系列如下图所示。根据软件综合后显示的LG大概在400个左右，我们选择EPM570T100I5N。

表 1 常见CPLD性能表



由型号可以知道，EPM570T100I5N具备570个LG，可以完全满足我们的软件设计要求，外面具备100个引脚可以满足多个外设驱动的控制和配置，TQFP封装是容易焊接，相对于BGA封装技术，在焊接上，人工实现操作性更为简单。EPM570T100I5N具备以下特点：低功耗，低电源，内部电源可以为3.3V或者2.5V供电、IO引脚可以配置多种电源3.3V，2.5V，1.8V，1.5V、非易失器件、施密特触发启用噪声容限输入、可以根于不用应用场合选择不同的应用等级。

设计IO的原理图，如图4所示。

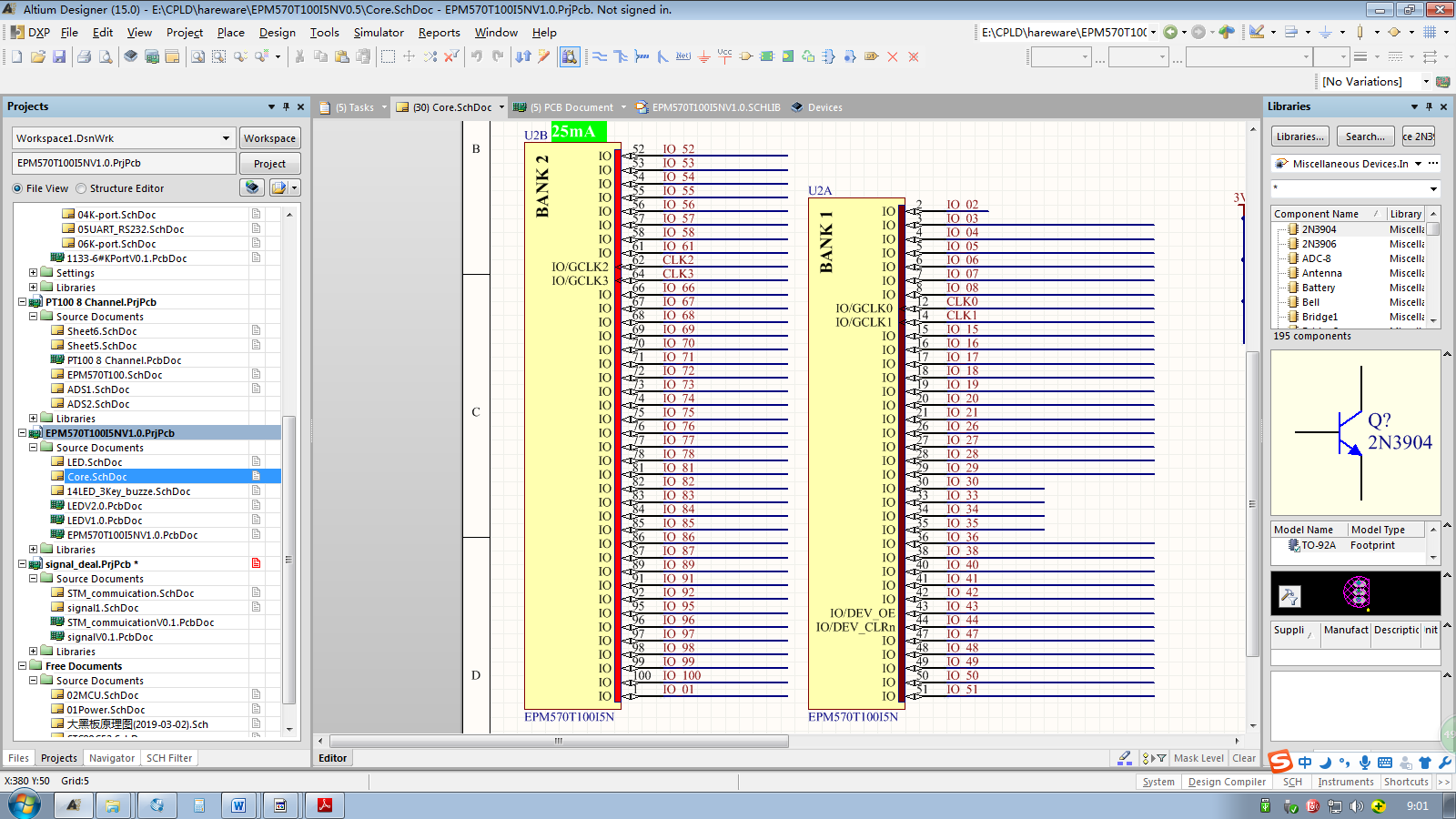


图 4 CPLD IO原理图

3.2.2 下载接口

这里使用的是4线的JTAG下载接口，JTAG全称是Joint Test Action Group，翻译为联合测试工作组，在国际上，JTAG是测试协议是标准测试和通用协议，同时可以兼容IEEE 1149.1，标准的JTAG接口的4线分别是模式选择、时钟、数据输入和数据输出线，对应的简称为TMS、TCK、TDI、TDO。JTAG设计原理图如图5所示，采用标准2×2.54mm接口连接外部。

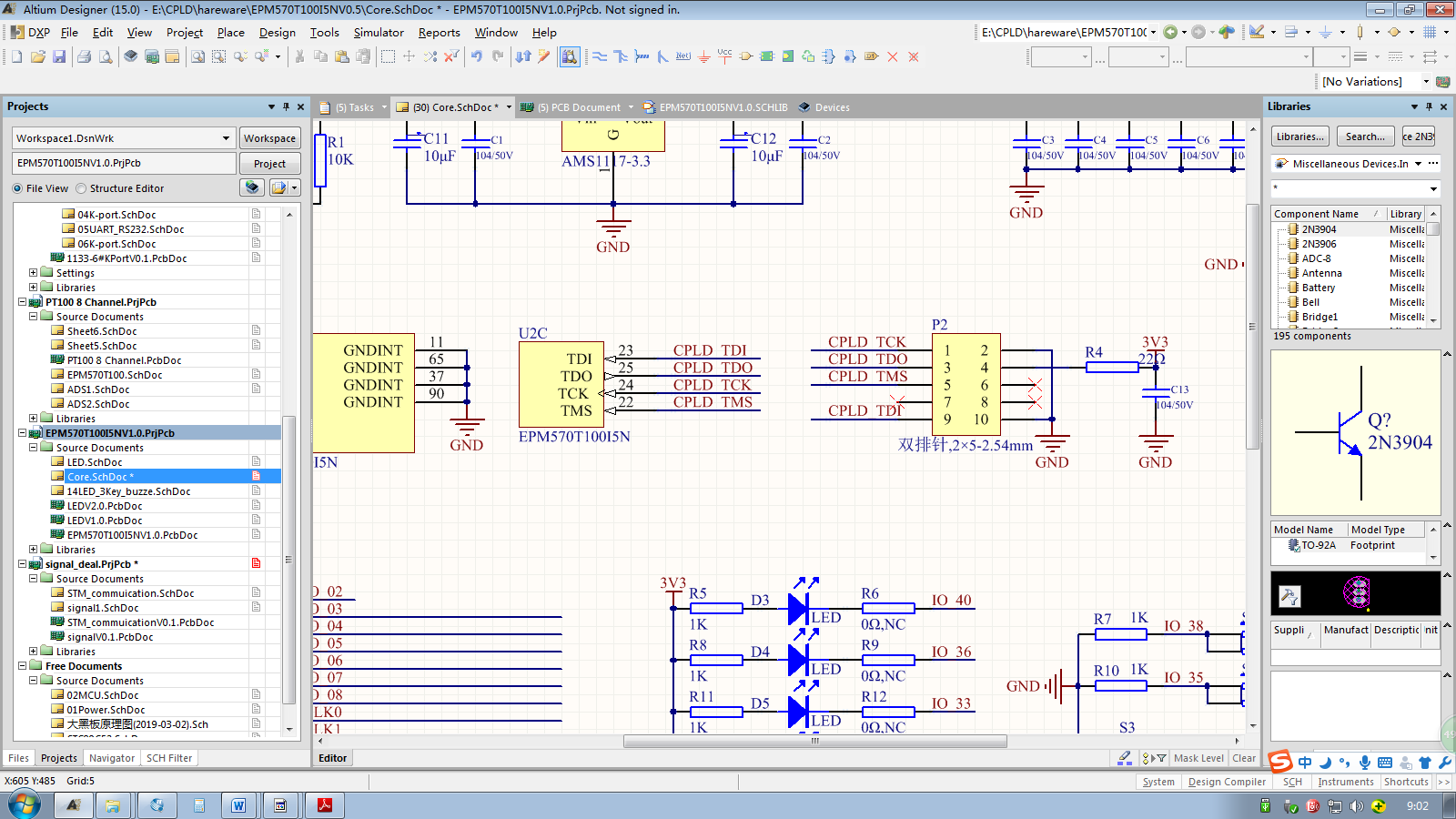


图 5 JTAG原理图

3.2.3 电源

电源没有特殊要求，这里采用统一电源3.3V供电给EPM570T100I5N，原理图如图6所示，3.3V电源提供给VCCINT,VCCIO1，VCCIO2。

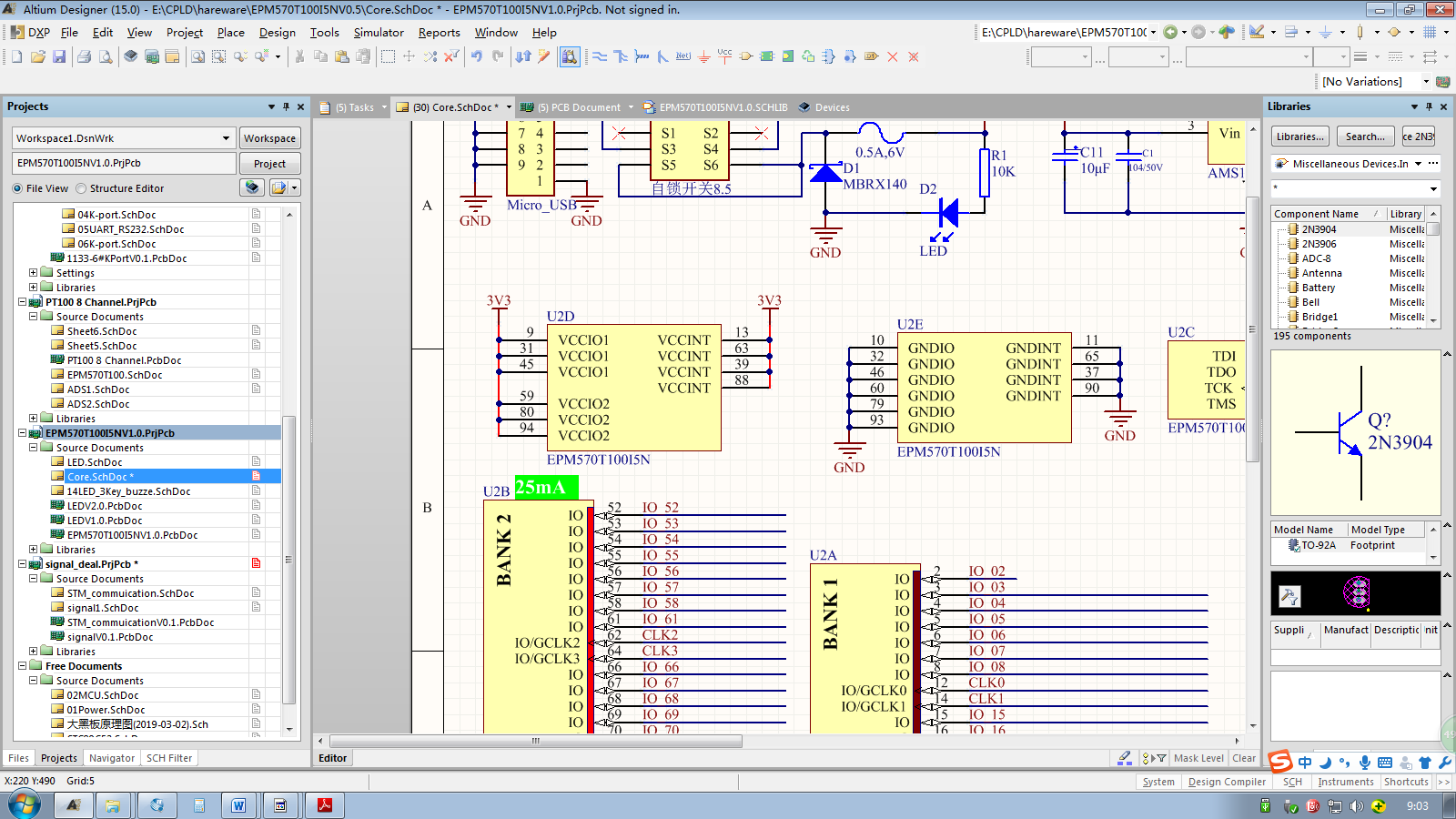


图 6 电源设计原理图

3.2.4 复位

系统复位这里采用外部按键的触发的方式实现，如图7所示，R13和S3组成，系统默认不复位状态为高电平，上拉R13电阻，只有按键变为低电平时，系统复位。

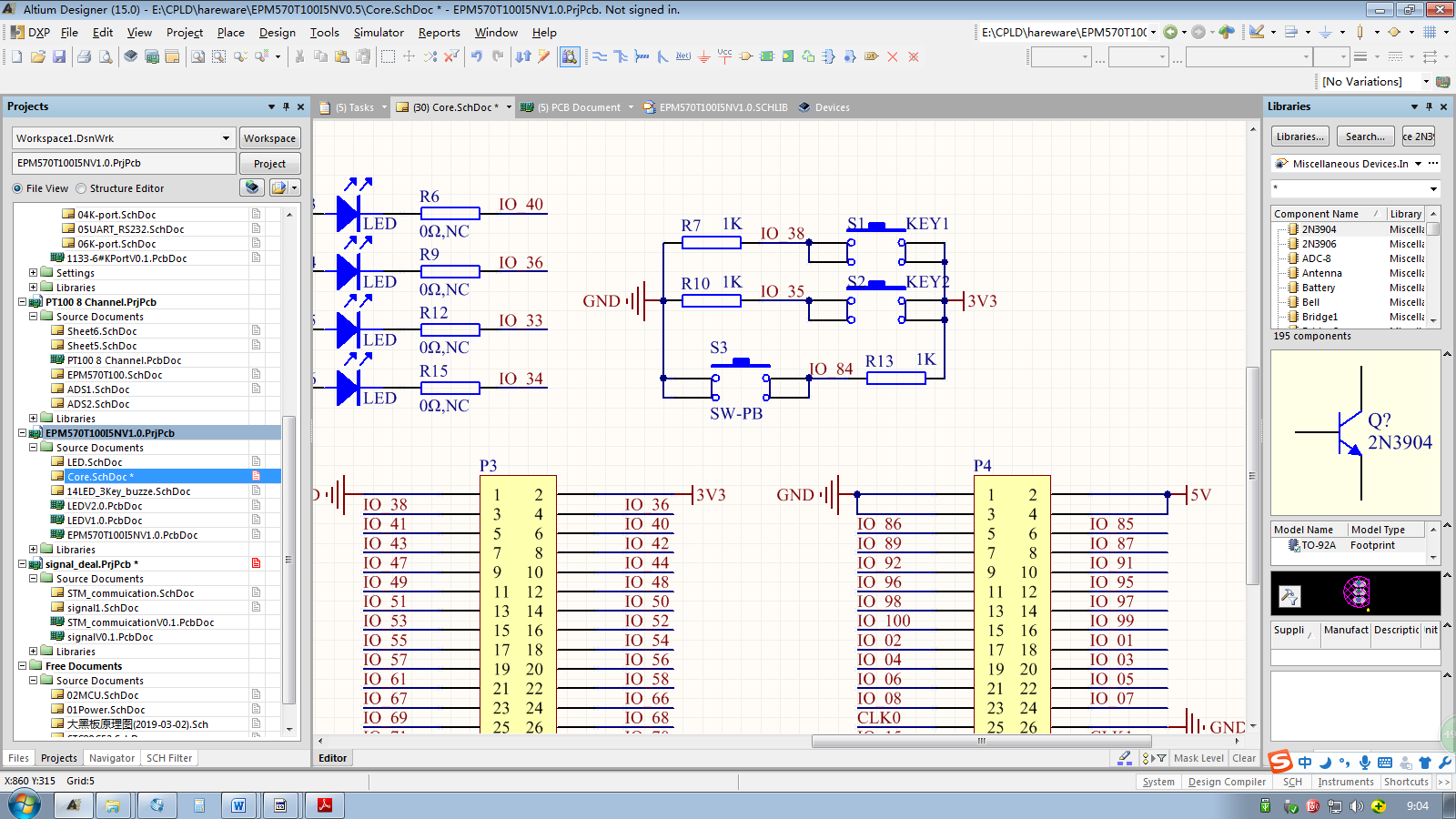


图 7 按键设计原理图

3.3 输入电源

为了方便接入电源，便于携带，这里采用micro\_USB接口作为电源输入口，通过开关控制通电和断电，有电源工作指示灯对应，D2点亮时候系统上电工作，D2熄灭的时候，系统断电，如图8所示，5V作为系统输入电路，5V作为USB接口标准电源，在调试的时候只需要外接电脑USB口即可，使用和调试都比较方便。此外电路有过流保护，F1作为保险丝，允许系统最大工作电流为0.5A。

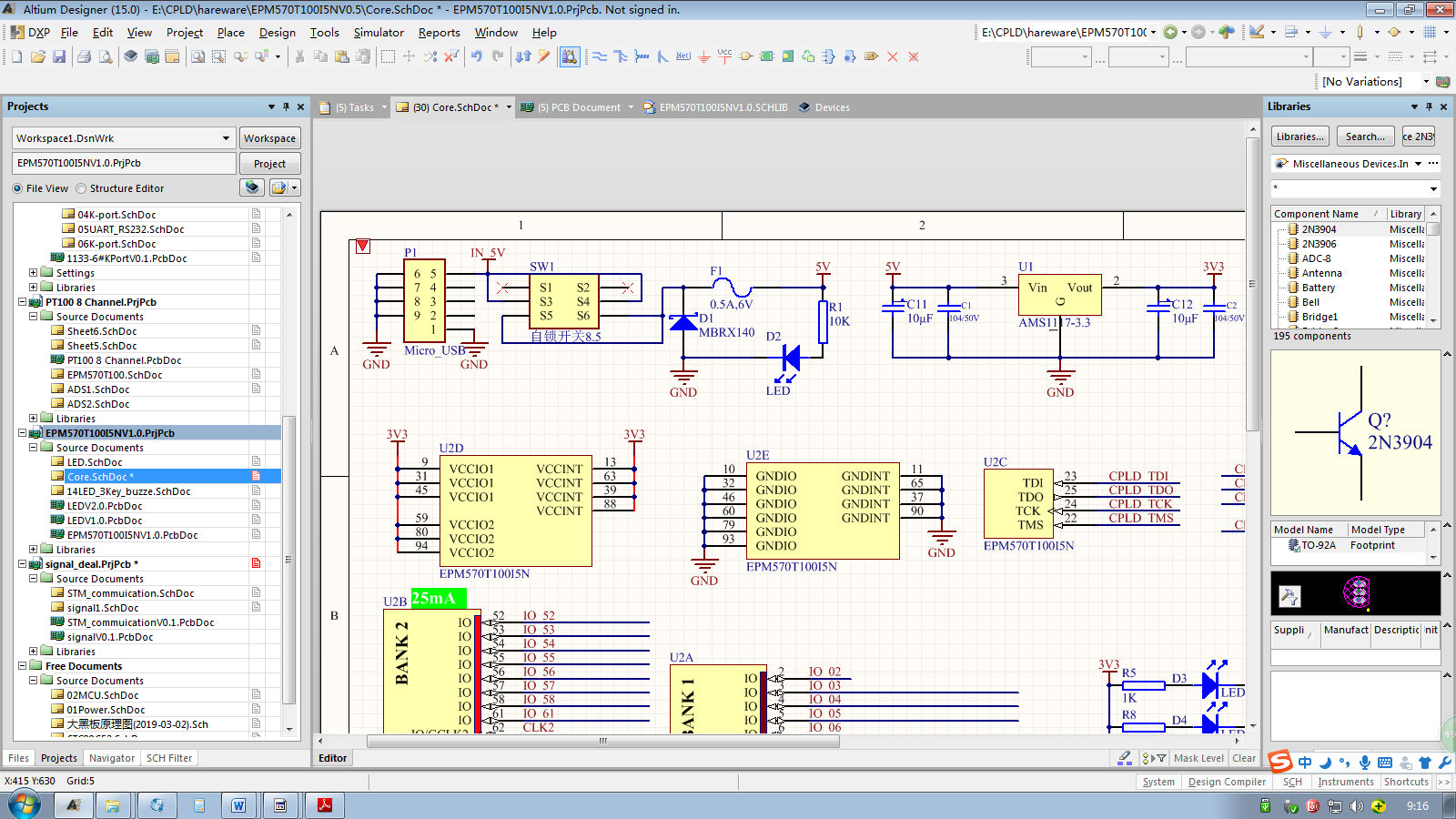


图 8 供电电源原理图

为了让系统提供纹波小，稳定的电源，这里采用线性电源AMS1117-3.3V，实现5V到3.3V电源的转换，AMS1117-3.3具备以下特性：

* 工作结温范围：-40~125°C
* 输入电压：12V
* 静态电流（最大）：10mA
* 纹波抑制（最小）：60dB
* 焊接温度（25秒）：265°C
* 存储温度：- 65~150°C
* 输出电压：3.267~3.333V（0<= IOUT<=1A , 4.75V<=VIN<=12V）
* 线路调整（最大）：10mV（4.75V<=VIN<=12V）
* 负载调节（最大）：15mV（VIN=5V，0<= IOUT<=1A）
* 电压差（最大）：1.3V
* 电流限制：900~1500mA

3.4 抢答按键

抢答按键采用低电平有效，没有抢答的时候为高电平上拉，只有按下低电平时候，按键有效，硬件消抖处理不便实现，采用软件消抖的方式。抢答按键原理图如图9所示。

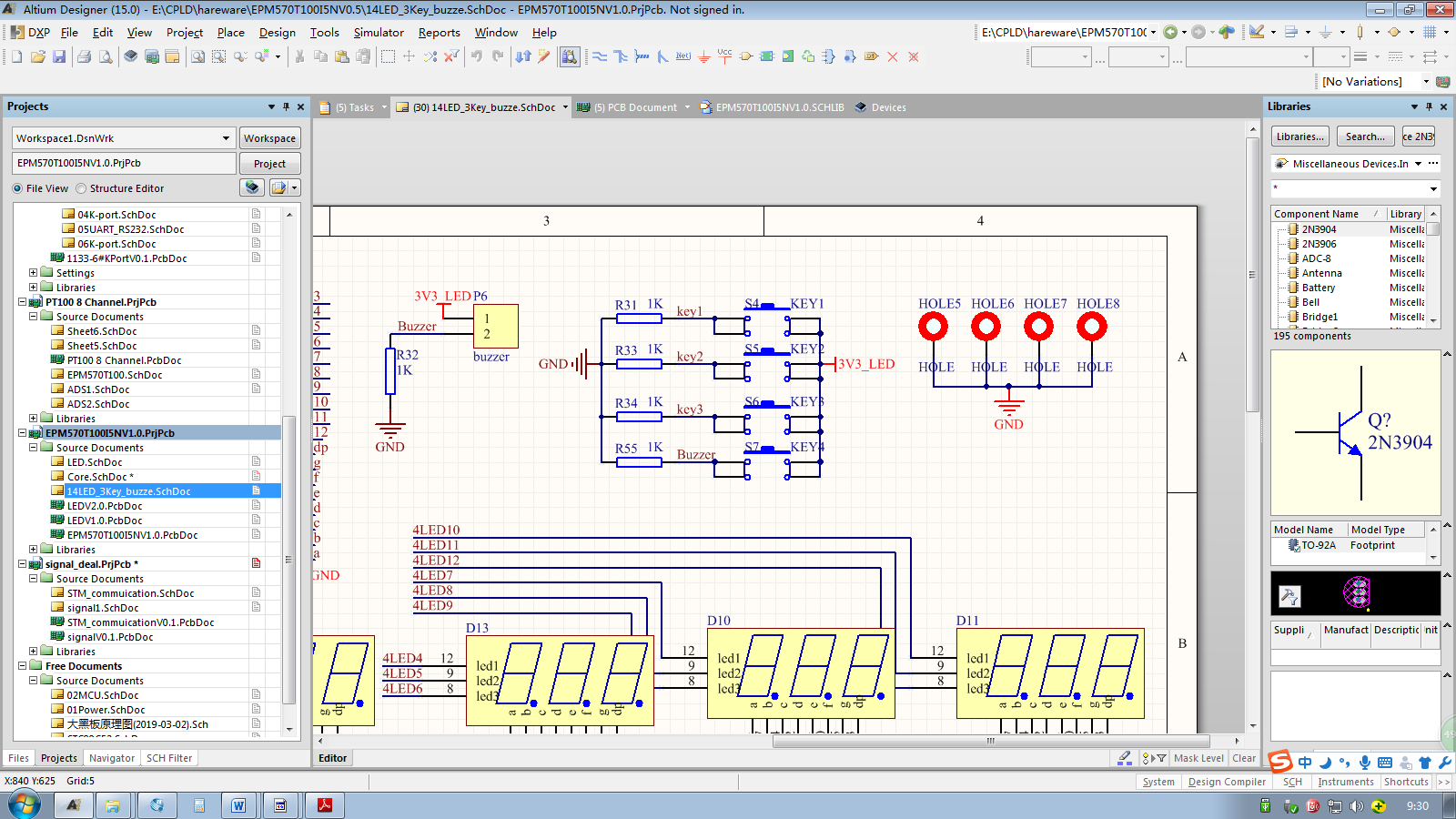


图 9 抢答按键原理图

3.5 数码管显示

数码管显示设计，最少需要7位数码管，根据功能和要求设计，设计如图10所示，使用三位八段共阳数码管，三极管SS8550驱动数码管电源，低电平导通供电，每个数码管的段选直接使用CPLD的IO引脚驱动，由于是共阳数码管，CPLD的IO输出低电平有效。

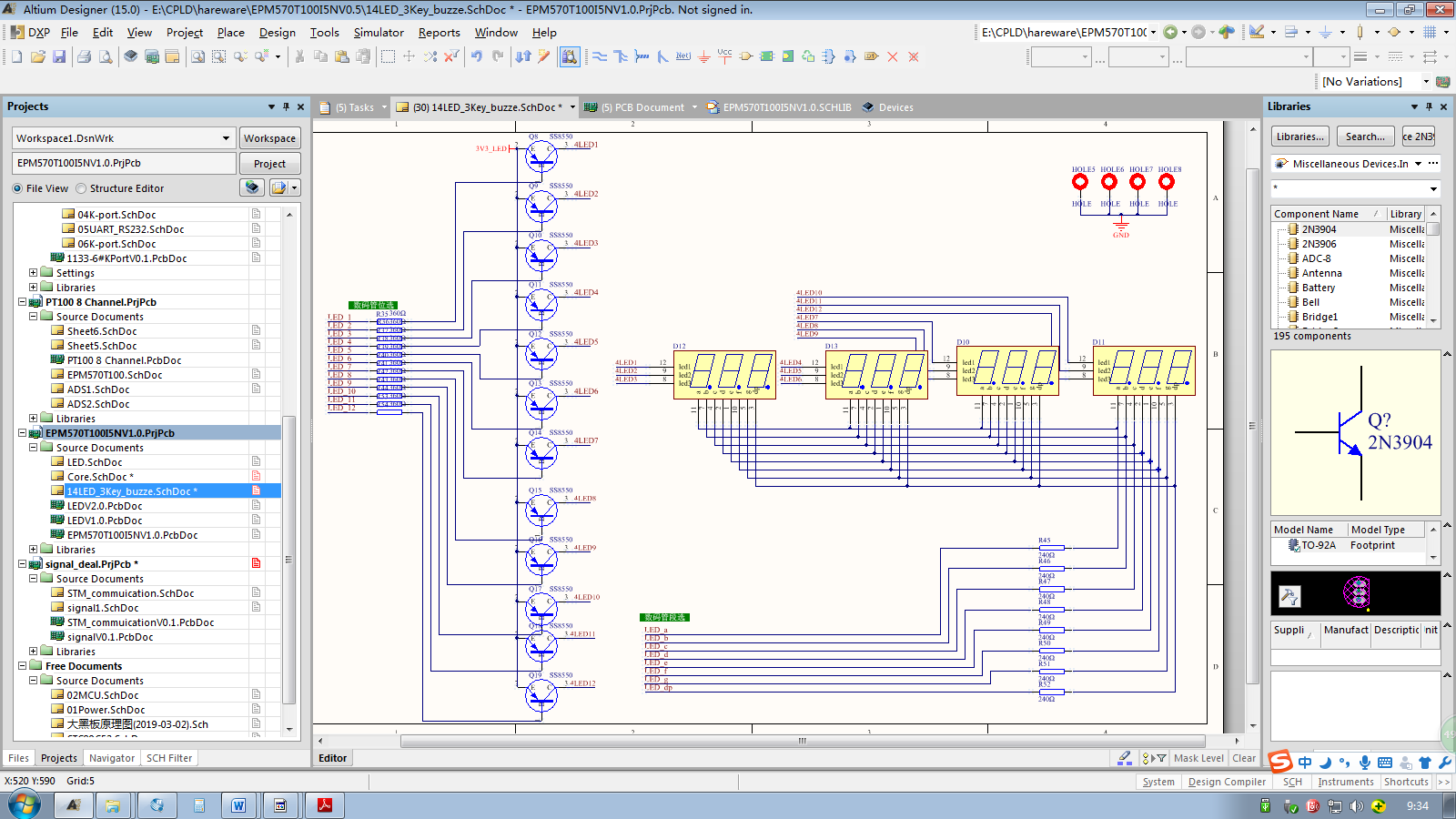


图 10 数码管驱动电路图

三位八段数码管内部结构如图11所示，段选ABCDEFG，DP 是三位共用，位选独立选择，12脚控制最左边的数码管，9脚控制中间的数码管，8脚控制最右边的数码管，位选通电的时候，段选低电平时候，点亮LED。

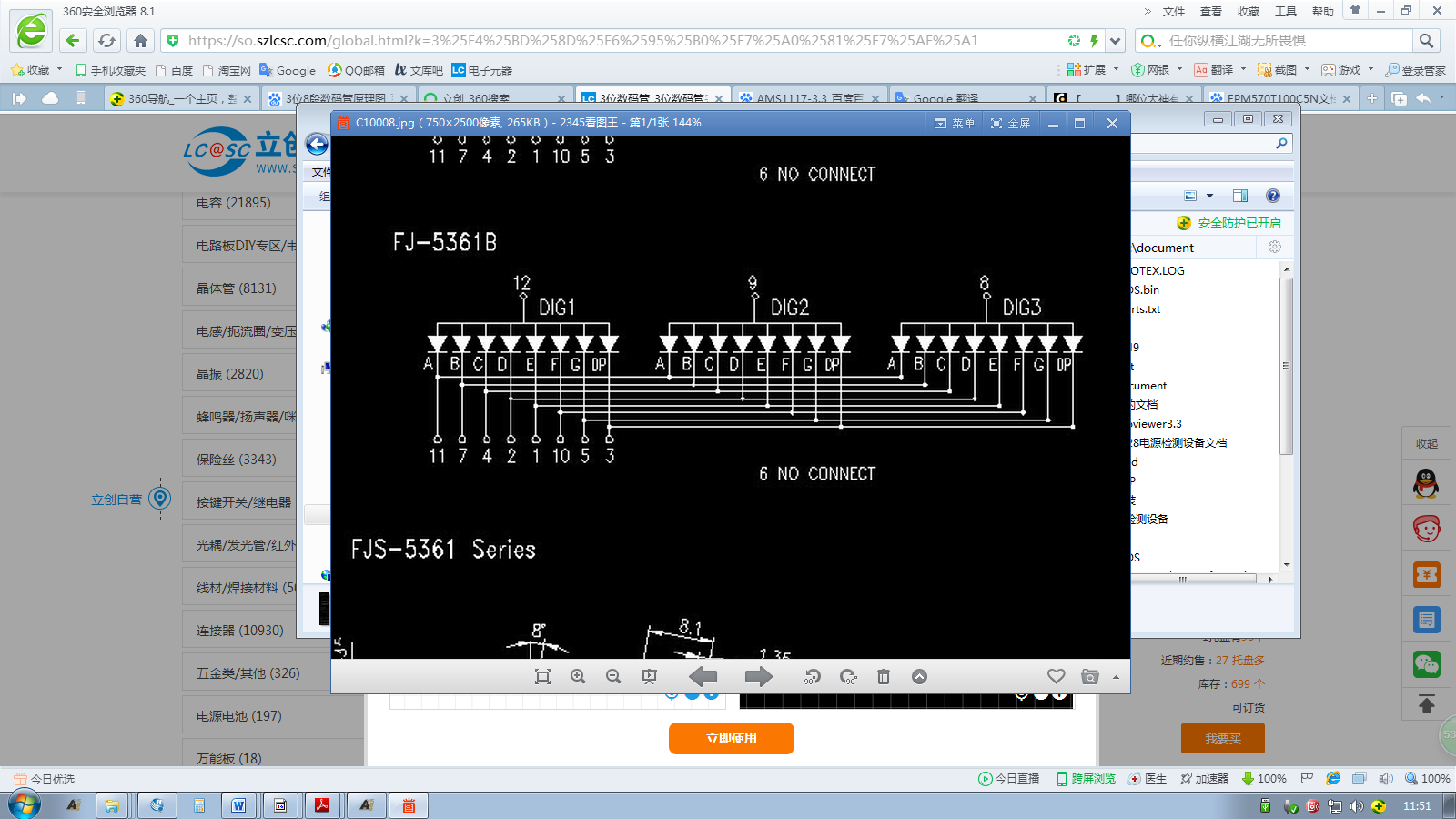


图 11 数码管段选内部结构图

数码管的位选由SS8550控制，SS8550是通用，便宜的PNP型三极管，可以提供最大1.5A电流，而且控制电压交低，具备以下特点：集-基极电压Vcbo：-40V、工作温度：-55℃ to +150℃、集电极电流Ic:0.5A、集电极-基极电压Vcbo:40V、集电极-发射极击穿电压Vceo:25V。

# 4 基于CPLD的软件设计

4.1 抢答器整体设计

基于CPLD的抢答器软件设计，如图12抢答器软件整体设计所示，裁判启动抢答器，各个模块被使能。倒计时电路启动倒计时，以每秒的步进计时，触发选手抢答按钮，数码管显示停止的倒计时，锁定当前的抢答选手编号，由裁判控制加减分，为当前选手计算分数。裁判按下复位按键后，重新开启新一轮抢答，分数保持，不会被清零。



图 12 抢答器软件整体设计图

4.2 选手抢答

选手抢答设计流程图，如图13抢答流程图所示，按键按下高电平有效，由于在按键按下过程中会存在抖动毛刺，会影响到按键的效果，所以采用延迟100毫秒计数器，滤出毛刺，高电平还存在，证明按键不是毛刺或抖动，可以锁存，获得抢答。



图 13 抢答器软件设计流程图

4.3 倒计时

30s倒计时采用1s计数器实现。系统时钟为50MHz，累加器累加到49999999个的时候，实际时间是1s，倒计时时间减少一秒。倒计时设计图如图14所示，其中有个是否完成抢答作为判断，没有完成抢答倒计时一直到30s结束后闪烁，完成抢答则停止倒计时，等待裁判开启新一轮抢答。



图 14 未抢答状态工作时序图

4.4 加分减分

加分减分在选手完成抢答后，通过裁判控制按键加和按键减实现，使用到了前面的消抖原理，选手的得分会随着抢答的过程一直存在，最高分可以记录到9分，使用一位数码管显示。

4.5 数码驱动显示

数码管驱动显示，分为两个部分，第一部分是数码位选择，第二部分是数码管段选择。

数码管位选择，是采用固定的频率依次驱动每一位数码管，设计采用了10000Hz去驱动7位数码管。

数码管段选择，是采用编码方式。例如显示数字0对应的二进制驱动是abcdefg:

0-1111110

1-0110000

2-1101101

3 -1111001

4-0110011

5 -1011011

6-1011111

7 -1110000

8-1111111

9-1111011

# 5 仿真设计

5.1 仿真方案说明

为了验证代码的正确性，使用modelsim仿真验证，输入二种情况如下所述，第一种是没有选手的抢答成功，数码管完成倒计时后，闪烁提示。第二种情况是有选手抢答成功，锁定选手编号，蜂鸣器鸣声提示。

5.2 仿真测试结果

如图15所示，无人抢答，倒计时完成后，数码管闪烁

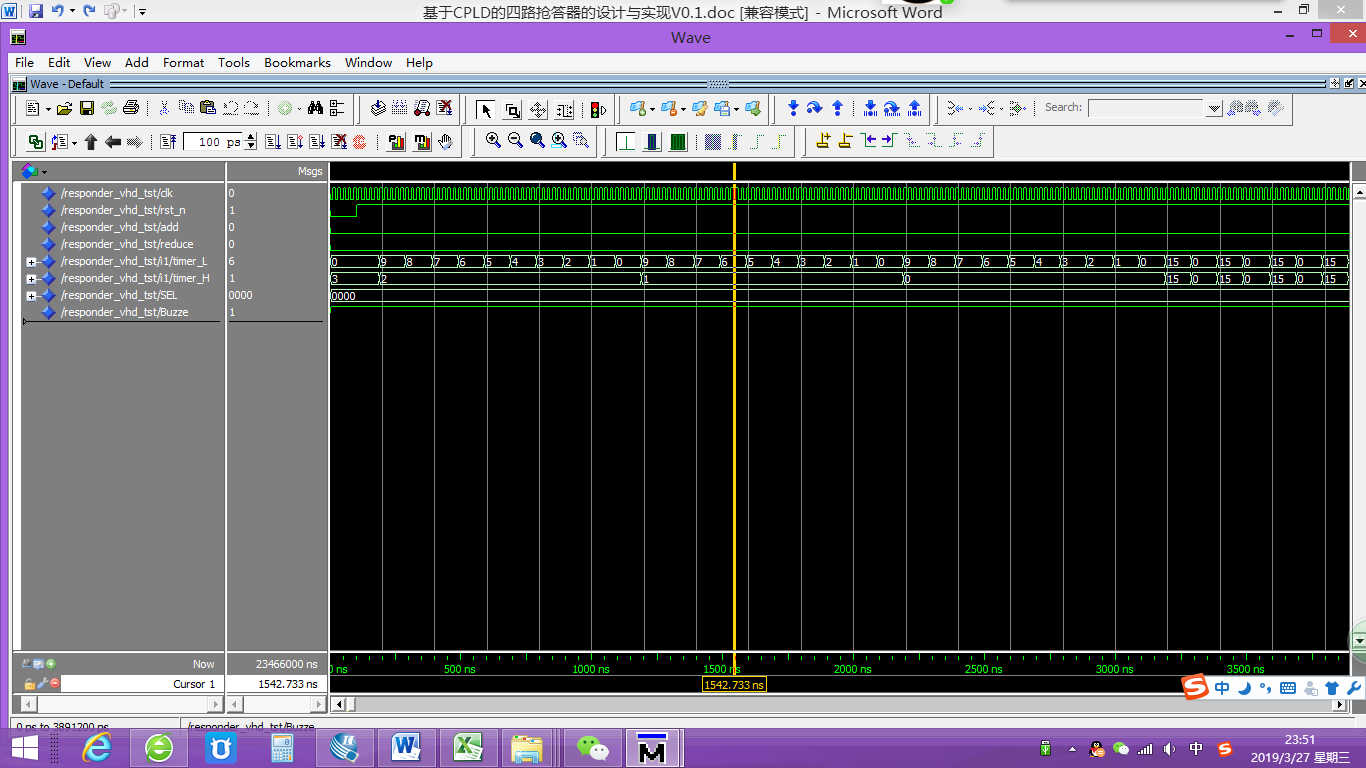


图 15 无人抢答仿真示意图

如图16所示仿真结果，倒计时到19时候，4号完成抢答，锁定4号编号，蜂鸣器有高变低，发出报警。

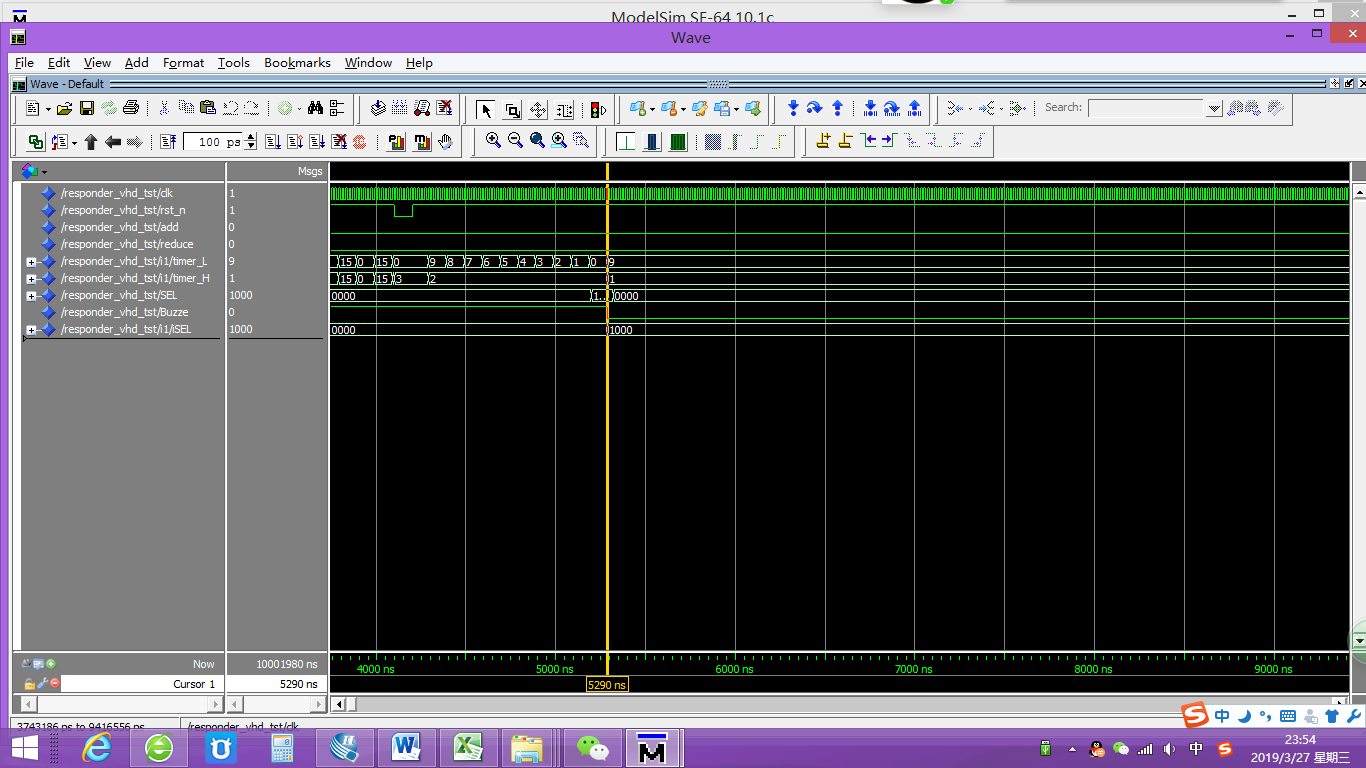


图 16 有人抢答仿真示意图

# 结束语

一转眼几个月就过去了，毕业设计在规划中已经逐步实现，到了最后阶段。从一开始到现在，这个设计过程都是自己从无到有创造，内心很有成就感，虽然困难重重，当时看到程序调通的瞬间，之前的困苦都抛至九霄云外！在拿到题目时候以为CPLD是一座高山，自己不可以逾越，通过自己反复的理解题目，在老师的指导下，在同学的讨论中，慢慢走上了正确的设计方向，心中的对CPLD的恐惧也慢慢消散，特别是使用了软件模块化的设计思路，把一个很大的抢答器工程，划分为了四个模块，第一个是按键获取，里面最总要的就是按键的消抖，不论在什么按键的设计中，消抖都是一个典型的问题，需要在调试中，不断确定消抖时间，第二模块是倒计时模块，这个模块不难，把C语言中的定时器换成累加器就可以理解，第三个模块是加分减分电路，一样要用到消抖程序，第四个模块是显示， 里面的位选和段选要结合硬件来确定，是高电平有效还是低电平有效。就是按照这样的模块思路和难点逐渐突破的思路，软件设计上的问题被一点一点解决了。硬件设计也有自己的模块设计思想，按照电源，最小系统，显示模块的思路，开始了硬件设计，其中数码管一直没有点亮的问题一直困扰了自己很久，究其原因是弄反了输出驱动电平，本来应该输出低电平驱动共阳数码管，一直输出高电平，导致三级管一直处于截止，数码管没有点亮。最后对于硬件部分，一定要小心再小心，细心再细心，特别是芯片，除了看懂引脚之外，最好掌握它的内部工作原理，这样才能吃透这类电路。最后论文的编写，也是反复修修改改，按照模块的思想，一个模块一个模块的克服，最后发现自己已经在不知不觉中，把论文写得很完整了。通过这里毕业设计，不论软件还是硬件，发现不管多大的困难和问题，只要把问题拆解开，大问题变成若干个小问题，解决了小问题，大问题慢慢迎刃而解，自己所惧怕的只是没有准备的慌张，在这些设计中，当然避免不了勤查资料，利用现在发达的互联网搜索，书籍的阅读，老师和同学的直接帮助和讨论，都让自己对整个设计更有把握。自己克服了万事开头难，将问题迎刃而解，所以自己体会到有到真正会用的才是真的学会了。 在整个毕业设计过程中，自己的独立完成硬件和软件的工作，自己的能力也在这些设计和思考的过程中得到培养，树立了对未来工作和遇到问题解决问题的信心，相信这次设计，会对今后的学习工作生活有非常重要的意义。

致谢

在完成本次设计期间，遇到了诸多的问题，经过几个月的忙碌和学习，基本将遇到的困难一一解决。作为一个经验的匮乏的本科生，在作品完成过程中难免有考虑不周之处，如果没有指导教师的督促指导，很难独立按时完成。在作品方面，感谢戚桂美老师和李红霞老师在作品完成及论文修改阶段为我提供的帮助。老师们在繁重的工作中抽出身来，为我指导毕业设计，引导我解决每个阶段出现的问题，使从未接触过CPLD的我得以顺利完成设计。生活方面要感谢我的父母一直以来对我无条件的鼓励和支持，以及为我排忧解难的同学们。最后还要感谢本科四年以来的任课教师，老师们的专业能力和对待学术的态度深刻影响了我对专业的认知，为以后的发展奠定了坚实的知识基础、注入了不竭动力。

最后，感谢给我提供答辩机会并指导评价我论文的老师们！

# 参考文献

[1] 彭华林等编. 数字电子技术. 长沙：湖南大学出版社，2004.

[2] 金唯香等编. 电子测试技术. 长沙：湖南大学出版社，2004.

[3] 侯建军. 数字电路实验一体化教程. 北京：清华大学出版社，北京交通大学出版

社，2005.

[4] 康华光. 电子技术基础. 北京：高等教育出版社，1999.

[5] 李士雄.数字集成电子技术教程，北京，高等教育出版社，1993.

[6] 张洪润主编. 电子线路与电子技术[M]. 第1版. 北京:清华大学出版社, 2005.

[7] 阎石主编. 数字电子技术基础[M]. 第4版. 北京:高等教育出版社, 2006.

[8] 童诗白,华成英. 模拟电子技术基础[M]. 第4版. 高等教育出版社, 2009.

**The Design and Implementation of Four-way Answering Device Based on CPLD**

Computer Science and Technology College 2015 KangJian 20151104781

Directed by QiGuiMei Lecturer

**Abstract** In order to solve the problems of timeliness, accuracy, judgment and scoring, a four-way responder based on cpld-epm570t100i5n of Altera company was designed. The first responder includes the first responder control function, the first responder function, the countdown function, the alarm function and the score function. This design USES 50MHz crystal vibration to make the time control more accurate, and at the same time adds anti-shake thinking to make the response performance more accurate.

**Keywords** Responder;CPLD;debounce