1、程序 P 在机器 M 上的执行时间是 20 秒，编译优化后，P 执行的指令数减少到原来 的 70%，而 CPI 增加到原来的 1.2 倍，则 P 在 M 上的执行时间是（ D ）。

A．8.4 秒 B．11.7 秒 C．14 秒 D．16.8 秒

解：设原来指令条数为 x，那么原 CPI 就为 20/x，经过编译优化后，指令条数减少 到原来的 70%，即指令条数为 0.7x，而 CPI 增加到原来的 1.2 倍，即 24/x，那么现在 P 在 M 上的执行时间就为指令条数\*CPI=0.7x\*24/x=24\*0.7=16.8 秒。

2、float 型数据据常用 IEEE754 单精度浮点格式表示。假设两个 float 型变量 x 和 y 分 别存放在 32 位寄存器 f1 和 f2 中，若(f1)=CC90 0000H，(f2)=B0C0 0000H，则 x 和 y 之间的 关系为 A 。

A．x<y 且符号相同 B．x<y 且符号不同

C．x>y 且符号相同 D．x>y 且符号不同

解．(f1)和(f2)对应的二进制分别是(110011001001……)2 和(101100001100……)2，根据 IEEE754 浮点数标准，可知(f1)的数符为 1，阶码为 10011001，尾数为 1.001，而(f2)的数符 为 1，阶码为 01100001，尾数为 1.1，则可知两数均为负数，符号相同，B、D 排除，(f1)的 绝对值为 1.001×226，(f2)的绝对值为 1.1×2-30，则(f1)的绝对值比(f2)的绝对值大，而符号为 负，真值大小相反，即(f1)的真值比(f2)的真值小，即 x<y。

3、某容量为 256MB 的存储器由若干 4M×8 位的 DRAM 芯片构成，该 DRAM 芯片的 地址引脚和数据引脚总数是 A 。

A．19 B．22 C．30 D．36

解．4M×8 位的芯片数据线应为 8 根，地址线应为 log24M=22 根，而 DRAM 采用地址复用技术，地址线是原来的 1/2，且地址信号分行、列两次传送。地址线数为 22/2=11 根，所以地址引脚与数据引脚的总数为 11+8=19 根。

4、某计算机有 16 个通用寄存器，采用 32 位定长指令字，操作码字段（含寻址方式位） 为 8 位，Store 指令的源操作数和目的操作数分别采用寄存器直接寻址和基址寻址方式。若 基址寄存器可使用任一通用寄存器，且偏移量用补码表示，则 Store 指令中偏移量的取值范 围是 A 。

A．-32768 ~ +32767 B．-32767 ~ +32768

C．-65536 ~ +65535 D．-65535 ~ +65536

解．采用 32 位定长指令字，其中操作码为 8 位，两个地址码一共占用 32-8=24 位，而 Store 指令的源操作数和目的操作数分别采用寄存器直接寻址和基址寻址，机器中共有 16 个 通用寄存器，则寻址一个寄存器需要 log216=4 位，源操作数中的寄存器直接寻址用掉 4 位， 而目的操作数采用基址寻址也要指定一个寄存器，同样用掉 4 位，则留给偏移址的位数为

24-4-4=16 位，而偏移址用补码表示，16 位补码的表示范围为-32768~+32767，选 A。

5、若某设备中断请求的响应和处理时间为 100ns，每 400ns 发出一次中断请求，中断 响应所允许的最长延迟时间为 50ns，则在该设备持续工作过程中，CPU 用于该设备的 I/O 时间占整个 CPU 时间的百分比至少是 B 。

A．12.5% B．25% C．37.5% D．50%

解．每 400ns 发出一次中断请求，而响应和处理时间为 100ns，其中容许的延迟为干扰 信息，因为在 50ns 内，无论怎么延迟，每 400ns 还是要花费 100ns 处理中断的，所以该设 备的 I/O 时间占整个 CPU 时间的百分比为 100ns/400ns=25%，选 B。

6、假设变址寄存器R的内容为1000H，指令中的形式地址为2000 H；地址1000H中的内容为2000H，地址2000H中的内容为3000H，地址3000 H中的内容为4000H，则变址寻址方式下访问到的操作数是 D .

A. 1000H B. 2000H C. 3000H D. 4000 H

解：根据变址寻址的主要方法，变址寄存器的内容与形式地址的内容相加之后，得到操作数的实际地址，根据实际地址访问内存，获取操作数4000H。

7、某字长为8 位的计算机中，已知整型变量x、y 的机器数分别为[x]补=11110100，[y]补=10110000。若整型变量z=2\*x+y/2，则z的机器数为 A .

A. 11000000 B. 00100100 C. 10101010 D. 溢出

解：将x 左移一位，y 右移一位，两个数的补码相加的机器数为11000000。

8、某计算机主频为1.2 GHz，其指令分为4类，它们在基准程序中所占比例及CPI如下表所示

|  |  |  |
| --- | --- | --- |
| 指令类型 | 所占比例 | CPI |
| A | 50% | 2 |
| B | 20% | 3 |
| C | 10% | 4 |
| D | 20% | 5 |

该机的MIPS数是 C

1. 100 B. 200 C. 400 D. 600

解：基准程序的CPI=2\*0.5+3\*0.2+4\*0.1+5\*0.2=3，计算机的主频为1.2GHa，为1200MHz，该机器的是MIPS为1200/3=400。

9、某计算机主存地址空间大小为256 MB，按字节编址。虚拟地址空间大小为4 GB，采用页式存储管理，页面大小为4 KB，TLB（快表）采用全相联映射，有4个页表项，内容如下表所示。

|  |  |  |  |
| --- | --- | --- | --- |
| 有效位 | 标记 | 页框号 | … |
| 0 | FF180H | 0002H | … |
| 1 | 3FFF1H | 0035H | … |
| 0 | 02FF3H | 0351H | … |
| 1 | 03FFFH | 0153H | … |

则对虚拟地址03FF F180H进行虚实地址变换的结果是 A

1. 015 3180H B. 003 5180H C. TLB缺失 D. 缺页

解：虚拟地址为03FF F180H，其中页号为03FFFH，页内地址为180H，根据题目中给出的页表项可知页标记为03FFFH 所对应的页框号为0153H，页框号与页内地址之和即为物理地址015 3180 H。

10、某CPU主频为1.03 GHz，采用4级指令流水线，每个流水段的执行需要1个时钟周期。假定CPU执行了100条指令，在其执行过程中，没有发生任何流水线阻塞，此时流水线的吞吐率为 C

A. 0.25×109条指令/秒 B. 0.97×109条指令/秒

C. 1.0×109条指令/秒 D. 1.03 ×109条指令/秒

解：采用4 级流水执行100 条指令，在执行过程中共用4+(100-1)=103 个时钟周期。CPU的主频是1.03 GHz，也就是说每秒钟有1.03 G 个时钟周期。流水线的吞吐率为1.03G\*100/103=1.0\*109条指令/秒。