

实验报告

计科 1605 班 201608010622 符希健

实验目标：

实现单周期 CPU 的设计

实验要求：

- 硬件设计采用 VHDL 或 Verilog 语言，软件设计采用 C/C++ 或 SystemC 语言，其它语言例如 Chisel、MyHDL 等也可选
- 实验报告采用 markdown 语言，或者直接上传 PDF 文档
- 实验最终提交所有代码和文档

实验内容：

1. RISC-V 指令集编码格式

RV32I Base Instruction Set

imm[31:12]					rd	0110111	LUI
imm[31:12]					rd	0010111	AUIPC
imm[20:10:1 11 19:12]					rd	1101111	JAL
imm[11:0]			rs1	000	rd	1100111	JALR
imm[12:10:5]		rs2	rs1	000	imm[4:1 11]	1100011	BEQ
imm[12:10:5]		rs2	rs1	001	imm[4:1 11]	1100011	BNE
imm[12:10:5]		rs2	rs1	100	imm[4:1 11]	1100011	BLT
imm[12:10:5]		rs2	rs1	101	imm[4:1 11]	1100011	BGE
imm[12:10:5]		rs2	rs1	110	imm[4:1 11]	1100011	BLTU
imm[12:10:5]		rs2	rs1	111	imm[4:1 11]	1100011	BGEU
imm[11:0]			rs1	000	rd	0000011	LB
imm[11:0]			rs1	001	rd	0000011	LH
imm[11:0]			rs1	010	rd	0000011	LW
imm[11:0]			rs1	100	rd	0000011	LBU
imm[11:0]			rs1	101	rd	0000011	LHU
imm[11:5]		rs2	rs1	000	imm[4:0]	0100011	SB
imm[11:5]		rs2	rs1	001	imm[4:0]	0100011	SH
imm[11:5]		rs2	rs1	010	imm[4:0]	0100011	SW
imm[11:0]			rs1	000	rd	0010011	ADDI
imm[11:0]			rs1	010	rd	0010011	SLTI
imm[11:0]			rs1	011	rd	0010011	SLTIU
imm[11:0]			rs1	100	rd	0010011	XORI
imm[11:0]			rs1	110	rd	0010011	ORI
imm[11:0]			rs1	111	rd	0010011	ANDI
0000000		shamt	rs1	001	rd	0010011	SLLI
0000000		shamt	rs1	101	rd	0010011	SRLI
0100000		shamt	rs1	101	rd	0010011	SRAI
0000000		rs2	rs1	000	rd	0110011	ADD
0100000		rs2	rs1	000	rd	0110011	SUB
0000000		rs2	rs1	001	rd	0110011	SLL
0000000		rs2	rs1	010	rd	0110011	SLT
0000000		rs2	rs1	011	rd	0110011	SLTU
0000000		rs2	rs1	100	rd	0110011	XOR
0000000		rs2	rs1	101	rd	0110011	SRL
0100000		rs2	rs1	101	rd	0110011	SRA
0000000		rs2	rs1	110	rd	0110011	OR
0000000		rs2	rs1	111	rd	0110011	AND
fm	pred	succ	rs1	000	rd	0001111	FENCE
000000000000			00000	000	00000	1110011	ECALL
000000000001			00000	000	00000	1110011	EBREAK

2. RISC-V 指令集

Category	Name	Fmt	RV32I Base	
Shifts				
Shift Left Logical		R	SLL	rd,rs1,rs2
Shift Left Log.Imm.		I	SLLI	rd,rs1,shamt
Shift Right Logical		R	SRL	rd,rs1,rs2
Shift Right Log.Imm.		I	SRLI	rd,rs1,shamt
Shift Right Arithmetic		R	SRA	rd,rs1,rs2
Shift Right Arith.Imm.		I	SRAI	rd,rs1,shamt
Arithmetic				
ADD		R	ADD	rd,rs1,rs2
ADD Immediate		I	ADDI	rd,rs1,imm
SUBtract		R	SUB	rd,rs1,rs2
Load Upper Imm		U	LUI	rd,imm
Add Upper Imm to PC		U	AUIPC	rd,imm
Logical				
XOR		R	XOR	rd,rs1,rs2
XOR Immediate		I	XORI	rd,rs1,imm
OR		R	OR	rd,rs1,rs2
OR Immediate		I	ORI	rd,rs1,imm
AND		R	AND	rd,rs1,rs2
AND Immediate		I	ANDI	rd,rs1,imm

测试环境：

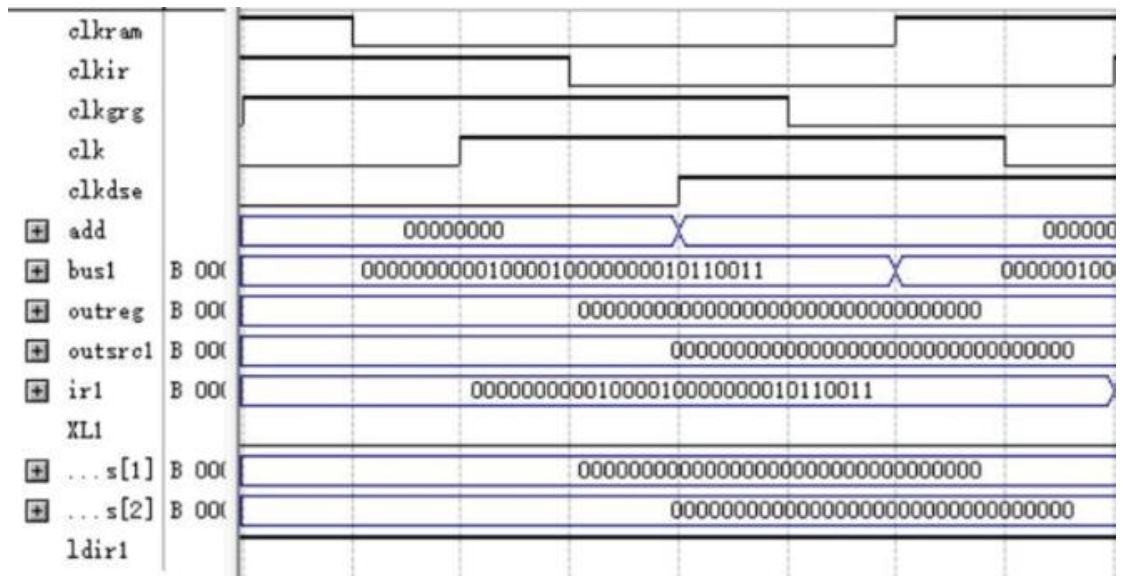
部件	配置
CPU	core i7
内存	16GB
操作系统	windows 10

测试结果：

ADD 指令

测试所用的指令为：00000000001000010000000010110011

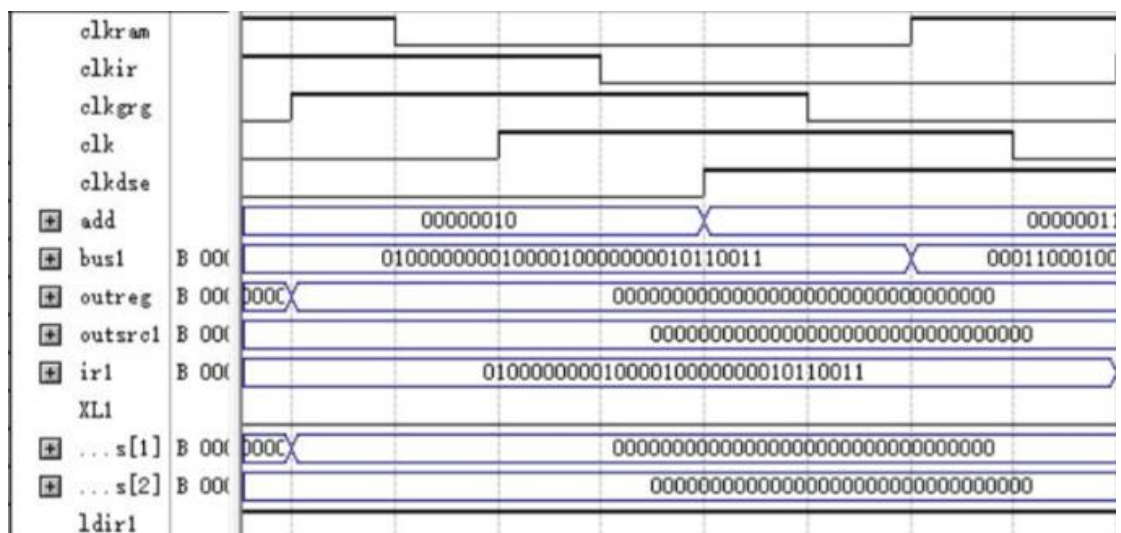
仿真结果为：



SUB 指令

测试所用的指令为：01000000001000010000000010110011

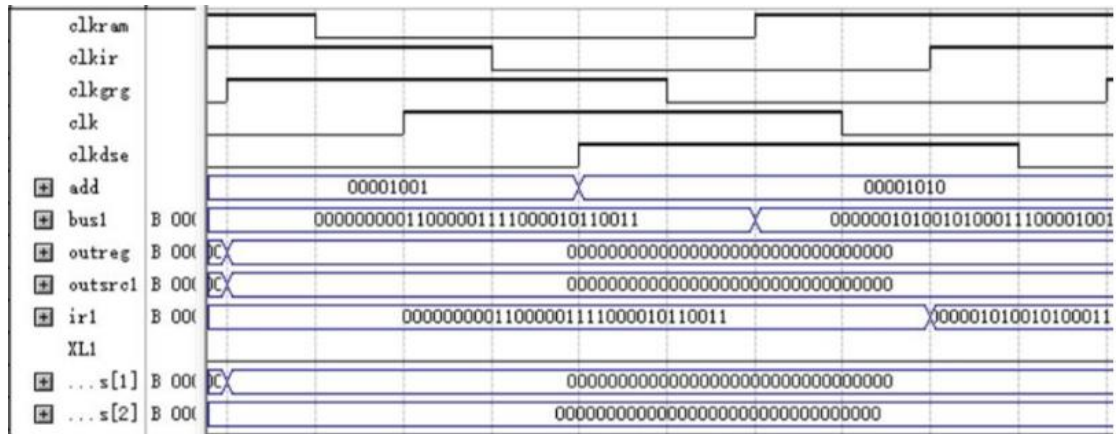
仿真结果为：



AND 指令

测试所用的指令为：00000000011000001111000010110011

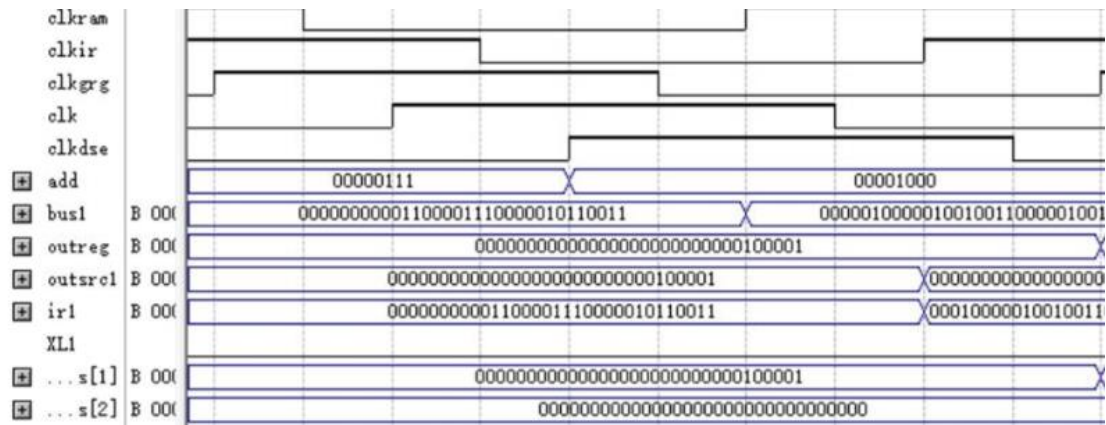
仿真结果为：



OR 指令

测试所用的指令为：0000000001100001110000010110011

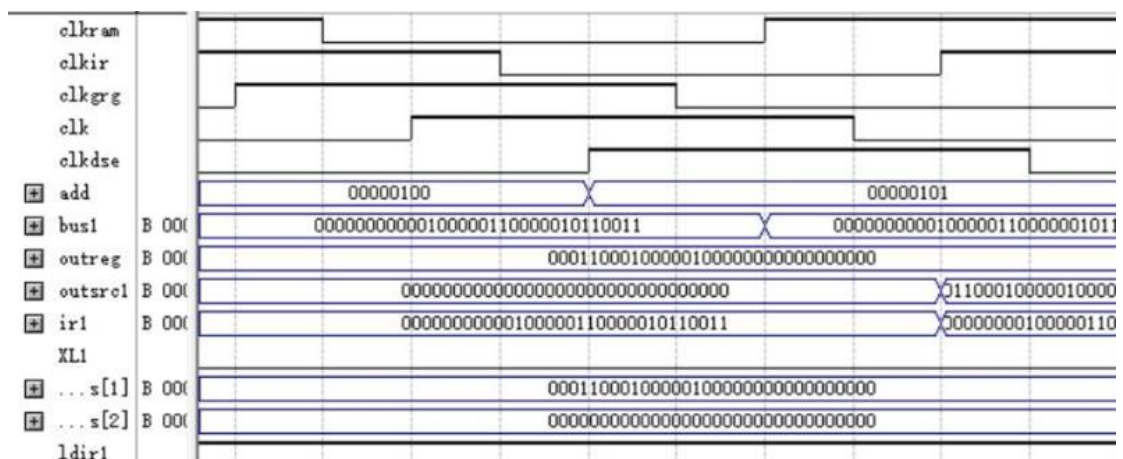
仿真结果为：



XOR 指令

测试所用的指令为：00000000000100000110000010110011

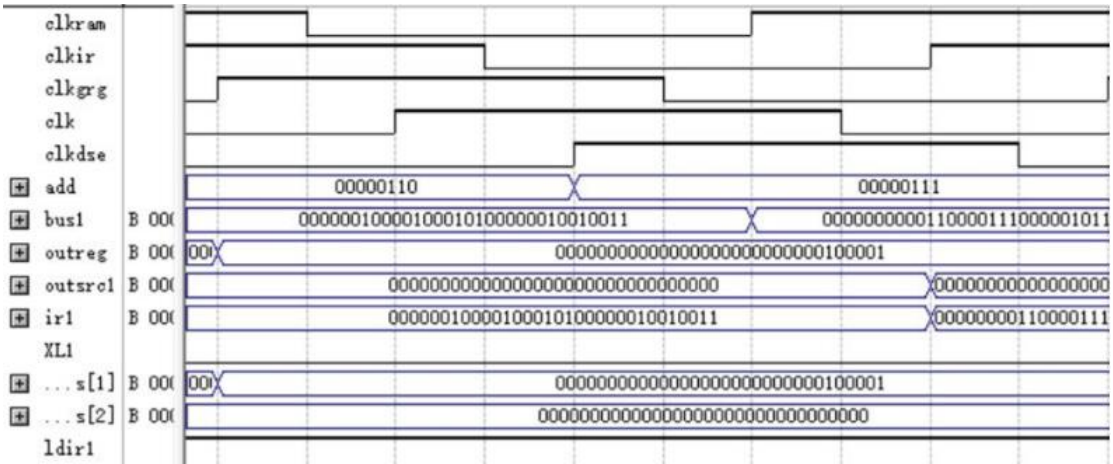
仿真结果为：



XORI 指令

测试所用的指令为：00000010000100010100000010010011

仿真结果为：



分析和结论：

从测试结果可以看出编写的 cpu 能够完成指令的工作，达到了实验的目的。