

RV32I 的 CPU 设计与实现

班级：计科 1601

学号：201608010112

姓名：庞姝颖

一、实验目标

完成一个模拟 RISC-V 的基本整数指令集 RV32I 的 CPU 设计（单周期实现）。

二、实验要求

硬件设计采用 VHDL 或 Verilog 语言。

三、实验设计

单周期 CPU 指的是一条指令的执行在一个时钟周期内完成，然后开始下一条指令的执行，即一条指令用一个时钟周期完成。

CPU 在处理指令时，一般需要经过以下几个步骤：

取指令(IF): 根据程序计数器 PC 中的指令地址，从存储器中取出一条指令，同时，PC 根据指令字长度自动递增产生下一条指令所需要的指令地址，但遇到“地址转移”指令时，则控制器把“转移地址”送入 PC，当然得到的“地址”需要做些变换才送入 PC。

指令译码(ID): 对取指令操作中得到的指令进行分析并译码，确定这条指令需要完成的操作，从而产生相应的操作控制信号，用于驱动执行状态中的各种操作。

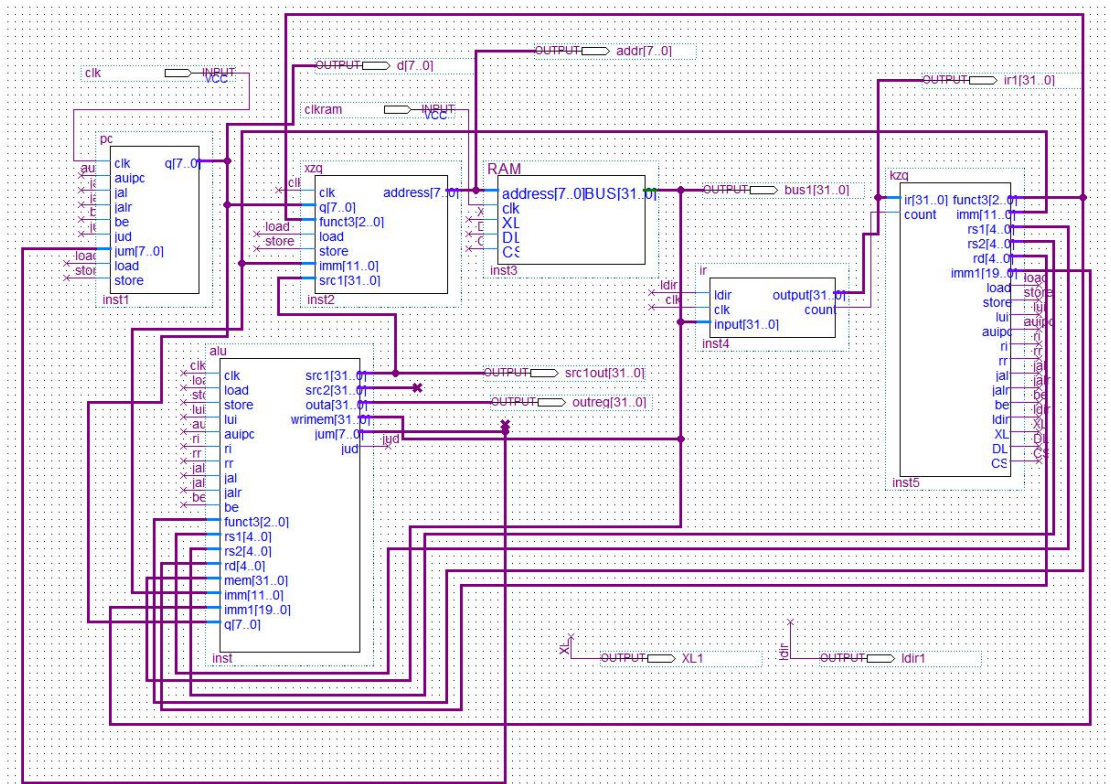
指令执行(EXE): 根据指令译码得到的操作控制信号，具体地执行指令动作，然后转移到结果写回状态。

存储器访问(MEM): 所有需要访问存储器的操作都将在这个步骤中执行，该步骤给出存储器的数据地址，把数据写入到存储器中数据地址所指定的存储单元或者从存储器中得到数据地址单元中的数据。

结果写回(WB): 指令执行的结果或者访问存储器中得到的数据写回相应的目的寄存器中。

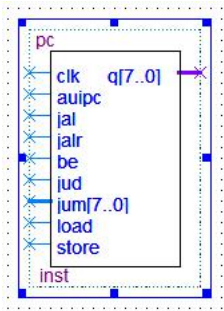
单周期 CPU，是在一个时钟周期内完成这五个阶段的处理。

1、设计的整体架构

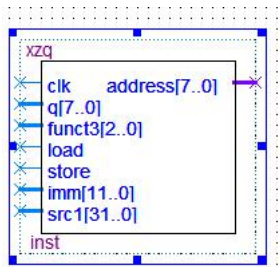


2、各模块的具体实现

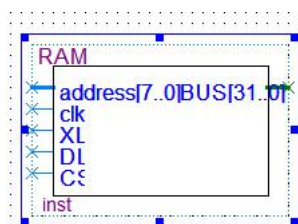
1. PC 指令计数器，用于存放下一条指令所在单元的地址的地方。



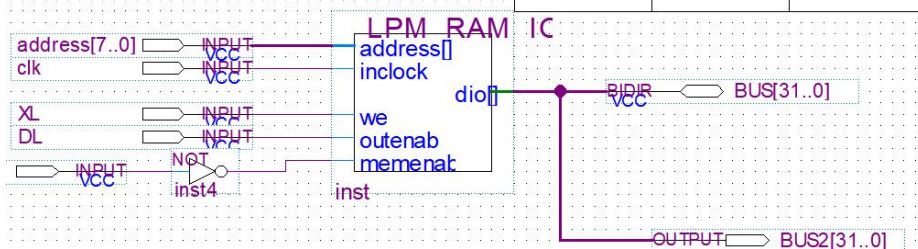
2. 选择器，根据给定的输入地址代码，从一组输入信号中选出指定的一个送至输出端。



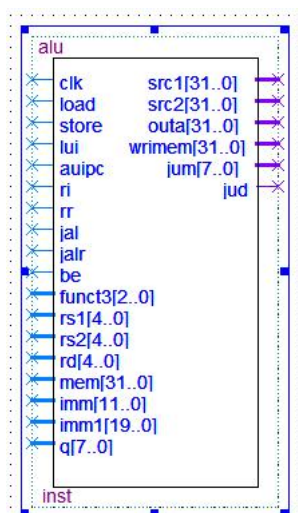
3. RAM 数据存储单元。



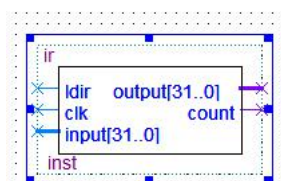
Parameter...	Value...	Type...
LPM_ADDRREGISTER	String	
LPM_FILE	ram.mif	String
LPM_INDATREGISTER	String	
...



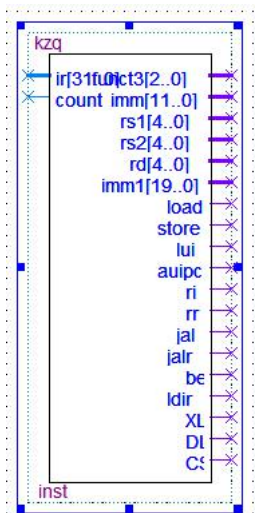
4. ALU 算术逻辑单元，实现算术运算和逻辑运算。



5. IR 指令寄存器，接收 BUS 总线上的信号输入，接入时钟控制信号以及 Ldir, LDIR 控制是否把 BUS 总线上的数据打入寄存器 IR 中。



6. 控制器，根据指令各个字段的内容为数据通路提供所有的控制字。控制字字段的数目可以从指令字段的内容中直接获取。



四、测试

1、测试环境

部件	配置
CPU	Core i5-6200U
内存	DDR3 4GB
操作系统	Windows 10

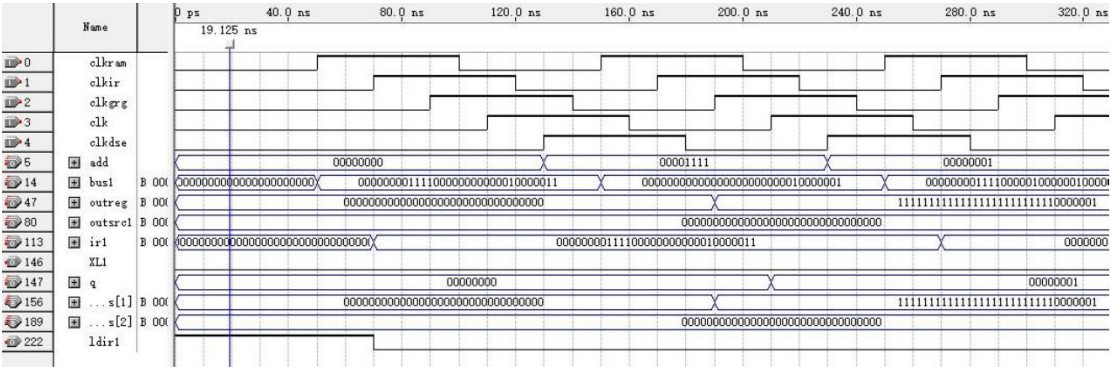
2、测试结果

1. load/Store 指令

lb 指令

测试所用的二进制指令为：000000001111 00000 000 00001 0000011

仿真结果：



分析：这条指令是从地址 x[0]加立即数中的一个字节，经符号位扩展后写入 r1 中，该数值

仿真结果:

