

湖南大学

HUNAN UNIVERSITY

课程实验报告

课程名称：微处理器设计

学生姓名：李叙庆

学生学号：201608010515

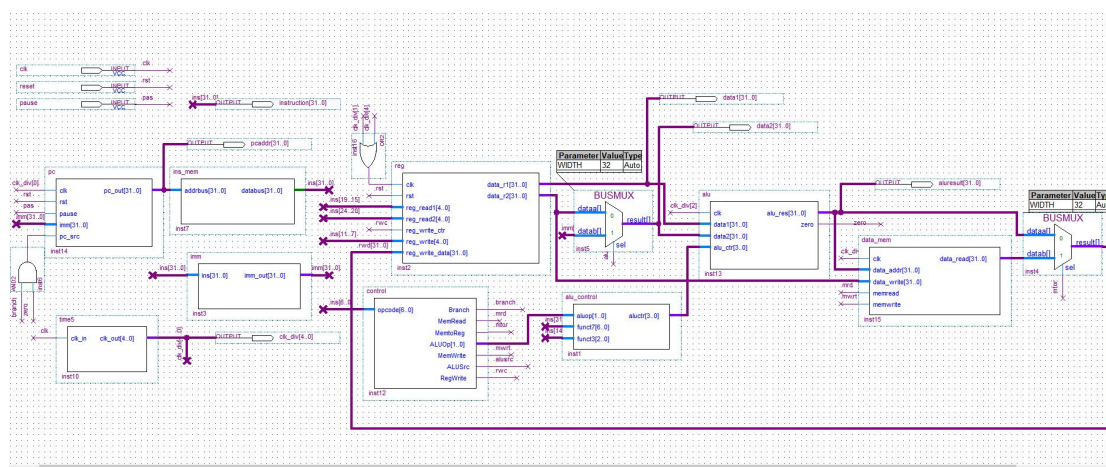
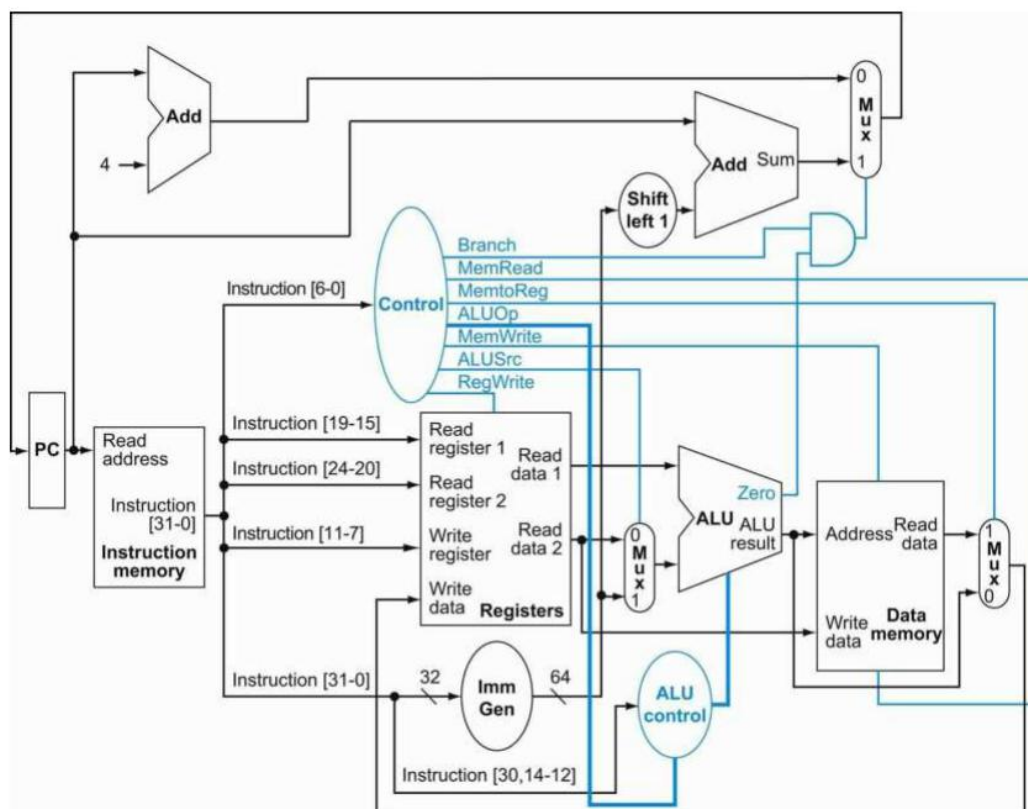
专业班级：计科 1605

实验任务

完成一个执行 RISC-V 的基本整数指令集 RV32I 的 CPU 设计（单周期实现）

实验流程

一、参考设计手册给出的 datapath，连好的整体框架。



五个模块：

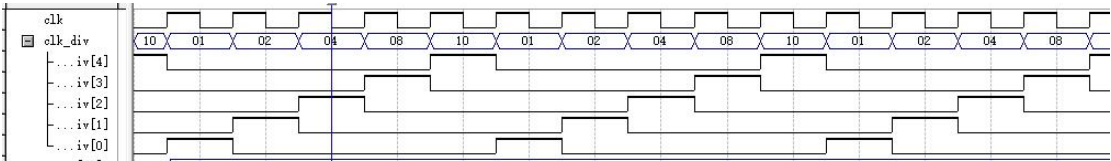
Clk5 分时模块：按照手册的 5 级流水线设计单周期 cpu，把 clk 分为 5 分时。每 5 个 clk 循环执行：取指令，译码，执行，访存，写回。

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

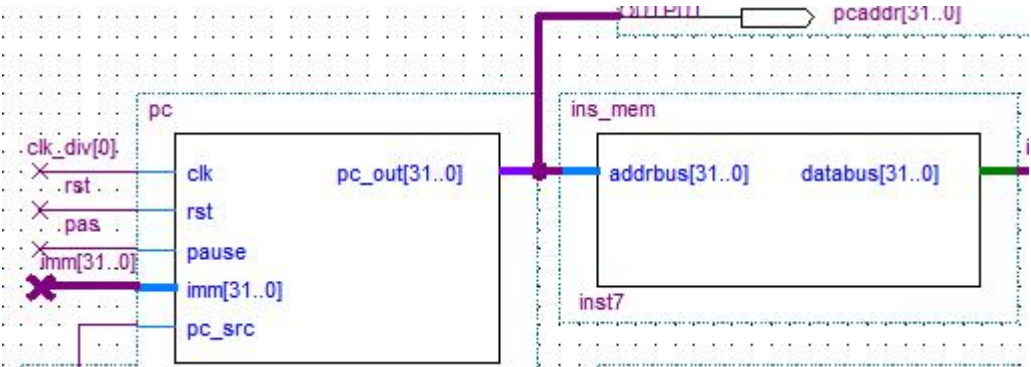
entity time5 is
port(
  clk_in:in std_logic;
  clk_out:out std_logic_vector(4 downto 0)
);
end time5;

architecture bhv of time5 is
  signal temp:std_logic_vector(4 downto 0):="10000";
begin
  t0:process(clk_in)
  begin
    if(rising_edge(clk_in)) then
      if temp="10000" then
        temp<="00001";
      else
        temp <= temp(3 downto 0) & '0';
      end if;
    end if;
  end process;
  clk_out <= temp;
end ;
```

仿真结果



取指阶段 clk1：产生一条 pc 输出，pc 进入指令存储器（ins_mem）取出指令。



译码阶段 clk2:

其实在指令取出来后，指令进入 2 个部分：

一个是 imm（立即数产生器）根据指令类型生成相应立即数。

另一个，同时指令还进入 control（控制器）产生控制信号：

Branch: branch=1 则下一条 pc 地址要跳转，branch=0 则下一条 pc 选择 pc+4.

MemRead: 等于 1 则是要从数据存储器读取数据（load）

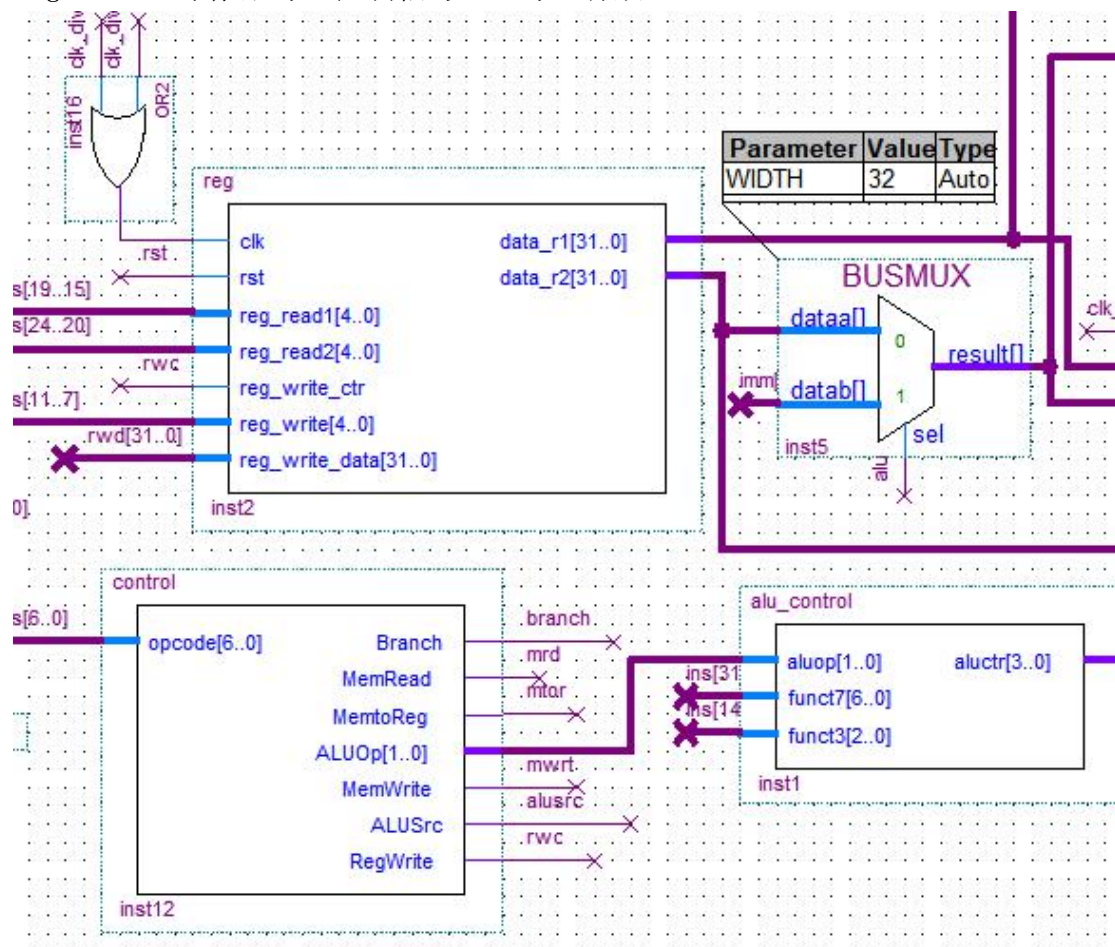
MemtoReg: 等于 1 则是选择从存储器出来的数据写入到寄存器，0 则是 alu 计算的结果

ALUOp: 进入 alu_control 器件，与 funct7 和 funct3 一同控制 alu 运算规则。

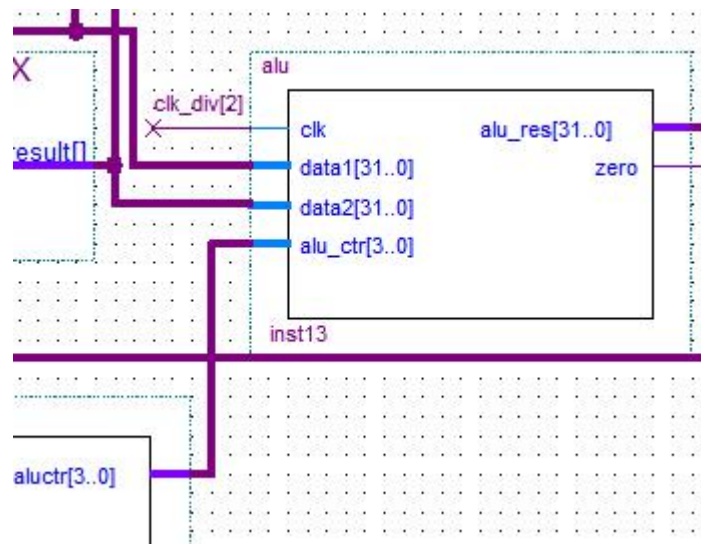
MemWrite: 数据存储器写入数据控制，1 允许写入

ALUSrc: 进入 alu 的数据来源，等于 0 选择寄存器出来的数，等于 1 选择产生的立即数。

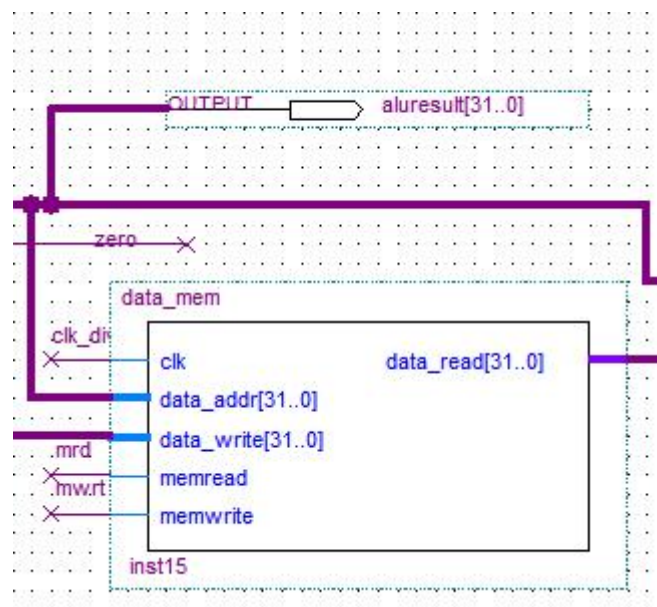
RegWrite: 寄存器写入控制信号，1 写入有效



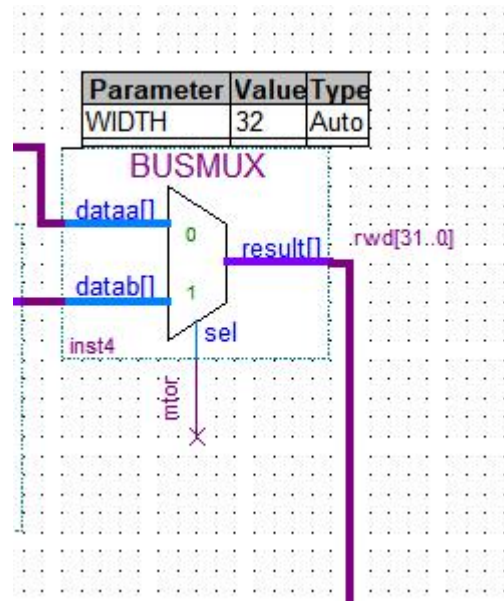
执行阶段（clk3 上升沿产生 alu 结果输出）：



访问存储器阶段:



写回阶段:



Loading.....