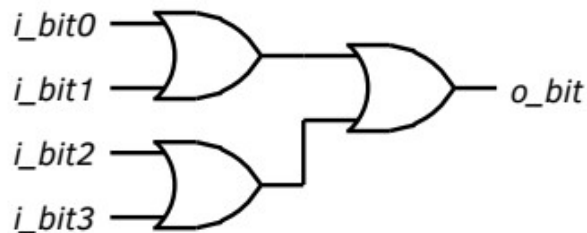


ELESB16403: Kompiuterių architektūra
2 laboratorinis darbas: Modeliavimas struktūrinius būdu

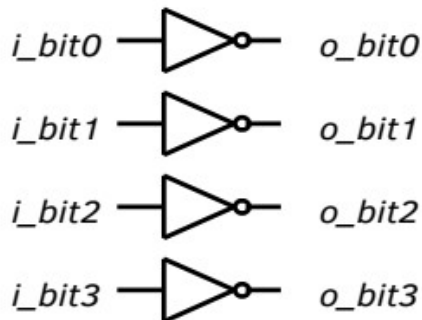
Privalomos užduotys (6 balai)

Pavyzdį kaip aprašyti loginę schemą rasite *xor2.vhd* faile. Daugiau informacijos rasite adresu www.gstitt.ece.ufl.edu/courses/eel4712/labs/free_range_vhdl.pdf. Pavyzdį kaip patikrinti sukurtą *vhd* failą rasite faile *process.vhd* behave skiltyje. Šis failas turėtų būti vykdomas kartu su jūsų sukurtu failu, kuriame aprašytas entity pagal atliktas užduotis, pvz: „or4“.

1. VHDL kalba aprašykite loginę schema 4ARBA ir patikrinkite *Modelsim* programa. Schema pateikta 1 paveiksle.
2. VHDL kalba aprašykite neigimą atliekančią keturių bitų loginę schemą ir patikrinkite *Modelsim* programa. Schema pateikta 2 paveiksle.



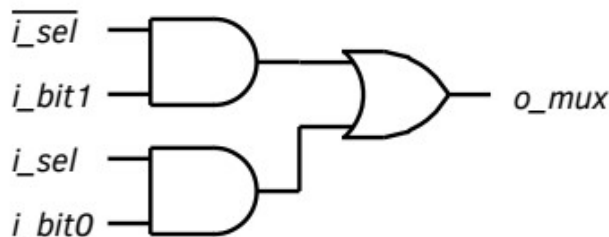
1 pav. Loginio elemento 4ARBA loginė schema



2 pav. Loginio elemento 16 bitų NE loginė schema

Pasirenkamos užduotys (4 balai)

1. 1 pav. schemą aprašykite VHDL kalba panaudodami signalą (*signal*). Pavyzdį rasite adresu <https://www.nandland.com/vhdl/tutorials/tutorial-modelsim-simulation-walkthrough.html>.
2. VHDL kalba aprašykite multiplekserio iš 2 į 1 loginę schemą ir patikrinkite *Modelsim* programa. Schema pateikta 3 paveiksle.



3 pav. Multiplekserio iš 2 į 1 loginė schema