

ELESB16403: Kompiuterių architektūra

1 laboratorinis darbas: Darbo aplinka

Git + Github užduotys

Norėdami atlikti 1-3 užduotis užsiregistruokite adresu *GitHub.com*.

1. Vietinės saugyklos sukūrimas ir sukurtos saugyklos kopijavimas

Kompiuteryje pageidaujamoje vietoje sukurkite aplanką ir pereikite į sukurta katalogą:
cd lab1

Pradėti registruoti failus ir aplankus:

git init

Pažiūrėti vietinės saugyklos būseną:

git status

Parsisiųskite duomenis į sukurta katalogą – vietinę saugyklą:

git clone https://github.com/bartnykas/ca.git

Norint pakeitimus išsaugoti nuotolinėje saugykloje būtina nurodyti savo tapatybę. Tam vietinė saugykla konfigūruojama:

git config --global user.name "Vardas Pavardė"

git config --global user.email vardas.pavarde@stud.vgtu.lt

Ar pakeitimai įvykdyti patikrinkime komanda:

git config --list

2. Darbas su failais

Failą *xor.vhd* papildykite eilute „-- Compiled by: Vardas Pavardė“. Šią eilutę įterpkite taip, kad ji eitų po eilutės „-- File: xor.vhd“. Tam galite pasinaudoti redaktoriumi *Notepad++*.

Norint nuotolinėje saugykloje išsaugoti failus pirmiausia juos reikia įtraukti. Pakeistą failą *xor.vhd* įtraukiame taip:

git add xor.vhd

Patvirtiname įtraukimą:

git commit -m "xor.vhd failo pakeitimai"

Nurodyto failo kopijavimas į nuotolinę saugyklą:

git push

Ar viskas pavyko peržiūrėkite apsilankę adresu *GitHub.com*.

Modelsim užduotys

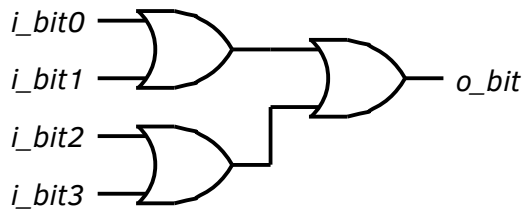
4. Perskaitykite medžiagą pateiktą adresu nandland.com/vhdl/tutorials/tutorial-modelsimulation-walkthrough.html ir atlikite tai kas nurodyta.

ELESB16403: Kompiuterių architektūra
2 laboratorinis darbas: Struktūris modeliavimas

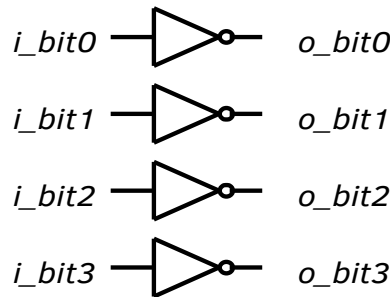
Privalomos užduotys

Pavyzdį kaip aprašyti loginę schemą rasite *xor2.vhd* faile¹. Patikrinti sukurtą *vhd* failą galite adaptuodami failą *xor2.do*. Šis failas įvykdomas *Tools > TCL > Execute Macro*, bet prieš tai reikia nurodyti katalogą kuriame yra darbui skirti failai: *File > Change Directory*.

1. VHDL kalba aprašykite loginę schemą 4ARBA ir patikrinkite *ModelSim* programa. Schema pateikta 1 paveiksle.
2. VHDL kalba aprašykite neigimą atliekančią keturių bitų loginę schemą ir patikrinkite *ModelSim* programa. Schema pateikta 2 paveiksle.



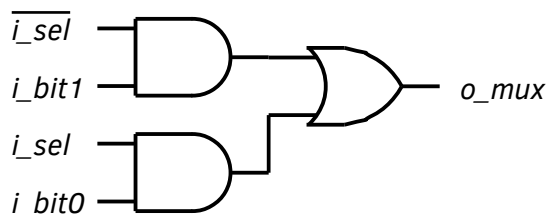
1 pav. Loginio elemento 4ARBA loginė schema



2 pav. Loginio elemento 4 bitų NE loginė schema

Pasirenkamos užduotys

1. Schemą iš 1 paveikslo aprašykite VHDL kalba išsaugodami tarpinius rezultatus. Tam panaudokite *signal*².
2. VHDL kalba aprašykite multiplekserio iš 2 į 1 loginę schemą ir patikrinkite *Modelsim* programa. Schema pateikta 3 paveiksle.



3 pav. Multiplekserio iš 2 į 1 loginė schema

¹ Daugiau informacijos apie VHDL rasite adresu gstitt.ece.ufl.edu/courses/eel4712/labs/free_range_vhdl.pdf

² Pavyzdys adresu <https://www.nandland.com/vhdl/tutorials/tutorial-modelsim-simulation-walkthrough.html>

