

计算机系统设计作业

智能 1601-201608010312-张宁

1. 计算机其部分指令执行过程的控制信号，如图 a 所示

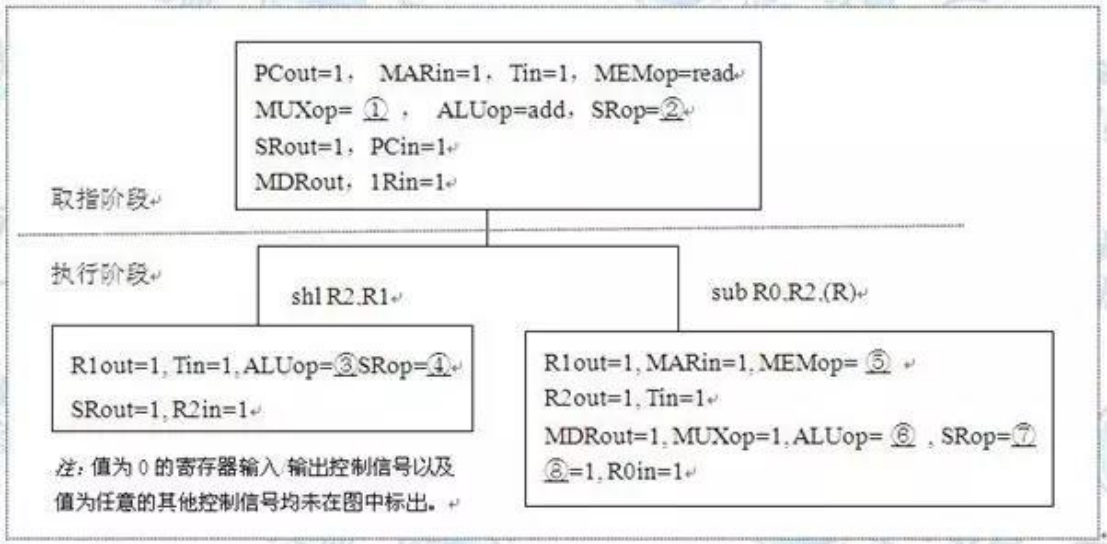


图 a 部分指令控制信号

该机指令格式，如图 b 所示，支持寄存器直接和寄存器间接两种寻址方式，寻址方式位分别为 0 和 1，通用寄存器 R0~R3 的编号分别为 0、1、2 和 3。



图 b 指令格式

请回答下列问题。

(1) 该机的指令系统最多可定义多少条指令？

答：最多可定义 128 条指令

(2) 假定 inc、shl 和 sub 指令的操作码分别为 01H、02H 和 03H，则以下指令对应的机器代码各是什么？

- ① inc R1 ; R1 + 1→R1
- ② shl R2,R1 ; (R1) << 1→R2

③ $\text{sub } R3, (R1), R2 ; ((R1)) - (R2) \rightarrow R3$

答：① 0280H, ② 04A8H, ③ 06EEH

- (2) 假定寄存器 X 的输入和输出控制信号分别为 Xin 和 Xout, 其值为 1 表示有效, 为 0 表示无效(例如, PCout=1 表示 PC 内容送总线);存储器控制信号为 MEMop, 用于控制存储器的读(read)和写(write)操作。写出题 44 图 a 中标号①⑧处的控制信号或控制信号的取值。

答：① 0, ② mov, ③ mova, ④ left, ⑤ read, ⑥ sub, ⑦mov, ⑧ SROUT。

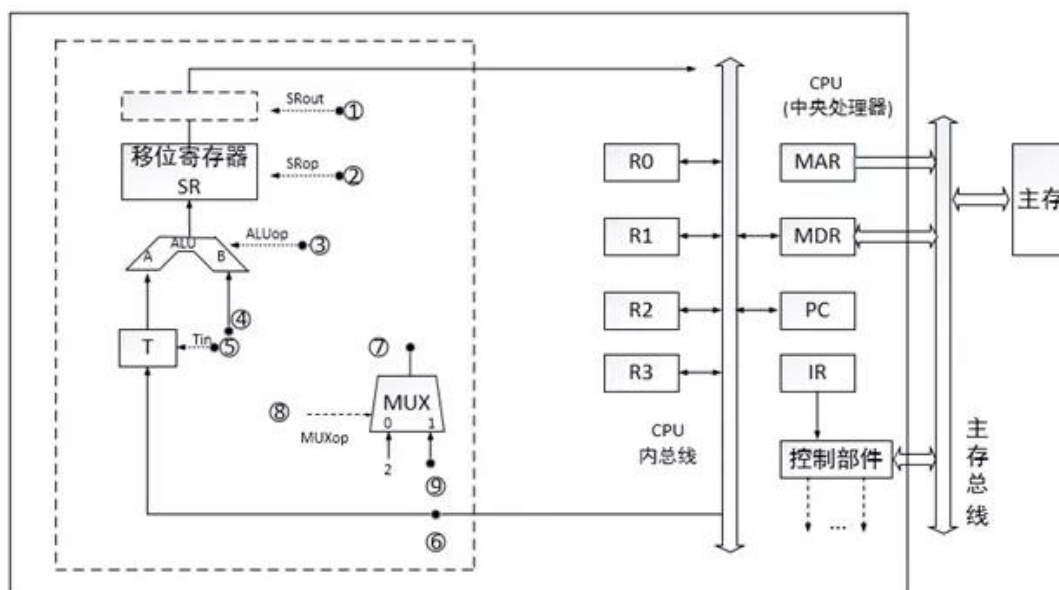
- (4) 指令“sub R1, R3, (R2)”和“inc R1”的执行阶段至少各需要多少个时钟周期?

答：至少各需要 8 和 7 个时钟周期

2. 假定主存地址为 32 位, 按字节编址, 主存和 Cache 之间采用直接映射方式, 主存块大小为 4 个字, 每字 32 位, 采用回写 (Write Back) 方式, 则能存放 4K 字数据的 Cache 的总容量的位数至少多少?

解析：按字节编址, 块大小为 $4 \times 32\text{bit} = 16\text{B} = 24\text{B}$, 则“字块内地址”占 4 位; 能存放 4K 字数据的 Cache ”即 Cache 的存储容量为 4K 字节, 则 Cache 共有 $1\text{K} = 2^{10}$ 个 Cache 行, 则 Cache 字块标记占 10 位; 则主存字块标记占 $32 - 10 - 4 = 18$ 位。Cache 的总容量包括: 存储容量和标记阵列容量 (有效位、标记位、一致性维护位和替换算法控制位)。标记阵列中的有效位和标记位是一定有的, 而一致性维护位 (脏位) 和替换算法控制位的取舍标准是看题眼, 题目中, 明确说明了采用写回法, 则一定包含一致性维护位, 而关于替换算法的词眼题目中未提及, 所以不予考虑。从而每个 Cache 行标记项包含 $18 + 1 + 1 = 20$ 位, 则标记阵列容量为: $2^{10} \times 20 \text{ 位} = 20\text{K 位}$, 存储容量为: $4\text{K} \times 32 \text{ 位} = 128\text{K 位}$, 则总容量为: $128\text{K} + 20\text{K} = 148\text{K 位}$ 。

3. 某 16 位计算机主存按字节编码。存取单位为 16 位; 采用 16 位定长指令格式; CPU 采用单总线结构, 主要部分如下图所示。



图中 R0~R3 为通用寄存器；T 为暂寄存器；SR 为移位寄存器，可实现直送(mov)、左移一位(left)、右移一位(right)3 种操作，控制信号为 Srop，SR 的输出信号 SROUT 控制；ALU 可实现直送 A(mov)、A 加 B(add)、A 减 B(sub)、A 与 B(and)、A 或 B(or)、非 A(not)、A 加 1(inc)7 种操作，控制信号为 ALUop。请回答下列问题。

(1) 图中哪些寄存器是程序员可见的?为何要设置暂寄存器 T?

答：图中程序员可见的寄存器有通用寄存器 R0~R3 和程序计数器 PC；设置暂寄存器 T 用于暂存数据总线发送的数据。

(2) 控制信号 ALUop 和 Srop 的位数至少各是多少?

答：ALUop 和 Srop 的位数分别为 3, 2。

(3) 控制信号 SROUT 所控制部件的名称或作用是什么?

答：SROUT 所控制的部件作用是控制计算机运算结果的输出。

(4) 端点①~⑨中，哪些端点须连接到控制部件的输出端?

答：须连接到控制部件的输出端端点有①②③⑤⑧。

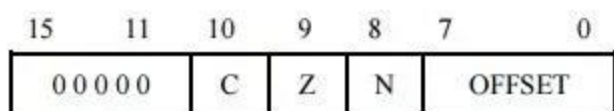
(5) 为完善单总线数据通路，需要在端点①~⑨中相应的端点之间添加必要的连线。写出连线的起点和终点，以正确表示数据的流动方向。

答：⑥→⑨，⑦→④。

(6) 为什么二路选择器 MUX 的一个输入端是 2?

答：使 PC 自增 2 以获取下一条指令地址。

4. 某计算机采用 16 位定长指令字格式，其 CPU 中有一个标志寄存器，其中包含进位/借位标志 CF、零标志 ZF 和符号标志 NF。假定为该机设计了条件转移指令，其格式如下：



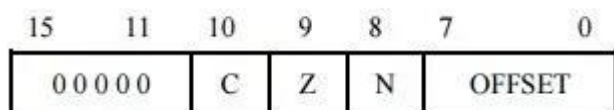
其中，00000 为操作码 OP；C、Z 和 N 分别为 CF、ZF 和 NF 的对应检测位，某检测位为 1 时表示需检测对应标志，需检测的标志位中只要有一个为 1 就转移，否则不转移，例如，若 C=1，Z=0，N=1，则需检测 CF 和 NF 的值，当 CF=1 或 NF=1 时发生转移；OFFSET 是相对偏移量，用补码表示。转移执行时，转移目标地址为 $(PC) + 2 + 2 \times \text{OFFSET}$ ；顺序执行时，下条指令地址为 $(PC) + 2$ 。

请回答下列问题。

- (1) 该计算机存储器按字节编址还是按字编址？该条件转移指令向后（反向）最多可跳转多少条指令？

答：因为指令长度为 16 位，且下条指令地址为 $(PC) + 2$ ，故编址单位是字节。偏移 OFFSET 为 8 位补码，范围为 $-128 \sim 127$ ，故相对于当前条件转移指令，向后最多可跳转 127 条指令。

- (2) 某条件转移指令的地址为 200CH，指令内容如下图所示，若该指令执行时 CF=0，ZF=0，NF=1，则该指令执行后 PC 的值是多少？若该指令执行时 CF=1，ZF=0，NF=0，则该指令执行后 PC 的值又是多少？请给出计算过程。



答：指令中 C = 0，Z = 1，N = 1，故应根据 ZF 和 NF 的值来判断是否转移。当 CF=0，ZF=0，NF=1 时，需转移。

已知指令中偏移量为 1110 0011B=E3H，符号扩展后为 FFE3 H，左移一位（乘 2）后为 FFC6 H，故 PC 的值（即转移目标地址）为 $200CH + 2 + FFC6H = 1FD4H$ 。当 CF = 1，ZF = 0，NF = 0 时不转移。PC 的值为： $200CH + 2 = 200EH$ 。

- (3) 实现“无符号数比较小于等于时转移”功能的指令中，C、Z 和 N 应各是什么？

答：指令中的 C、Z 和 N 应分别设置为 C=Z=1，N=0。

- (4) 以下是该指令对应的数据通路示意图，要求给出图中部件①~③的名称或功

能说明。

答：部件①：指令寄存器（用于存放当前指令）； 部件②：移位寄存器（用于左移一位）； 部件③：加法器（地址相加）

5. 某计算机采用微程序控制器，共有 32 条指令，公共的取指令微程序包含 2 条微指令，各指令对应的微程序平均由 4 条微指令组成，采用断定法（下地址字段法）确定下条微指令地址，则微指令中地址字段的位数至少是（ ）
- A. 5
 - B. 6
 - C. 8
 - D. 9

答：32*4+2=130， $2^7=128 < 130$ ，所以至少需要 8 位才能表示完 130 个地址。所以至少需要 8 位才能表示完 130 个地址。所以选择答案 C

5. 某计算机主存地址空间大小为 256 MB，按字节编址。虚拟地址空间大小为 4 GB，采用页 式存储管理，页面大小为 4 KB，TLB（快表）采用全相联映射，有 4 个页表项，内容如下表所示。

有效位	标记	页框号	...
0	FF180H	0002H	...
1	3FFF1H	0035H	...
0	02FF3H	0351H	...
1	03FFFH	0153H	...

则对虚拟地址 03FF F180H 进行虚实地址变换的结果是（ ）

- A. 015 3180H
- B. 003 5180H
- C. TLB 缺失
- D. 缺页

解析：虚拟地址为 03FF F180H，其中页号为 03FFFH，页内地址为 180H，根据题目中给出的页表项可知页标记为 03FFFH 所对应的页框号为 0153H，页框号与页内地址之和即为物理地址 015 3180 H

6. 在 4 段流水线浮点加法器中，若每段所需的时间为：T1=60ns，T2=50ns，T3=90ns，T4=80ns。求：
- (1) 流水线加法器的加速比。

答：加法器的流水线时钟周期至少为 $T=90\text{ns}$. 若采用同样的逻辑电路(不使用流水线), 则浮点加法所需的时间是: $T_1+T_2+T_3+T_4=60+50+90+80=280\text{ns}$ 因此, 加速比为 $280/90 \approx 3.1$

(2) 若每段的时间都是 75ns (包括缓冲时间), 求加速比。

答：若每个过程段的时间都是 75ns , 则加速比 $= (75 \times 4) / 75 = 4$