

# 习题

1. 某计算机的 CPU 主频为 500MHz, CPI 为 5 (即执行每条指令平均需 5 个时钟周期)。假定某外设的数据传输率为 0.5MB/s, 采用中断方式与主机进行数据传送, 以 32 位为传输单位, 对应的中断服务程序包含 18 条指令, 中断服务的其他开销相当于 2 条指令的执行时间。请回答下列问题, 要求给出计算过程。

(1) 在中断方式下, CPU 用于该外设 I/O 的时间占整个 CPU 时间的百分比是多少?

(2) 当该外设的数据传输率达到 5MB/s 时, 改用 DMA 方式传送数据。假定每次 DMA 传送块大小为 5000B, 且 DMA 预处理和后处理的总开销为 500 个时钟周期, 则 CPU 用于该外设 I/O 的时间占整个 CPU 时间的百分比是多少? (假设 DMA 与 CPU 之间没有访存冲突)

解答:

(1) 按题意, 外设每秒传送 0.5MB, 中断时每次传送 4B。中断方式下, CPU 每次用于数据传送的时钟周期为  $5 \times 18 + 5 \times 2 = 100$ 。

为达到外设 0.5MB/s 的数据传输率, 外设每秒申请的中断次数为  $0.5\text{MB}/4\text{B} = 125\,000$ 。

1s 内用于中断的开销为  $100 \times 125\,000 = 12\,500\,000 = 12.5\text{M}$  个时钟周期。

CPU 用于外设 I/O 的时间占整个 CPU 时间的百分比为  $12.5\text{M}/500\text{M} = 2.5\%$ 。

(2) 当外设数据传输率提高到 5MB/s 时, 改用 DMA 方式传送, 每次 DMA 传送 5 000B, 1s 内需产生的 DMA 次数为  $5\text{MB}/5\,000\text{B} = 1\,000$ 。

CPU 用于 DMA 处理的总开销为  $1\,000 \times 500 = 500\,000 = 0.5\text{M}$  个时钟周期。

CPU 用于外设 I/O 的时间占整个 CPU 时间的百分比为  $0.5\text{M}/500\text{M} = 0.1\%$ 。

2. 某计算机字长为 16 位, 采用 16 位定长指令字结构, 部分数据通路结构如图 A-2 所示, 图中所有控制信号为 1 时表示有效、为 0 时表示无效。例如, 控制信号 MDRinE 为 1 表示允许数据从 DB 打入 MDR, MDRin 为 1 表示允许数据从内总线打入 MDR。假设 MAR 的输出一直处于使能状态。加法指令 “ADD (R1), R0” 的功能为  $(R0) + ((R1)) \rightarrow (R1)$ , 即将 R0 中的数据与 R1 的内容所指主存单元的数据相加, 并将结果送入 R1 的内容所指主存单元中保存。

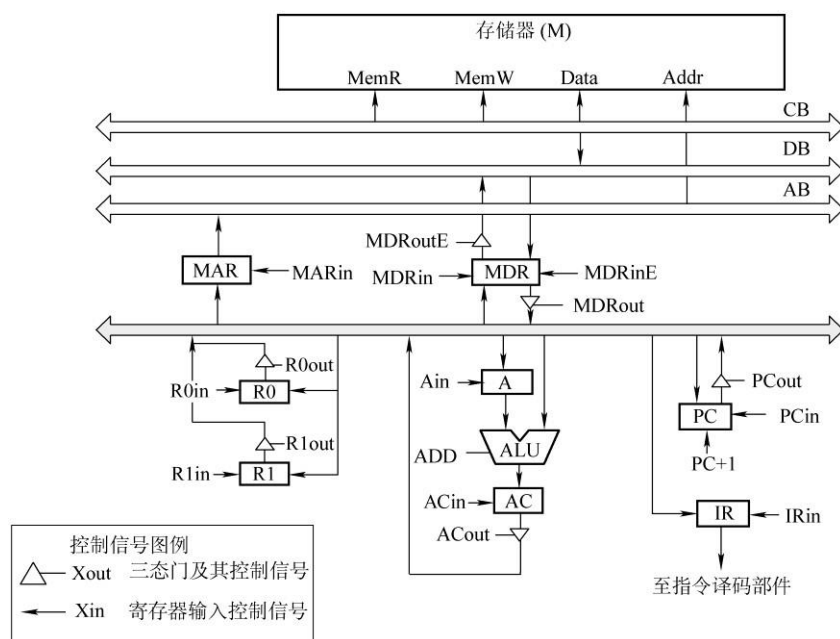


图 A-2

表 A-1 给出了上述指令取指和译码阶段每个节拍（时钟周期）的功能和有效控制信号，请按表中描述方式用表格列出指令执行阶段每个节拍的功能和有效控制信号。

时钟	功能	有效控制信号
C1	$MAR \leftarrow (PC)$	PCout, MARin
C2	$MDR \leftarrow M(MDR)$ $PC \leftarrow (PC)+1$	MemR, MDRinE, PC+1
C3	$IR \leftarrow (MDR)$	MDRout, IRin
C4	指令译码	无

解答：

题干已给出取值和译码阶段每个节拍的功能和有效控制信号，我们应以弄清楚取指阶段中数据通路的信息流动作为突破口，读懂每个节拍的功能和有效控制信号。然后应用到解题思路中，包括划分执行步骤、确定完成的功能、需要的控制信号。

先分析题干中提供的示例（本部分解题时不做要求）：

取指令的功能是根据 PC 的内容所指主存地址，取出指令代码，经过 MDR，最终送至 IR。

这部分和后面的指令执行阶段的取操作数、存运算结果的方法是相通的。

C1:  $(PC) \rightarrow MAR$

在读写存储器前，必须先将地址（这里为(PC)）送至 MAR。

C2:  $M(MAR) \rightarrow MDR$ ,  $(PC)+1 \rightarrow PC$

读写的数据必须经过 MDR，指令取出后 PC 自增 1。

C3:  $(MDR) \rightarrow IR$

然后将读到 MDR 中指令代码送至 IR 进行后续操作。

指令“ADD (R1),R0”的操作数一个在主存中，一个在寄存器中，运算结果在主存中。根据指令功能，要读出 R1 的内容所指的主存单元，必须先将 R1 的内容送至 MAR，即  $(R1) \rightarrow MAR$ 。而读出的数据必须经过 MDR，即  $M(MAR) \rightarrow MDR$ 。

因此，将 R1 的内容所指主存单元的数据读出到 MDR 的节拍安排如下：

C5: (R1)→MAR

C6: M(MAR)→MDR

ALU 一端是寄存器 A，MDR 或 R0 中必须有一个先写入 A 中，如 MDR。

C7: (MDR)→A

然后执行加法操作，并将结果送入寄存器 AC。

C8: (A)+(R0)→AC

之后将加法结果写回到 R1 的内容所指主存单元，注意 MAR 中的内容没有改变。

C9: (AC)→MDR

C10: (MDR)→M(MAR)

有效控制信号的安排并不难，只需看数据是流入还是流出，如流入寄存器 X 就是 Xin，流出寄存器 X 就是 Xout。还需注意其他特殊控制信号，如 PC+1、Add 等。

于是得到参考答案如下：

时钟	功能	有效控制信号
C5	$MAR \leftarrow (R1)$	R1out, MARin
C6	$MDR \leftarrow M(MAR)$	MemR, MDRinE
C7	$A \leftarrow (MDR)$	MDRout, Ain
C8	$AC \leftarrow (A) + (R0)$	R0out, Add, ACin
C9	$MDR \leftarrow (AC)$	ACout, MDRin
C10	$M(MAR) \leftarrow (MDR)$	MDRoutE, MemW

3. 某计算机字长为 16 位，主存地址空间大小为 128KB，按字编址。采用单字长指令格式，指令各字段定义如图 B-4 所示。

转移指令采用相对寻址方式，相对偏移量用补码表示，寻址方式定义见表 B-1。

15 12 11 6 5 0

OP	Ms	Rs	Md	Rd
源操作数			目的操作数	

表 B-1

Ms/Md	寻址方式	助记符	含义
000B	寄存器直接	Rn	操作数=(Rn)
001B	寄存器间接	(Rn)	操作数=((Rn))
010B	寄存器间接、自增	(Rn)+	操作数=((Rn)), (Rn)+1→Rn
011B	相对	D(Rn)	转移目标地址=(PC)+(Rn)

注：(X) 表示存储器地址 X 或寄存器 X 的内容。

请回答下列问题:

- (1) 该指令系统最多可有多少条指令? 该计算机最多有多少个通用寄存器? 存储器地址寄存器 (MAR) 和存储器数据寄存器 (MDR) 至少各需要多少位?
- (2) 转移指令的目标地址范围是多少?
- (3) 若操作码 0010B 表示加法操作 (助记符为 add), 寄存器 R4 和 R5 的编号分别为 100B 和 101B, R4 的内容为 1234H, R5 的内容为 5678H, 地址 1234H 中的内容为 5678H, 地址 5678H 中的内容为 1234H, 则汇编语言为 "add(R4), (R5) +" (逗号前为源操作数, 逗号后为目的操作数) 对应的机器码是什么 (用十六进制表示)? 该指令执行后, 哪些寄存器和存储单元中的内容会改变? 改变后的内容是什么?

解答:

- (1) 操作码占 4 位, 则该指令系统最多可有  $2^4=16$  条指令; 操作数占 6 位, 寻址方式占 3 位, 于是寄存器编号占 3 位, 则该机最多有  $2^3=8$  个通用寄存器; 主存容量为 128KB, 按字编址, 计算机字长为 16 位, 划分为  $128KB/2B=216$  个存储单元, 故 MDR 和 MAR 至少各需 16 位。
- (2) PC 和 Rn 可表示的地址范围均为  $0 \sim 216-1$ , 而主存地址空间为 216, 故转移指令的目标地址范围为 0000H ~ FFFFH ( $0 \sim 216-1$ )。
- (3) 汇编语句 "add (R4), (R5) +", 对应的机器码为 0010 0011 0001 0101B=2315H。该指令执行后, 寄存器 R5 和存储单元 5678H 的内容会改变。执行后, R5 的内容从 5678H 变成 5679H。存储单元 5678H 中的内容变成该加法指令计算的结果  $5678H+1234H=68ACH$ 。

4. 某计算机存储器按字节编址, 虚拟 (逻辑) 地址空间大小为 16MB, 主存 (物理) 地址空间大小为 1MB, 页面大小为 4KB; Cache 采用直接映射方式, 共 8 行; 主存与 Cache 之间交换的块大小为 32B。系统运行到某一时刻时, 页表的部分内容和 Cache 的部分内容分别如题 44-a 图、题 44-b 图所示, 图中页框号及标记字段的内容为十六进制形式。

虚页号	有效位	页框号	行号	有效位	标记
-----	-----	-----	----	-----	----

0	1	06	
1	1	04	
2	1	15	
3	1	02	
4	0	—	
5	1	2B	
6	0	—	
7	1	32	

a 图 页表的部分内容

0	1	020	
1	0	—	
2	1	01D	
3	1	105	
4	1	064	
5	1	14D	
6	0	—	
7	1	27A	

b 图 Cache 的部分内容

请回答下列问题。

- (1) 虚拟地址共有几位，哪几位表示虚页号？物理地址共有几位，哪几位表示页框号（物理页号）？
- (2) 使用物理地址访问 Cache 时，物理地址应划分成哪几个字段？要求说明每个字段的位数及在物理地址中的位置。
- (3) 虚拟地址 001C60H 所在的页面是否在主存中？若在主存中，则该虚拟地址对应的物理地址是什么？访问该地址时是否 Cache 命中？要求说明理由。
- (4) 假定为该机配置一个 4 路组相联的 TLB 共可存放 8 个页表项，若其当前内容（十六进制）如

c 图所示，则此时虚拟地址 024BACH 所在的页面是否存在主存中？要求说明理由。

组号	有效位	标记	页框号		有效位	标记	页框号		有效位	标记	页框号		有效位	标记	页框号
0	0	—	—		1	001	15		0	—	—		1	012	1F
1	1	013	2D		0	—	—		1	008	7E		0	—	—

解答：

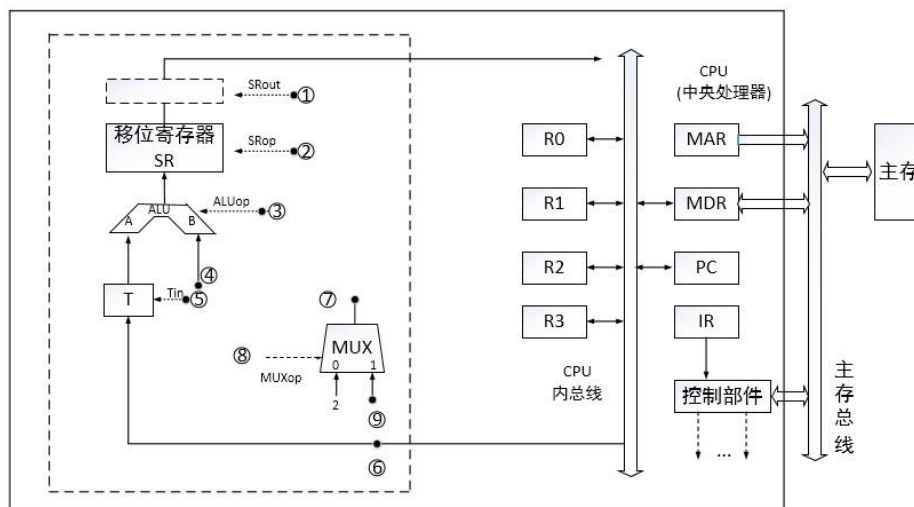
- (1) 虚拟地址为 24 位，其中高 12 位为虚页号。物理地址为 20 位，其中高 8 位为物理页号。
- (2) 20 位物理地址中，最低 5 位为块内地址，中间 3 位为 Cache 行号，高 12 位为标志。
- (3) 在主存中。虚拟地址 001C60H=0000 0000 0001 1100 0110 0000B，故虚页号为 0000 0000 0001B，查看 0000 0000 0001B=001H 处的页表项，由于对应的有效位为 1，故虚拟地址 001C60H 所在的页面在主存中。

页表 001H 处的页框号（物理页号）为 04H=0000 0100B，与页内偏移 1100 0110 0000B 拼接成物理地址：0000 0100 1100 0110 0000B=04C60H。

对于物理地址 0000 0100 1100 0110 0000B，所在主存块只能映射到 Cache 的第 3 行（即第 011B 行）；由于该行的有效位=1，标记（值为 105H）≠04CH（物理地址高 12 位），故访问该地址时 Cache 不命中。

(4) 虚拟地址 024BACH=0000 0010 0100 1011 1010 1100B，故虚页号为 0000 0010 0100B；由于 TLB 只有  $8/4=2$  个组，故虚页号中高 11 位为 TLB 标记，最低 1 位为 TLB 组号，它们的值分别为 0000 0010 010B（即 012H）和 0B，因此，该虚拟地址所对应物理页面只可能映射到 TLB 的第 0 组。由于组 0 中存在有效位=1、标记=012H 的项，所以访问 TLB 命中，即虚拟地址 024BACH 所在的页面在主存中。

5. 某 16 位计算机的主存按字节编码，存取单位为 16 位；采用 16 位定长指令字格式；CPU 采用单总线结构，主要部分如下图所示。图中 R0~R3 为通用寄存器；T 为暂寄存器；SR 为移位寄存器，可实现直送（mov）、左移一位（left）和右移一位（right）3 种操作，控制信号为 SROp，SR 的输出由信号 SRout 控制；ALU 可实现直送 A（mova）、A 加 B（add）、A 减 B（sub）、A 与 B（and）、A 或 B（or）、非 A（not）、A 加 1（inc）7 种操作，控制信号为 ALUOp。



请回答下列问题。

- 1) 图中哪些寄存器是程序员可见的？为何要设置暂寄存器 T？
- 2) 控制信号 ALUOp 和 SROp 的位数至少各是多少？
- 3) 控制信号 SRout 所控制部件的名称或作用是什么？
- 4) 端点①~⑨中，哪些端点须连接到控制部件的输出端？
- 5) 为完善单总线数据通路，需要在端点①~⑨中相应的端点之间添加必要的连线。写出连线的起点和终点，以正确表示数据的流动方向。
- 6) 为什么二路选择器 MUX 的一个输入端是 2？

解答：

1) 程序员可见寄存器为通用寄存器 ( $R0 \sim R3$ ) 和 PC。因为采用了单总线结构, 因此, 若无暂存器 T, 则 ALU 的 A、B 端口会同时获得两个相同的数据, 使数据通路不能正常工作。

【评分说明】回答通用寄存器 ( $R0 \sim R3$ ), 给分; 回答 PC, 给分; 部分正确, 酌情给分。设置暂存器 T 的原因若回答用于暂时存放端口 A 的数据, 则给分, 其他答案, 酌情给分。

2) ALU 共有 7 种操作, 故其操作控制信号 ALUop 至少需要 3 位; 移位寄存器有 3 种操作, 其操作控制信号 SROP 至少需要 2 位。

3) 信号 SRout 所控制的部件是一个三态门, 用于控制移位器与总线之间数据通路的连接与断开。

4) 端口①、②、③、⑤、⑧须连接到控制部件输出端。。

5) 连线 1, ⑥ $\rightarrow$ ⑨; 连线 2, ⑦ $\rightarrow$ ④。

6) 因为每条指令的长度为 16 位, 按字节编址, 所以每条指令占用 2 个内存单元, 顺序执行时, 下条指令地址为(PC)+2。MUX 的一个输入端为 2, 可便于执行(PC)+2 操作。