实验报告

班级:智能 1601 学号: 201608010520 姓名:甘昆禄

实验题目: 相对简单的 CPU 设计

实验目标

利用 VHDL 设计相对简单 CPU 的电路并验证。

实验要求

- * 采用 VHDL 描述电路及其测试平台
- * 采用时序逻辑设计电路
- * 采用从1累加到n的程序进行测试

实验内容

相对简单的 CPU 的设计需求

相对简单 CPU 的设计需求请详见课件,主要特征如下:

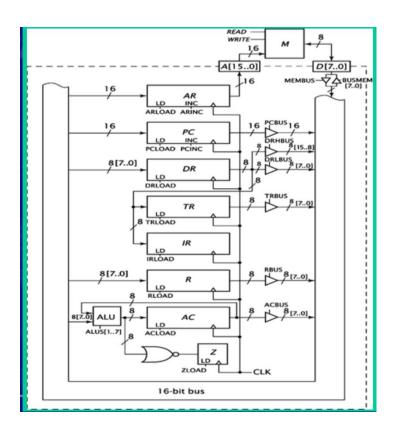
- 地址总线 16 位,数据总线 8 位
- 有一个8位累加寄存器 AC,一个8位通用寄存器 R,一个1位的零标志
- 有一个 16 位 AR 寄存器,一个 16 位程序计数器 PC,一个 8 位数据寄存器 DR, 一个 8 位指令寄存器 IR,一个 8 位临时寄存器 TR
- 有 16 条指令,每条指令 1 个或 3 个字节,其中操作码 8 位。3 字节的指令有 16 位的地址

以下是16条指令对应操作码和操作:

指令	指令码	操作
NOP	0 0 0 0	无
LDAC	0 0 0 0 0001 F	AC←M[Γ]
STAC	0 0 0 0 0010 F	M[Γ]←AC
M V A C	0 0 0 0 0011	R←AC
M O V R	0 0 0 0 0100	AC←R
JUMP	0 0 0 0 0101 Γ	GOTO Г
JMPZ	0 0 0 0 0110 F	IF (Z=1) THEN GOTO F
JPNZ	0 0 0 0 0111 F	IF (Z=0) THEN GOTO Γ

ADD	1000	AC←AC+R, IF (AC+R=0) THEN Z←1 ELSE Z←0
SUB	0 0 0 0 1001	AC←AC - R , IF (AC - R = 0) THEN Z←1 ELSE Z←0
INAC	0 0 0 0 1010	AC←AC+1, IF (AC+1=0) THEN Z←1 ELSE Z←0
CLAC	0 0 0 0 1011	AC←0 , Z←1
AND	0 0 0 0 1100	AC+ACAR, IF (ACAR=0) THEN Z+1 ELSE Z+0
OR	0 0 0 0 1101	AC←ACVR, IF (ACVR=0) THEN Z←1 ELSE Z←0
XOR	0 0 0 0 1110	AC←AC⊕R, IF (AC⊕R=0) THEN Z←1 ELSE Z←0
NOT	0 0 0 0 1111	AC←AC', IF (AC'=0) THEN Z←1 ELSE Z←0

CPU 的数据通路如下图所示:



相对简单的 CPU 的设计方案

相对简单 CPU 的设计方案请详见课件,主要思路如下:

- 1. 指令执行过程分为取指、译码、执行三个阶段
- 2. 取指包括三个状态, FETCH1, FETCH2, FETCH3, FETCH4
- 3. 译码体现为从 FETCH4 状态到各指令执行状态序列的第一个状态
- 4. 执行根据指令的具体操作分为若干状态
- 5. 每条指令的最后一个状态转移到 FETCH1 状态
- 6. 控制器根据每个状态需要完成的操作产生相应的控制信号

代码可以分4个文件进行编写:

rsisa.vhd, mem.vhd, cpu.vhd, comp.vhd

rsisa. vhd: 声明每条指令对应的变量名。

mem. vhd: 内存的代码,在这里声明了内存的大小、初始化内存(填入指令和数据),并规定了读写信号(write、read)有效时内存的动作。

cpu. vhd: 相对简单的 CPU 的代码,在这里声明了 CPU 的内部组成、CPU 可能达到的各个状态,和 CPU 处于各个状态下的动作。

comp. vhd:使用 component 语句讲 cpu 和 mem 实例化,并连接起来,成为一个统一系统。

测试

相对简单 CPU 电路在如下机器上进行了测试:

部件	配置	备注
CPU 型号	core-i5 4200U	
内存	4GB	
操作系统	Windows10	旗舰版
综合软件	quatus ii9.1	
仿真软件	quatus ii9.1	
波形查看	quatus ii9.1	

测试输入

我们采用从1累加到n(n设置成8)的程序作为测试输入:

```
CLAC
                  total = 0, i = 0
      STAC total
      STAC i
Loop:
      LDAC i
      INAC
      STAC i
      MVAC
      LDAC total
                   total = total + i
      ADD
      STAC total
      LDAC n
      SUB
                 IF i≠n THEN GOTO Loop
      JPNZ Loop
total:
```

测试记录

波形截图如下所示, 其中的信号:

clk: 时钟信号

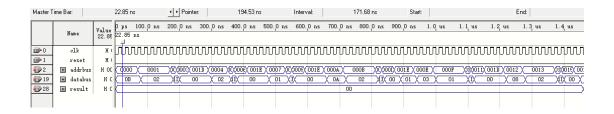
reset: 重置信号

state: 状态

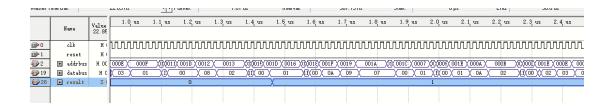
pc、ir、ac: CPU 中的三个关键寄存器

res: 复制 total 的变量,用来查看 total 的值

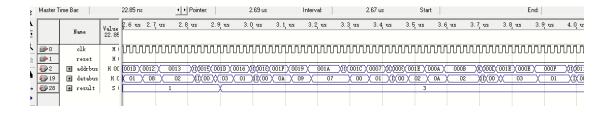
初始状态, result 等于 0:



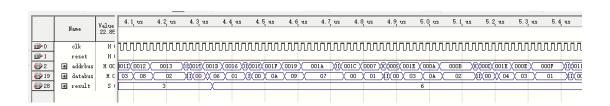
result 等于1:



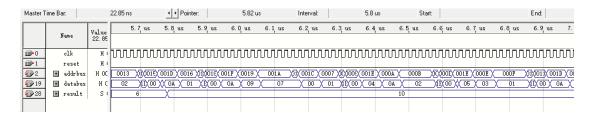
result 等于3



result 等于6:



result 等于 10:



result 等于 15

ster T	me Bar:		22.85 n	ıs	1	Pointe	r.	7.3	2 us	1	nterval:		7.3	us	Star	t			End:	
		Value	7. 1 _, u:	s 7.2	2 us	7.3 ₁ u	s 7.4	ļus 7.	5 _, us	7.6 us	7. 7	us 7.	8 _, us	7.9 us	8.0 լա	s 8.	1 us 8	3.2 _, us	8.3 _, us	8.4 us
	Name	22.85																		
0	clk	н		\mathcal{M}	vv	W	WW.	ww	MM	ЛЛ	W	пппп	ПUU	ww		WW.	ww	ww	MM	$\overline{\mathbf{M}}$
1	reset	н (
2	■ addrbus	н ос	0013	X)1X)01EX	001D X	0016	1)(018)(00	1F X 0019	001A	(i)(o	01C X 00C	7 (000)	OOIE	000A X	000B X	CX000IX 00	D1E X 000E	X 000F	X)1)\(\)011\(\)	001D X 00:
19	databus	нс	02	XIX 00	OF	X 01	[00 X	DA 09	X 07	X	00 \ 0	1 (II) (00	05	(OA)	02	(E)(OO)(X)	06 \ 03	01	(11)(00	OF
28		SI		10	$\square X$									15						

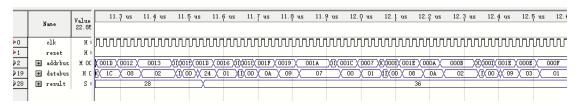
result 等于 21:

master i	Master Time Bar:		22.85 ns		Pointer:		8.87 us	int	ervar:	8.8	o us	Start			End	E
	Name	Value	8.6 us	8. 7 _, us	8.8 us	8.9 _, us	9.0 _, us	9.1 _, us	9.2 us	9.3 _{, us}	9.4 us	9.5 us	9.6 us	9.7 _, us	9.8 _, us	9.9 _i us
	2.4	22.85														
■ 0	clk	H I	ww	ww	m	ww	m	MMM.	ww	ww	ww	mm	nnn	mm	www	ww
□ 1	reset	Н (
② 2	≢ addrbus	н ос))(01E)(00	1D X 0016	(0011)	7 X 0019 X	001A X	X 001C X 000	7)(0)(008)(00	1E X 000A	000B	XXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXX	E X 000E X	000F X))\(\)011\(\)001D\(\)	0012
19	databus	нс	XX OO XX	15 🗶 01	XIIX 00 X 01	A X D9 X	07	X 00 X 0:	\(\frac{1}{2}\)(00\)	06 X 0A	02	XX 00 XX C	07 X 03 X	01	XIX 00 X 15	X 08 X
28	 result	SI	15								21					

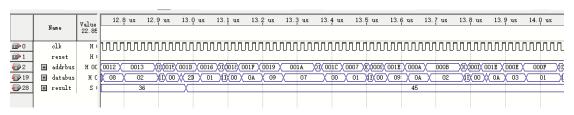
result 等于 28:

Master T	ime Bar:	:	22.85 ns	1 → Pc	ointer:	10.21	us	Interval:		10.19 us	SI	art:			End:
	Name	Value 22.8E	10.0 us	10. 1 us	10.2 us	10.3 us	10.4 us	10.5 us	10.6 us	10. 7 us	10.8 us	10.9 us	11. Q us	11.1 us	11.2 us
		22.00													
■ 0	clk	НI	m	JUUJUL	ייייייייייייייייייייייייייייייייייייייי	תעעעע	JUUUU	ייייייייייייייייייייייייייייייייייייייי	ייייייייייייייייייייייייייייייייייייייי	עעעעע	ייייייייייייייייייייייייייייייייייייייי	ייייייייייייייייייייייייייייייייייייייי	ייייייייייייייייייייייייייייייייייייייי	יועעעע	
<u>i</u> 1 1	reset	Н (
2 2	∄ addrbus	н ос	0013)(1)()	01EX 001D X 0	016 (01)(018)	001F X 0019	001A	X1X 001C X	0007)(()(00	08X 001E X 00	000B	(100)(1)(001E X 000	E X 000F	X1X0011X 0C
a 19	⊞ databus	нс	02 XI	(00 XX 1C X	01 XIX 00	X 0A X 09	X 07	00	(01)(1)(0	00 X 07 X	0A X 02	XI\ 00	XX 08 X 0:	3 01	XIX 00 X
⊚ 28	⊞ result	SI	21	X							28				
	,														

result 等于 36:



result 等于 45:



result 等于 55:

	Name	Value 22.85	14.2 us 14.3 us	14.4 us 1	4.5 us 14.6	us 14.7	us 14.8	ıs 14.9 us	: 15.0 us	15. 1 us	15.2 us	15.3 us	15.4 us	15.5 us
i 0	clk		mmm		100000							10000	10000	10000
<u>i</u> 1	reset	н :										00000	00000	00001
· 🕝 2	■ addrbus	H OC	0012 0013 (01	(01E) (001D) (00	016 00000000000000000000000000000000000	1F X 0019 X	001A X 00	1B X 001D X	001E X 001F	0020	0021	X 0022 X	0023 0	1024 0
19	databus	нс	08 (02)(IX 00 XX 37 X	01 (1)(00)	OA (09)	07	37	0A	X			00	
28	∄ result	SI	45	X						55				

当 res 变为 55 之后不在发生变化。由于 n 设置成了 10, 所以: totoal=0+1+2+3+4+5+6+7+8+9+10=55 仿真结果正确。