

计算机系统设计习题

智能 1602 201607030213 马琛迎

习题 3.2

本书中使用 6 步来描述图 3-5 中的程序执行，请解释这些步骤已说明 MAR 和 MBR 的作用。

答：

1. a. PC 中包含第一个指令地址 300。加载此值到 MAR。
b. 位置 300 中的值被加载到 MBR 中，PC 递增。这两个步骤可以并行完成。
c. MBR 中的值被加载到 IR 中。
2. a. IR(940)的地址部分载入 MAR。
b. 将位置 940 中的值加载到 MBR。
c. MBR 中的值被加载到 AC 中。
3. a. PC(301)中的值加载到 MAR
b. 301 位置的值被加载到 MBR, PC 增加。
c. MBR 中的值被加载到 IR 中。
4. a. IR(941)的地址部分加载到 MAR 中。
b. 将位置 941 中的值加载到 MBR 中。
c. 旧的 AC 值和位置 MBR 值加和，并将结果存储在 AC 中。
5. a. PC(302)中的值被加载到 MAR 中。
b. 位置 302 的值被加载到 MBR, PC 增加。
c. MBR 中的值被加载到 IR 中。
6. a. IR(941)的地址部分加载到 MAR 中。
b. AC 中的值被加载到 MBR。
c. MBR 中的值存储在位置 941 中。

思考题 4.1

顺序存取、直接存取和随机存取三者有何不同。

答：

顺序存取:内存被组织成数据单元，称为记录。存取必须以特定的线性序列进行。

直接存取:单个块或记录具有基于物理位置的唯一地址。存取是通过直接存取一般附近加上顺序搜索、计数或等待到达最终位置来完成的。

随机存取:内存中的每个可寻址位置都有一个惟一的物理连接的寻址机制。存取给定位置的时间与之前的存取顺序无关，并且是常量。

习题 4.1

一个组相联 cache 由 64 个行组成，每组 4 行。主存储器包含 4K 个块，每块 128 字，请表示主存地址的格式。

答：

缓存分为 16 组，每组 4 行。因此，需要 4 位来标识组号。主存由 $4K = 2^{12}$ 个块组成。因此，这些加 tag 长度必须是 12 位，故 tag 长度为 8 位。每个块包含 128 个字。因此，需要 7 位来指定字。

| | Tag | Set | Word |
|-------|-----|-----|------|
| 主存地址= | 8 | 4 | 7 |

思考题 5.9

什么是奇偶校验位。

答：

奇偶校验位是一种附加到二进制数字数组中的位，使所有二进制数字(包括奇偶校验位)的和总是奇数(奇校验位)或总是偶数(偶校验位)。

习题 5.9

测量电子元件故障率的常用单位是非特(Failure unit, FIT)，表示每十亿(10^9) 设备小时的故障率。另一个著名但不太常用的测量单位是平均故障间隔时间(mean time between failures, MTBF)，它是一特定元件正常(无故障)运行的平均时间。考虑在一个 16 位微处理器中使用 256Kx1 的 DRAM 芯片所构成的一个 1MB 存储器，假定每个 DRAM 芯片是 2000FTT,请计算此存储器的 MTBF。

答：

总内存是 1Mbyte= 8Mbits。构建内存需要 32 个 DRAM ($32 \times 256 \text{ Kb} = 8 \text{ Mb}$)。复合故障率为 $2000 \times 32 = 6.4$ 万次。由此得到 $MTBF = 10^9 / 64000 = 15625$ 小时= 22 个月。