

1.float 型数据常用 IEEE754 单精度浮点格式表示。假设两个 float 型变量 x 和 y 分别存放在 32 位寄存器 f1 和 f2 中,若(f1)=CC90 0000H, (f2)=B0C0 0000H,则 x 和 y 之间的关系为 A。

- A. $x < y$ 且符号相同 B. $x < y$ 且符号不同
C. $x > y$ 且符号相同 D. $x > y$ 且符号不同

解. (f1)和(f2)对应的二进制分别是(110011001001.....)₂ 和(101100001100.....)₂, 根据 IEEE754 浮点数标准, 可知(f1)的数符为 1, 阶码为 10011001, 尾数为 1.001, 而(f2)的数符为 1, 阶码为 01100001, 尾数为 1.1, 则可知两数均为负数, 符号相同, B、D 排除, (f1)的绝对值为 1.001×2^{26} , (f2)的绝对值为 1.1×2^{-30} , 则(f1)的绝对值比(f2)的绝对值大, 而符号为负, 真值大小相反, 即(f1)的真值比(f2)的真值小, 即 $x < y$ 。

2.若某设备中断请求的响应和处理时间为 100ns, 每 400ns 发出一次中断请求, 中断响应所允许的最长延迟时间为 50ns, 则在该设备持续工作过程中, CPU 用于该设备的 I/O 时间占整个 CPU 时间的百分比至少是 B

- A. 12.5% B. 25% C. 37.5% D. 50%

解. 每 400ns 发出一次中断请求, 而响应和处理时间为 100ns, 其中容许的延迟为干扰信息, 因为在 50ns 内, 无论怎么延迟, 每 400ns 还是要花费 100ns 处理中断的, 所以该设备的 I/O 时间占整个 CPU 时间的百分比为 $100\text{ns}/400\text{ns}=25\%$, 选 B。

3.某字长为 8 位的计算机中, 已知整型变量 x、y 的机器数分别为[x]补=11110100, [y]补=10110000。若整型变量 $z=2 \times x + y/2$, 则 z 的机器数为 A。

- 11000000 B. 00100100 C. 10101010 D. 溢出

解: 将 x 左移一位, y 右移一位, 两个数的补码相加的机器数为 11000000。

4.某计算机的 CPU 主频为 500MHz, CPI 为 5 (即执行每条指令平均需 5 个时钟周期)。假定某外设的数据传输率为 0.5MB/s, 采用中断方式与主机进行数据传送, 以 32 位为传输单位, 对应的中断服务程序包含 18 条指令, 中断服务的其他开销相当于 2 条指令的执行时间。请回答下列问题, 要求给出计算过程。

1) 在中断方式下, CPU 用于该外设 I/O 的时间占整个 CPU 时间的百分比是多少?

2) 当该外设的数据传输率达到 5MB/s 时, 改用 DMA 方式传送数据。假定每次 DMA 传送块大小为 5000B, 且 DMA 预处理和后处理的总开销为 500 个时钟周期, 则 CPU 用于该外设 I/O 的时间占整个 CPU 时间的百分比是多少 (假

DMA 与 CPU 之间没有访存冲突)? 解答:

1) 按题意, 外设每秒传送 0.5MB, 中断时每次传送 4B。中断方式下, CPU 每次用于数据传送的时钟周期为 $5 \times 18 + 5 \times 2 = 100$ 。为达到外设 0.5MB/s 的数据传输率, 外设每秒申请的中断次数为 $0.5\text{MB}/4\text{B} = 125\,000$ 。1s 内用于中断的开销为 $100 \times 125\,000 = 12\,500\,000 = 12.5\text{M}$ 个时钟周期。CPU 用于外设 I/O 的时间占整个 CPU 时间的百分比为 $12.5\text{M}/500\text{M} = 2.5\%$ 。

2) 当外设数据传输率提高到 5MB/s 时, 改用 DMA 方式传送, 每次 DMA 传 5 000B, 1s 内需产生的 DMA 次数为 $5\text{MB}/5\,000\text{B} = 1\,000$ 。

5.某 CPU 主频为 1.03 GHz, 采用 4 级指令流水线, 每个流水段的执行需要 1 个时钟周期。假定 CPU 执行了 100 条指令, 在其执行过程中, 没有发生任何流水线阻塞, 此时流水线的吞吐率为 C

- A. 0.25×10^9 条指令/秒

- B. 0.97×10^9 条指令/秒

- C. 1.0×10^9 条指令/秒

- D. 1.03×10^9 条指令/秒

解：采用 4 级流水执行 100 条指令，在执行过程中共用 $4+(100-1)=103$ 个时钟周期。CPU 的主频是 1.03 GHz，也就是说每秒钟有 1.03 G 个时钟周期。流水线的吞吐率为 $1.03G \times 100 / 103 = 1.0 \times 10^9$ 条指令/秒。

假定在一个 8 位字长的计算机中运行如下 C 程序段：

```
unsigned int x=134;
unsigned int y=246;
int m=x;
int n=y;
unsigned int z1=x-y;
unsigned int z2=x+y;
int k1=m-n;
int k2=m+n;
```

若编译器编译时将 8 个 8 位寄存器 R1~R8 分别分配给变量 x、y、m、n、z1、z2、k1 和 k2。

请回答下列问题。（提示：带符号整数用补码表示。）

（1）执行上述程序段后，寄存器 R1、R5 和 R6 的内容分别是什么（用十六进制表示）？

（2）执行上述程序段后，变量 m 和 k1 的值分别是多少（用十进制表示）？

（3）上述程序段涉及带符号整数加/减、无符号整数加/减运算，这四种运算能否利用同一个加法器辅助电路实现？简述理由。

（4）计算机内部如何判断带符号整数加/减运算的结果是否发生溢出？上述程序段中，哪些带符号整数运算语句的执行结果会发生溢出？

解答：

1) $134=128+6=10000110B$ ，所以 x 的机器数为 10000110B，故 R1 的内容为 86H。
 $246=255-9=11110110B$ ，所以 y 的机器数为 11110110B。
 $x-y: 10000110+00001010=(0)10010000$ ，加法器的进位为 0，故 R5 的内容为 90H。
 $x+y: 10000110+11110110=(1)01111100$ ，加法器的进位为 1，故 R6 的内容为 7CH。
2) m 的机器数与 x 的机器数相同，皆为 86H=1000 0110B。因为带符号整数 m（用补码表示）时，其值为 -1111010B=-122。

m-n 的机器数与 x-y 的机器数相同，皆为 90H=1001 0000B，因为带符号整数 k1（用补码表示）时，其值为 -111 0000B=-112。

3) 能。

n 位加法器实现的是模 $2n$ 无符号整数加法运算。对于无符号整数 a 和 b，a+b 可以直接用加法器实现，而 a-b 可用 a 加 b 的补数实现，即 $a-b=a+[-b]_{\text{补}} \pmod{2n}$ ，所以 n 位无符号整数加/减运算都可在 n 位加法器中实现。

由于带符号整数用补码表示，补码加/减运算公式为： $[a+b]_{\text{补}}=[a]_{\text{补}}+[b]_{\text{补}} \pmod{2n}$ ， $[a-b]_{\text{补}}=[a]_{\text{补}}+[-b]_{\text{补}} \pmod{2n}$ ，所以 n 位带符号整数加/减运算都可 n 位加法器中实现。

4) 带符号整数加/减运算的溢出判断规则为：若加法器的两个输入端（加法）的

符号相同，且不同于输出端（和）的符号，则结果溢出，或加法器完成加法操作时，若次高位的进位和最高位的进位不同，则结果溢出。

最后一条语句执行时会发生溢出。因为 $1000\ 0110 + 1111\ 0110 = (1)0111\ 1100$ ，加法器的进位为 1，根据上述溢出判断规则，可知结果溢出。

7.假设变址寄存器 R 的内容为 1000H，指令中的形式地址为 2000 H；地址 1000H 中的内

容为 2000H，地址 2000H 中的内容为 3000H，地址 3000 H 中的内容为 4000H，则变址寻址

方式下访问到的操作数是 D 。

1000H B. 2000H C. 3000H D. 4000 H

解：根据变址寻址的主要方法，变址寄存器的内容与形式地址的内容相加之后，得到操作数的实际地址，根据实际地址访问内存，获取操作数 4000H。

8.若某设备中断请求的响应和处理时间为 100ns，每 400ns 发出一次中断请求，中断 响应所允许的最长延迟时间为 50ns，则在设备持续工作过程中，CPU 用于该设备的 I/O 时间占整个 CPU 时间的百分比至少是 B 。

A. 12.5% B. 25% C. 37.5% D. 50%

解：每 400ns 发出一次中断请求，而响应和处理时间为 100ns，其中容许的延迟为干扰 信息，因为在 50ns 内，无论怎么延迟，每 400ns 还是要花费 100ns 处理中断的，所以该设备的 I/O 时间占整个 CPU 时间的百分比为 $100\text{ns}/400\text{ns}=25\%$ ，选 B。

9.某容量为 256MB 的存储器由若干 4M×8 位的 DRAM 芯片构成，该 DRAM 芯片的地址引脚和数据引脚总数是 A 。

A. 19 B. 22 C. 30 D. 36

解：4M×8 位的芯片数据线应为 8 根，地址线应为 $\log_2 4\text{M}=22$ 根，而 DRAM 采用地址复用技术，地址线是原来的 1/2，且地址信号分行、列两次传送。地址线数为 $22/2=11$ 根，所以地址引脚与数据引脚的总数为 $11+8=19$ 根。

10.假定主存地址为 32 位，按字节编址，主存和 Cache 之间采用直接映射方式，主存块大小为 4 个字，每字 32 位，采用写回(Write Back)方式，则能存放 4K 字数据的 Cache 的总容量的位数至少是()。

A.146K B. 147K C.148K D.158K

解答：Cache 和主存直接映射方式的规则为：主存储器分为若干区，每个区与缓存容量相同；每个区分为若干数据块，每个块和缓存块容量相同；主存中某块只能映射到 Cache 的一个特定的块中。本题中，Cache 总共存放 4K 字数据，块大小为 4 个字，因此 Cache 被分为 $4\text{K}/4=1\text{K}$ 个块，由 10 位表示。块内共 16 字节，所以由 4 位表示，于是标记位为 $32-10-4=18$ 位。所以，Cache 的每一行需要包含所存的数据 4 个字，每个字 32 位，18 位标记位、一个有效位和一个一致性维护位(写回方式)，因此总容量为： $(4 \times 32 + 18 + 1 + 1) \times 1\text{K} = 148\text{K}$ 。