

1、程序 P 在机器 M 上的执行时间是 20 秒，编译优化后，P 执行的指令数减少到原来的 70%，而 CPI 增加到原来的 1.2 倍，则 P 在 M 上的执行时间是（ D ）。

A. 8.4 秒 B. 11.7 秒 C. 14 秒 D. 16.8 秒

2、某容量为 256MB 的存储器由若干 4M×8 位的 DRAM 芯片构成，该 DRAM 芯片的地址引脚和数据引脚总数是 A 。

A. 19 B. 22 C. 30 D. 36

3、假设变址寄存器 R 的内容为 1000H，指令中的形式地址为 2000 H；地址 1000H 中的内容为 2000H，地址 2000H 中的内容为 3000H，地址 3000 H 中的内容为 4000H，则变址寻址方式下访问到的操作数是 D 。

A. 1000H B. 2000H C. 3000H D. 4000 H

解：根据变址寻址的主要方法，变址寄存器的内容与形式地址的内容相加之后，得到操作数的实际地址，根据实际地址访问内存，获取操作数 4000H。

4、假定计算机 M1 和 M2 具有相同的指令集体系结构（ISA），主频分别为 1.5GHz 和 1.2GHz。在 M1 和 M2 上运行某基准程序 P，平均 CPI 分别为 2 和 1，则程序 P 在 M1 和 M2 上运行时间的比值是解答：

CPU 时间=指令数×CPI×时钟周期时间

运行一个基准程序，所以指令数相同，运行时间之比为：
$$\frac{\frac{2}{1.5}}{\frac{1}{1.2}} = 1.6$$

5、若磁盘转速为 7200 转/分，平均寻道时间为 8ms，每个磁道包含 1000 个扇区，存取时间大约为（12.2ms）

解答：磁盘的平均寻址时间包括平均寻道时间和平均等待时间。平均寻道时间为 8ms，平均等待时间为 $60/7200 \times 0.5 = 4.165\text{ms}$ ，总计为 $8 + 4.165 = 12.165\text{ms}$

6、某计算机的主存地址空间大小为 256MB，按字节编址。指令 Cache 和数据 Cache 分离，均有 8 个 Cache 行，每个 Cache 行大小为 64B，数据 Cache 采用直接映射方式。现有两个 功能相同的程序 A 和 B，其伪代码如下：

<pre>程序 A: int a[256][256] int sum_array1() { int i,j,sum=0; for(i=0;i<256;i++) for(j=0;j<256;j++) sum+=a[i][j]; return sum; }</pre>	<pre>程序 B: int a[256][256] int sum_array2() { int i,j,sum=0; for(j=0;j<256;j++) for(i=0;i<256;i++) sum+=a[i][j]; return sum; }</pre>
--	--

假定 int 类型数据用 32 位补码表示，程序编译时 i、j、sum 均分配在寄存器中，数组 a 按行优先方式存放，其首地址为 320（十进制数）。请回答下列问题，要求说明理由或给出计算过程。

1) 若不考虑用于 Cache 一致性维护和替换算法的控制位，则数据 Cache 的总容量为多少？

2) 数组元素 a[0][31]和 a[1][1]各自所在的主存块对应的 Cache 行号分别是多少

7、某计算机有 16 个通用寄存器，采用 32 位定长指令字，操作码字段（含寻址方式位）为 8 位，Store 指令的源操作数和目的操作数分别采用寄存器直接寻址和基址寻址方式。若基址寄存器可使用任一通用寄存器，且偏移量用补码表示，则 Store 指令中偏移量的取值范围是 A。

- A. -32768 ~ +32767 B. -32767 ~ +32768
C. -65536 ~ +65535 D. -65535 ~ +65536

解. 采用 32 位定长指令字，其中操作码为 8 位，两个地址码一共占用 $32-8=24$ 位，而 Store 指令的源操作数和目的操作数分别采用寄存器直接寻址和基址寻址，机器中共有 16 个通用寄存器，则寻址一个寄存器需要 $\log_2 16=4$ 位，源操作数中的寄存器直接寻址用掉 4 位，而目的操作数采用基址寻址也要指定一个寄存器，同样用掉 4 位，则留给偏移址的位数为 $24-4-4=16$ 位，而偏移址用补码表示，16 位补码的表示范围为-32768~+32767，选 A。

8、假设变址寄存器 R 的内容为 1000H，指令中的形式地址为 2000 H；地址 1000H 中的内容为 2000H，地址 2000H 中的内容为 3000H，地址 3000 H 中的内容为 4000H，则变址寻址方式下访问到的操作数是 D。

- A. 1000H B. 2000H C. 3000H D. 4000 H

解：根据变址寻址的主要方法，变址寄存器的内容与形式地址的内容相加之后，得到操作数的实际地址，根据实际地址访问内存，获取操作数 4000H。

9、某计算机主存地址空间大小为 256 MB，按字节编址。虚拟地址空间大小为 4 GB，采用页式存储管理，页面大小为 4 KB，TLB（快表）采用全相联映射，有 4 个页表项，内容如下表所示。

有效位	标记	页框号	...
0	FF180H	0002H	...
1	3FFF1H	0035H	...

0	02FF3H	0351H	...
1	03FFFH	0153H	...

则对虚拟地址 03FF F180H 进行虚实地址变换的结果是 A

- A. 015 3180H B. 003 5180H C. TLB 缺失 D. 缺页

10、float 型数据常用 IEEE754 单精度浮点格式表示。假设两个 float 型变量 x 和 y 分别存放在 32 位寄存器 f1 和 f2 中，若(f1)=CC90 0000H，(f2)=B0C0 0000H，则 x 和 y 之间的关系为 A。

- A. $x < y$ 且符号相同 B. $x < y$ 且符号不同
C. $x > y$ 且符号相同 D. $x > y$ 且符号不同

解. (f1)和(f2)对应的二进制分别是(110011001001.....)₂ 和(101100001100.....)₂，根据 IEEE754 浮点数标准，可知(f1)的数符为 1，阶码为 10011001，尾数为 1.001，而(f2)的数符为 1，阶码为 01100001，尾数为 1.1，则可知两数均为负数，符号相同，B、D 排除，(f1)的绝对值为 1.001×2^{26} ，(f2)的绝对值为 1.1×2^{-30} ，则(f1)的绝对值比(f2)的绝对值大，而符号为负，真值大小相反，即(f1)的真值比(f2)的真值小，即 $x < y$ 。

解：虚拟地址为 03FF F180H，其中页号为 03FFFH，页内地址为 180H，根据题目中给出的页表项可知页标记为 03FFFH 所对应的页框号为 0153H，页框号与页内地址之和即为物理地址 015 3180 H。

(Cache 行号从 0 开始) ?

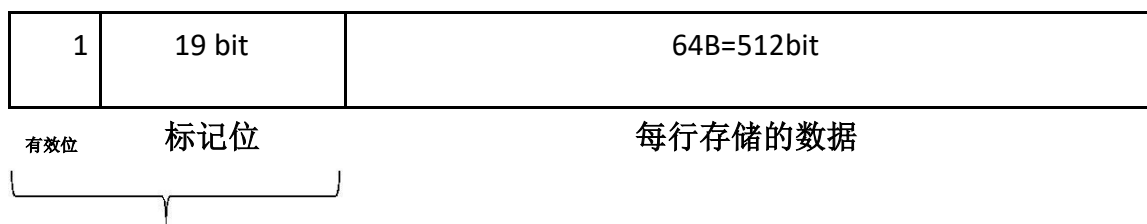
3) 程序 A 和 B 的数据访问命中率各是多少? 哪个程序的执行时间更短?

解答:

1) 不考虑用于 Cache 一致性维护和替换算法的控制位。地址总长度为 28 位 (2

$2^8=256\text{M}$), 块内地址 6 位 ($2^6=64$), Cache 块号 3 位 ($2^3=8$), 故 Tag 的

位数为 $28-6-3=19$ 位, 还需使用一个有效位, 题中数据 Cache 行的结构如下图所示:



该行对应的标记项

数据 Cache 共有 8 行, 数据 Cache 的总容量为 $8*(64+20/8)\text{B}=532\text{B}$ 。

2) 数组按行优先方式存放, 首地址为 320, 数组元素占 4 个字节。 $a[0][31]$ 所在的主存块对应的 Cache 行号为 $(320+31*4)/64=6$; $a[1][1]$ 所在的主存块对应的 Cache 行号为 $(320+256*4+1*4)/64\%8=5$ 。

3) 数组 a 按行存放, 程序 A 按行存取。每个字块中存放 16 个 int 型数据, 除访

问的第一个不命中, 随后 15 个全都命中, 访问全部字块都符合这一规律, 且数

组大小为字块大小的整数倍, 故程序 A 的命中率为 $15/16=93.75\%$ 。

程序 B 逐列访问数组 a, Cache 总容量为 $64\text{B}*8=512\text{B}$, 数组 a 一行的大小为 1KB,

正好是 Cache 容量的 2 倍, 可知不同行的同一列数组元素使用的是同一个 Cache

单元, 故逐列访问每个数据时, 都会将之前的字块置换出, 也即每次访问都不会

命中, 命中率为 0。

由于从 Cache 读数据比从主存读数据快很多, 所以程序 A 的执行比程序 B 快得

多。