

1、某计算机的 Cache 共有 16 块，采用 2 路组相联映射方式（即每组 2 块）。每个主存块大小为 32 字节，按字节编址。主存 129 号单元所在主存块应装入到的 Cache 组号是 C
A. 0 B. 1 C. 4 D. 6

由于 Cache 共有 16 块，采用 2 路组相联，因此共有 8 组。主存的某一字块按模 8 映射到 Cache 某组的任一字块中，即主存的第 0、8、16……字块可以映射到 Cache 第 0 组 2 个字块的任一字块中，而 129 号单元是位于第 4 块主存块中，因此将映射到 Cache 第 4 组 2 个字块的任一字块中。

2、某计算机的控制器采用微程序控制方式，微指令中的操作控制字段采用字段直接编码法，共有 33 个微命令，构成 5 个互斥类，分别包含 7、3、12、5 和 6 个微命令，则操作控制字段至少有 C
A. 5 位 B. 6 位 C. 15 位 D. 33 位

操作控制字段采用字段直接编码法，将微命令字段分成若干个小字段，互斥类微命令可组合在同一字段。根据微命令字段分段的原则：①互斥性微命令分在同一段内，相容性微命令分在不同段内；②一般每个小段要留出一个状态，表示本字段不发出任何微命令。5 个互斥类分别需要 3、2、4、3、3 共 15 位。

3、若某设备中断请求的响应和处理时间为 100ns，每 400ns 发出一次中断请求，中断响应所允许的最长延迟时间为 50ns，则在该设备持续工作过程中，CPU 用于该设备的 I/O 时间占整个 CPU 时间的百分比至少是 B
A. 12.5% B. 25% C. 37.5% D. 50%

每 400ns 发出一次中断请求，而响应和处理时间为 100ns，其中容许的延迟为干扰信息，因为在 50ns 内，无论怎么延迟，每 400ns 还是要花费 100ns 处理中断的，所以该设备的 I/O 时间占整个 CPU 时间的百分比为 $100\text{ns}/400\text{ns}=25\%$ 。

4、程序 P 在机器 M 上的执行时间是 20 秒，编译优化后，P 执行的指令数减少到原来的 70%，而 CPI 增加到原来的 1.2 倍，则 P 在 M 上的执行时间是 D
A. 8.4 秒 B. 11.7 秒 C. 14 秒 D. 16.8 秒

不妨设原来指令条数为 x ，那么原 CPI 就为 $20/x$ ，经过编译优化后，指令条数减少到原来的 70%，即指令条数为 $0.7x$ ，而 CPI 增加到原来的 1.2 倍，即 $24/x$ ，那么现在 P 在 M 上的执行时间就为指令条数 \times CPI = $0.7x \times 24/x = 24 \times 0.7 = 16.8$ 秒。

5、某字长为 8 位的计算机中，已知整型变量 x 、 y 的机器数分别为 $[x]_{\text{补}} = 11110100$ ， $[y]_{\text{补}} = 10110000$ 。若整型变量 $z = 2 \times x + y/2$ ，则 z 的机器数为 A
A. 11000000 B. 00100100 C. 10101010 D. 溢出

将 x 左移一位， y 右移一位，两个数的补码相加的机器数为 11000000

6、某同步总线采用数据线和地址线复用方式，其中地址/数据线有 32 根，总线时钟频率为 66MHz，每个时钟周期传送两次数据（上升沿和下降沿各传送一次数据），该总线的最大数据

传输率(总线带宽)是 C

A. 132 MB/s B. 264 MB/s C. 528 MB/s D. 1056 MB/s

数据线有 32 根也就是一次可以传送 $32\text{bit}/8=4\text{B}$ 的数据，66MHz 意味着有 66M 个时钟周期，而每个时钟周期传送两次数据，可知总线每秒传送的最大数据量为 $66\text{M} \times 2 \times 4\text{B} = 528\text{MB}$ ，所以总线的最大数据传输率为 528MB/s