

实验报告

实验名称（相对简单 CPU 电路设计）

智能 1602 201608010627 任小禹

实验目标

利用 VHDL 设计相对简单 CPU 的电路并验证。

实验要求

- 采用 VHDL 描述电路及其测试平台
- 采用时序逻辑设计电路
- 采用从 1 累加到 n 的程序进行测试

实验内容

相对简单 CPU 的设计需求

相对简单 CPU 的设计需求请详见课件，主要特征如下：

- 地址总线 16 位，数据总线 8 位
- 有一个 8 位累加寄存器 AC，一个 8 位通用寄存器 R，一个 1 位的零标志
- 有一个 16 位 AR 寄存器，一个 16 位程序计数器 PC，一个 8 位数据寄存器 DR，一个 8 位指令寄存器 IR，一个 8 位临时寄存器 TR
- 有 16 条指令，每条指令 1 个或 3 个字节，其中操作码 8 位。3 字节的指令有 16 位的地址

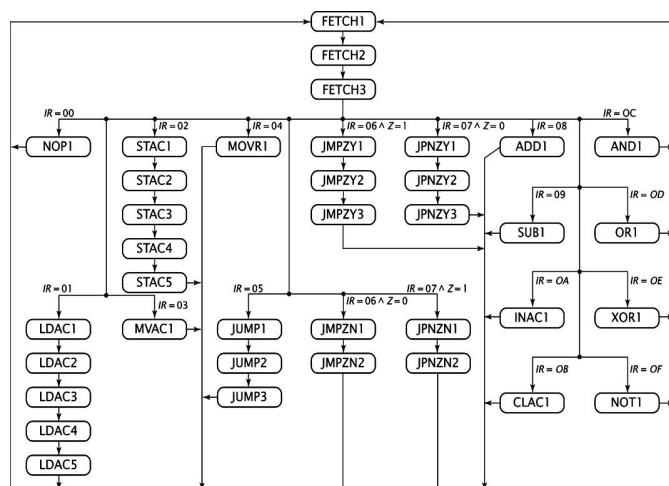
相对简单 CPU 设计方案

相对简单 CPU 的设计方案请详见课件，主要思路如下：

1. 指令执行过程分为取指、译码、执行三个阶段
2. 取指包括四个状态，FETCH1, FETCH2, FETCH3, FETCH4 （这里将取指的最后一个状态分为两个状态，为了防止译码时状态改变）
3. 译码体现为从 FETCH4 状态到各指令执行状态序列的第一个状态
4. 执行根据指令的具体操作分为若干状态

5. 执行的最后一个状态转移到 FETCH4 状态
6. 控制器根据每个状态需要完成的操作产生相应的控制信号

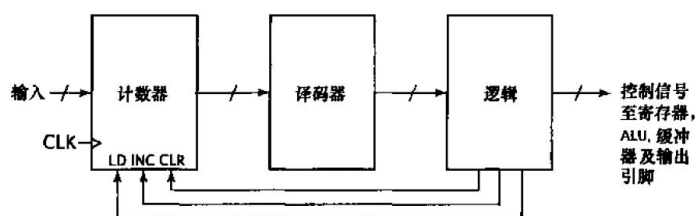
CPU 的状态图:



我的设计方案分为四个文件:

	<p>rxycpu.vhd 顶层文件 元件连接 CPU 与内存相连</p> <p>rsisa.vhd 将指令集打包成库</p> <p>cpu.vhd CPU 的具体实现</p> <p>rsmem.vhd 内存的实现, 读写功能和输入激励实现</p>
--	--

- CPU 的控制单元采用硬布线控制:



cpu.vhd 具体实现

一个进程 产生下一状态

一个进程 根据当前状态产生控制信号

一个进程 跟时序有关的操作, 根据控制信号的值进行相应的操作

- 顶层文件也用 BDF 原理图进行了实现: rxycpu.bdf



相对简单 CPU 电路在如下机器上进行了测试:

测试输入

```
28 => X"00",
29 => X"00", -- total
30 => X"00", -- i
31 => X"09", -- n
others => RSNOP
```

我们这里直接将 `total` 的值输出出来，通过在 `rsmem` 设置一个输出信号：

```

entity rsmem is
    port(
        clk: in std_logic;
        reset: in std_logic;
        addrbus: in std_logic_vector(15 downto 0);
        databus: inout std_logic_vector(7 downto 0);
        result: out std_logic_vector(7 downto 0) ;
        rd: in std_logic;
        we: in std_logic
    );
end entity;

    result<=memdata(29);

```

测试输入语句：

```

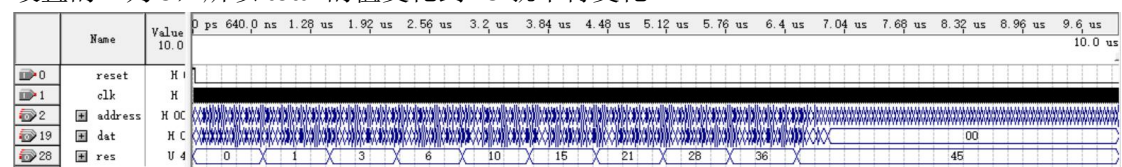
        CLAC
        STAC total } total = 0, i = 0
        STAC i
Loop: LDAC i
      INAC
      STAC i } i = i + 1
      MVAC
      LDAC total
      ADD
      STAC total } total = total + i
      LDAC n
      SUB
      JPNZ Loop } IF i≠n THEN GOTO Loop
total:
i:

```

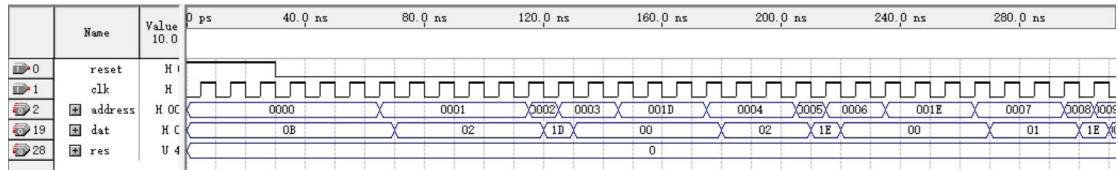
测试记录

相对简单 CPU 运行测试程序波形截图如下：

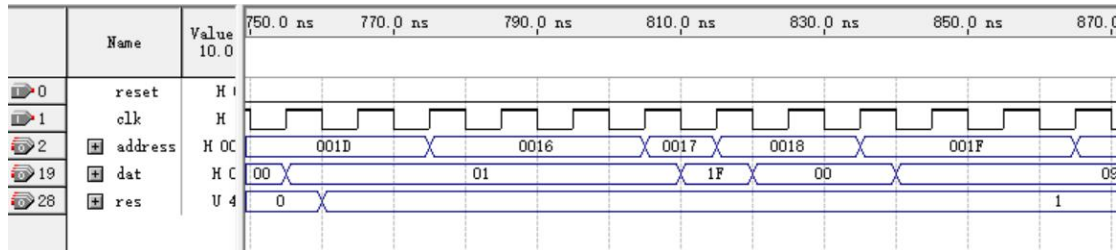
设置的 n 为 9，所以 total 的值变化到 45 就不再变化。



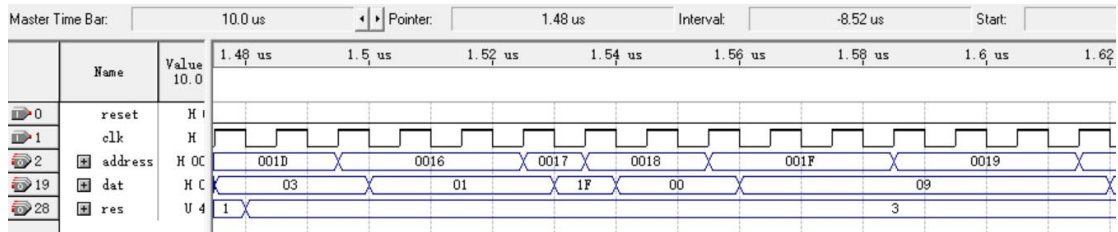
0:



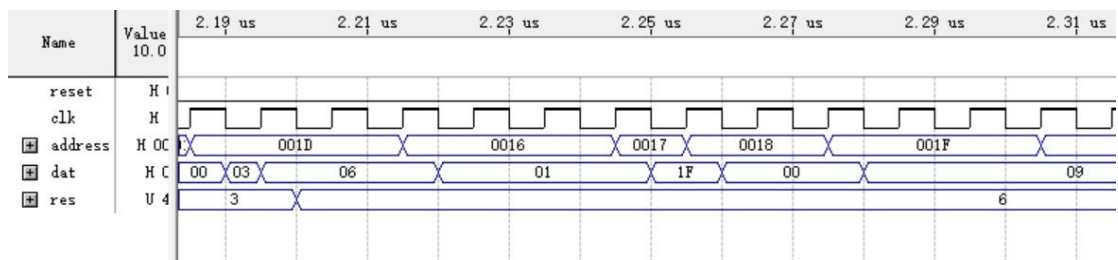
1:



3:

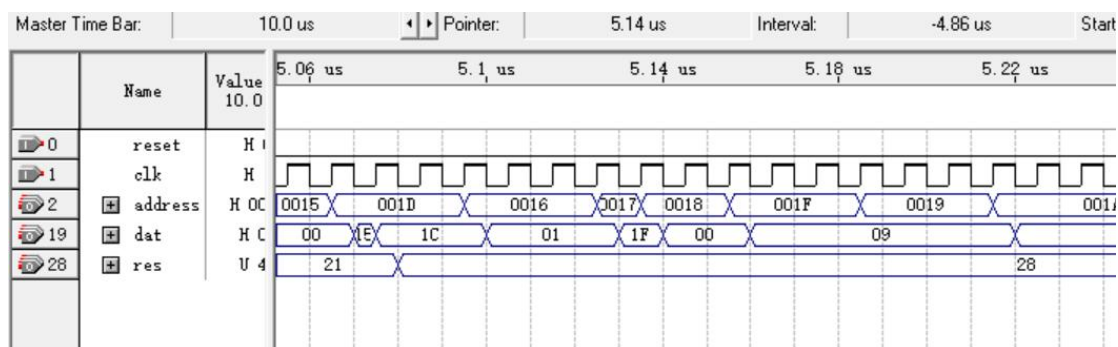


6:

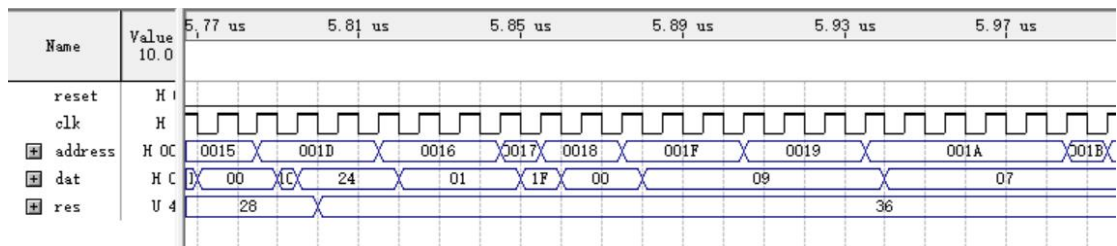


...

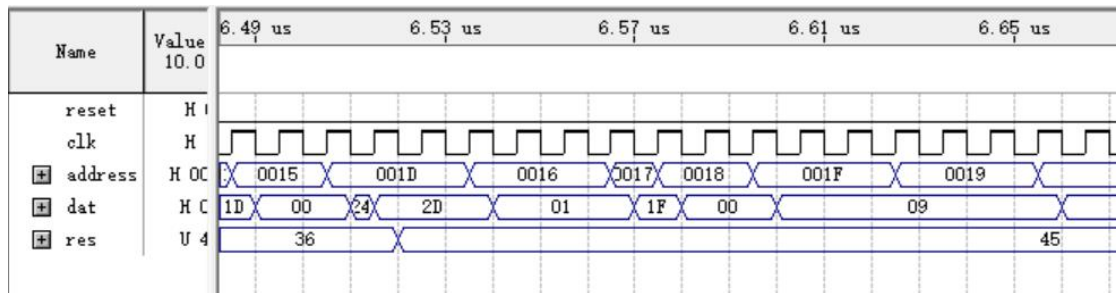
28



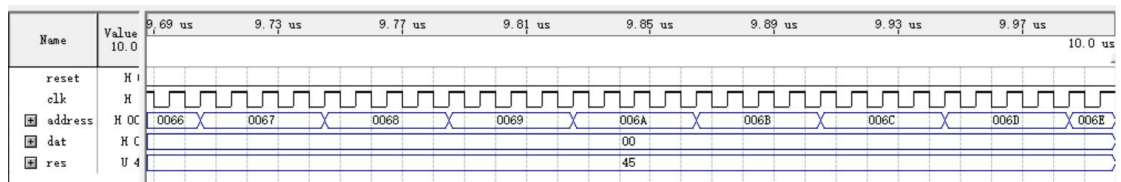
36



45



45 不再发生变化



分析和结论

从测试记录来看，相对简单 CPU 实现了对测试程序指令的读取、译码和执行，得到的运算结果正确。

根据分析结果，可以认为所设计的相对简单 CPU 实现了所要求的功能，完成了实验目标。