

实验报告

班级：智能 1602 学号：201608010719 姓名：吕志恒

实验题目：相对简单的 CPU 设计

实验目标

利用 VHDL 设计相对简单 CPU 的电路并验证。

实验要求

- * 采用 VHDL 描述电路及其测试平台
- * 采用时序逻辑设计电路
- * 采用从 1 累加到 n 的程序进行测试

实验内容

相对简单的 CPU 的设计需求

相对简单 CPU 的设计需求请详见课件，主要特征如下：

- 地址总线 16 位，数据总线 8 位
- 有一个 8 位累加寄存器 AC，一个 8 位通用寄存器 R，一个 1 位的零标志
- 有一个 16 位 AR 寄存器，一个 16 位程序计数器 PC，一个 8 位数据寄存器 DR，一个 8 位指令寄存器 IR，一个 8 位临时寄存器 TR
- 有 16 条指令，每条指令 1 个或 3 个字节，其中操作码 8 位。3 字节的指令有 16 位的地址

相对简单的 CPU 的设计方案

相对简单 CPU 的设计方案请详见课件，主要思路如下：

1. 指令执行过程分为取指、译码、执行三个阶段
2. 取指包括三个状态，FETCH1，FETCH2，FETCH3，FETCH4
3. 译码体现为从 FETCH4 状态到各指令执行状态序列的第一个状态

- 4. 执行根据指令的具体操作分为若干状态
- 5. 每条指令的最后一个状态转移到 FETCH1 状态
- 6. 控制器根据每个状态需要完成的操作产生相应的控制信号

测试

相对简单 CPU 电路在如下机器上进行了测试：

部件	配置	备注
CPU 型号	core-i7 5500U	
内存	8GB	
操作系统	Windows7	中文版
综合软件	Quarts9.1	
仿真软件	Quarts9.1	
波形查看	Quarts9.1	

测试输入

我们采用从 1 累加到 n（n 设置成 8）的程序作为测试输入：

```
CLAC
STAC total } total = 0, i = 0
STAC i
Loop: LDAC i }
INAC } i = i + 1
STAC i }
MVAC
LDAC total } total = total + i
ADD }
STAC total }
LDAC n }
SUB } IF i≠n THEN GOTO Loop
JPNZ Loop
total:
i:
```

测试记录

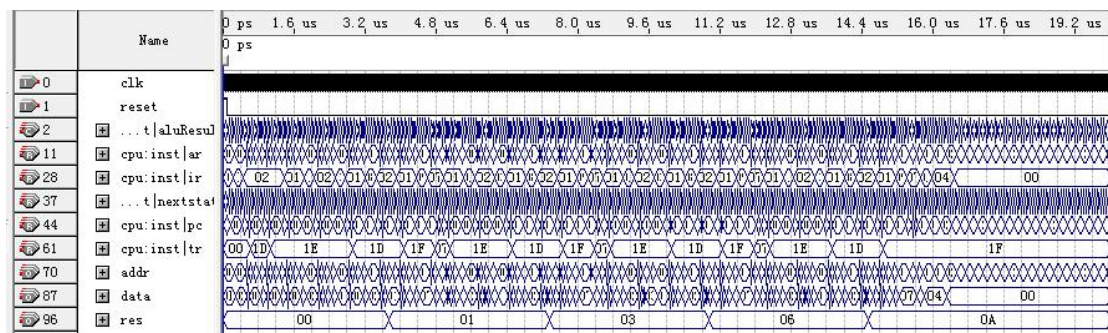
源代码共分成三部分：

cpu.vhdl :负责描述如 ALU、PC、IR 等一类部件的功能。

rsisa.vhdl: 定义了我们要执行的各种指令。

mem.vhdl:描述了内存的实体功能的代码, 包括读写操作。

仿真如下图:



图中 CLK 为时钟信号，GODSIZE 设置为 100ns，时钟周期设置为 50ns，RESET 信号前 100ns 有效。endtime 设置为了 20us，之前不出结果就是因为 endtie 过小。Addrbus 为总线上的数据，databus 为 mem 输出的数据，alu 为运算器输出的数据，同理 ar、pc、ir 等对应不不同寄存器的输出。从仿真图可以看出 res 的输出为 0-1-3-6-10（十进制）说明累加程序执行了，因此实验成功！