1、某计算机的Cache共有16块，采用2路组相联映射方式（即每组2块）。每个主存块大小为32字节，按字节编址。主存129号单元所在主存块应装入到的Cache组号是 C

A. 0  B. 1  C. 4  D. 6

由于Cache共有16块，采用2路组相联，因此共有8组。主存的某一字块按模8映射到Cache某组的任一字块中，即主存的第0、8、16……字块可以映射到Cache第0组2个字块的任一字块中，而129号单元是位于第4块主存块中，因此将映射到Cache第4组2个字块的任一字块中。

2、 某计算机的控制器采用微程序控制方式，微指令中的操作控制字段采用字段直接编码法，共有 33 个微命令，构成 5 个互斥类，分别包含 7、3、12、5 和 6 个微命令，则操作控制字段至少有  C

A. 5 位    B. 6 位    C.15 位   D. 33 位

操作控制字段采用字段直接编码法，将微命令字段分成若干个小字段，互斥类微命令可组合在同一字段。根据微命令字段分段的原则：①互斥性微命令分在同一段内，相容性微命令分在不同段内；②一般每个小段要留出一个状态，表示本字段不发出任何微命令。5个互斥类分别需要3、2、4、3、3共15位。

3、若某设备中断请求的响应和处理时间为100ns，每400ns发出一次中断请求,中断响应所允许的最长延迟时间为50ns，则在该设备持续工作过程中，CPU用于该设备的I/O 时间占整个CPU时间的百分比至少是\_\_\_\_B\_\_\_\_\_\_

A．12.5%  B．25%  C．37.5%  D．50%

每400ns发出一次中断请求，而响应和处理时间为100ns，其中容许的延迟为于扰信息，因为在50ns内，无论怎么延迟，每400ns还是要花费100ns处理中断的，所以该设备的I/O时间占整个CPU时间的百分比为100ns/400ns=25% 。

4、程序 P 在机器 M 上的执行时间是 20 秒，编译优化后，P 执行的指令数减少到原来 的 70%，而 CPI 增加到原来的 1.2 倍，则 P 在 M 上的执行时间是  D

A. 8.4秒 B. 11.7秒 C. 14秒 D.16.8秒

不妨设原来指令条数为x，那么原CPI就为20/x，经过编译优化后，指令条数减少到原来的70%，即指令条数为0.7x，而CPI增加到原来的1.2倍，即24/x，那么现在P在M上的执行时间就为指令条数\*CPI=0.7x\*24/x=24\*0.7=16.8秒。

5、某字长为8位的计算机中，已知整型变量x、y的机器数分别为[x]补=11110100，[y]补=10110000。若整型变量z=2\*x + y/2，则z的机器数为 A

A. 11000000 B.00100100 C.10101010 D.溢出

将x左移一位，y右移一位，两个数的补码相加的机器数为11000000

6、某同步总线采用数据线和地址线复用方式，其中地址/数据线有32根，总线时钟频率为66MHz, 每个时钟周期传送两次数据(上升沿和下降沿各传送一次数据)， 该总线的最大数据传输率(总线带宽)是 C

A. 132 MB/s B.264 MB/s C.528 MB/s D.1056 MB/s

数据线有 32根也就是一次可以传送32bit/8=4B 的数据，66MHz 意味着有 66M个时钟周期，而每个时钟周期传送两次数据，可知总线每秒传送的最大数据量为66Mx2x4B=528MB，所以总线的最大数据传输率为528MB/s