# 实验报告

班级：智能1602 学号：201608010719 姓名：吕志恒

**实验题目**：相对简单的CPU设计

**实验目标**

利用VHDL设计相对简单CPU的电路并验证。

**实验要求**

\* 采用VHDL描述电路及其测试平台

\* 采用时序逻辑设计电路

\* 采用从1累加到n的程序进行测试

**实验内容**

**相对简单的CPU的设计需求**

相对简单CPU的设计需求请详见课件，主要特征如下：

* 地址总线16位，数据总线8位
* 有一个8位累加寄存器AC，一个8位通用寄存器R，一个1位的零标志
* 有一个16位AR寄存器，一个16位程序计数器PC，一个8位数据寄存器DR，一个8位指令寄存器IR，一个8位临时寄存器TR
* 有16条指令，每条指令1个或3个字节，其中操作码8位。3字节的指令有16位的地址

**相对简单的CPU的设计方案**

相对简单CPU的设计方案请详见课件，主要思路如下：

1. 指令执行过程分为取指、译码、执行三个阶段
2. 取指包括三个状态，FETCH1，FETCH2，FETCH3，FETCH4
3. 译码体现为从FETCH4状态到各指令执行状态序列的第一个状态
4. 执行根据指令的具体操作分为若干状态
5. 每条指令的最后一个状态转移到FETCH1状态
6. 控制器根据每个状态需要完成的操作产生相应的控制信号

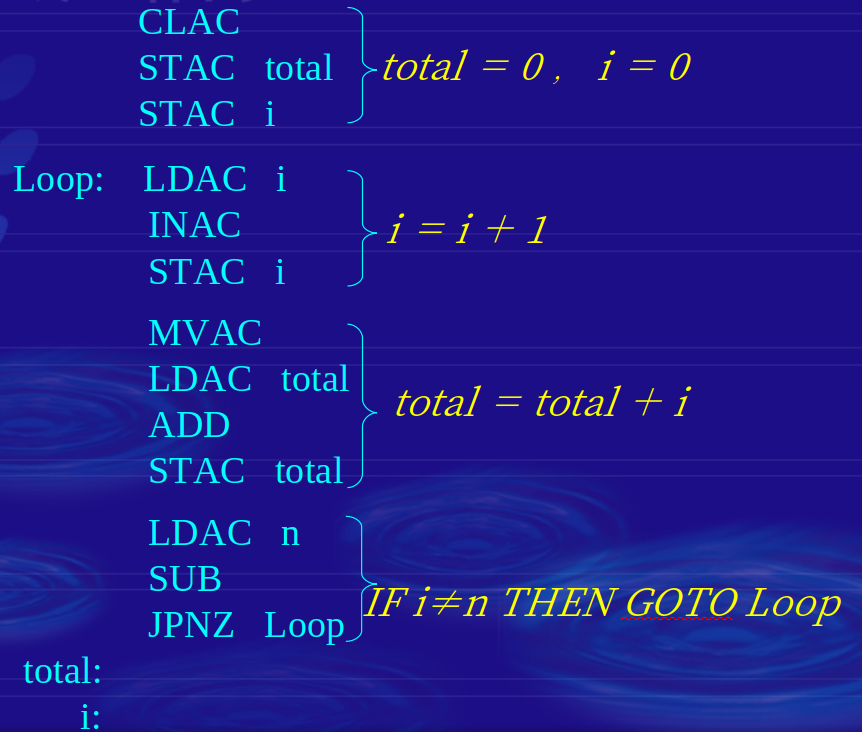
**测试**

相对简单CPU电路在如下机器上进行了测试：

|  |  |  |
| --- | --- | --- |
| 部件 | 配置 | 备注 |
| CPU型号 | core-i7 5500U |  |
| 内存 | 8GB |  |
| 操作系统 | Windows7 | 中文版 |
| 综合软件 | Quarts9.1 |  |
| 仿真软件 | Quarts9.1 |  |
| 波形查看 | Quarts9.1 |  |

**测试输入**

我们采用从1累加到n（n设置成8）的程序作为测试输入：



### 测试记录

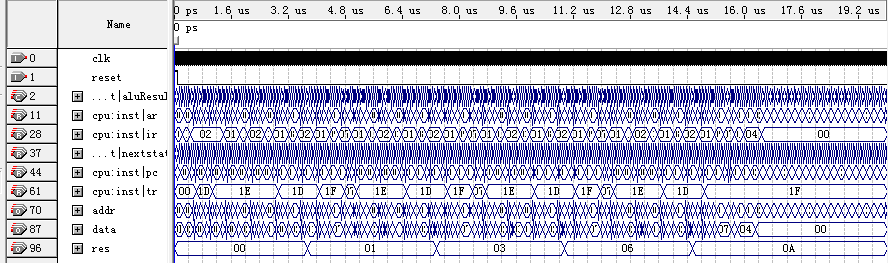
源代码共分成三部分：

cpu.vhdl :负责描述如ALU、PC、IR等一类部件的功能。

rsisa.vhdl：定义了我们要执行的各种指令。

mem.vhdl:描述了内存的实体功能的代码，包括读写操作。

仿真如下图：



图中CLK为时钟信号，GODSIZE设置为100ns，时钟周期设置为50ns，RESET信号前100ns有效。endtime设置为了20us，之前不出结果就是因为endtie过小。Addrbus为总线上的数据，databus为mem输出的数据，alu为运算器输出的数据，同理ar、pc、ir等对应不不同寄存器的输出。从仿真图可以看出res的输出为0-1-3-6-10（十进制）说明累加程序执行了，因此实验成功！