

# Resistencia Efectiva de los Transistores MOS y Diseño de un Inversor CMOS

Alexander Castro Lara\*

\*Escuela de Ingeniería Electrónica, Instituto Tecnológico de Costa Rica (ITCR), 30101 Cartago, Costa Rica, alexander@gmail.com

**Resumen**—En este documento se calculó la resistencia efectiva de los transistores nMOS y pMOS de la tecnología XH018 (LPMOS, 1.8V) por diferentes métodos. Además se diseñó un inversor CMOS de manera analítica, al que luego se le determinan dinámicas importantes como la relación del voltaje de umbral y los tiempos de propagación contra la proporción PMOS/NMOS, con el fin de determinar los valores óptimos.

**Palabras Clave**—Resistencia efectiva, inversor CMOS, tiempos de propagación de subida y bajada, nMOS, pMOS.

## I. INTRODUCCIÓN

El presente informe detalla el proceso llevado a cabo para determinar los parámetros importantes de un transistor mínimo en el proceso XH018, así como el diseño de un inversor mínimo de tamaño óptimo utilizando esta tecnología. El objetivo principal de este trabajo es comprender las características y comportamientos fundamentales de los transistores y compuertas MOS, así como desarrollar habilidades en el diseño y optimización de circuitos a nivel de esquemático.

En la primera parte, se describe el procedimiento para determinar las resistencias de canal de transistores mínimos NMOS y PMOS, junto con la capacitancia equivalente de compuerta para el proceso XH018. Para ello se emplearon métodos analíticos y experimentales que pueden ser encontrados en [1].

La segunda parte del informe se centra en el diseño de un inversor mínimo de tamaño óptimo, con algunos requerimientos como lograr un margen de ruido simétrico y un punto de umbral de transición en  $V_{DD}/2$ . Se utilizó una combinación de métodos analíticos y simulaciones en HSPICE para calcular los tamaños de los transistores NMOS y PMOS óptimos. Además, se exploró la influencia de la variabilidad del proceso en el diseño, la influencia de la relación PMOS/NMOS sobre su comportamiento dinámico y se analizaron las discrepancias entre los resultados manuales y simulados.

## II. CÁLCULO DE LA RESISTENCIA DE CANAL DE UN TRANSISTOR NMOS Y PMOS DE LA TECNOLOGÍA XH018, MÓDULO LPMOS: NE, PE (1,8 V)

Para abordar el cálculo de la resistencia de canal de transistores, se describe un modelo matemático basado en un evento de conmutación del dispositivo. Con las simulaciones en HSPICE y un circuito de prueba se valida el enfoque. También se presenta otro método de cálculo presentado en la [3]. Se terminará con una comparación para comprender su precisión y aplicabilidad.

**\*\*\*Nota:** Todos los scripts mencionados en esta sección pueden ser encontrados en el repositorio del trabajo: [http://github.com/2017153854/Tarea1\\_VLSI](http://github.com/2017153854/Tarea1_VLSI)

### II-A. Modelo Matemático

Como es de suponer, la resistencia efectiva de un transistor MOS tiene que ver con el cociente del voltaje de drenador a fuente ( $V_{DS}$ ) y la corriente que fluye a través del transistor ( $I_{DS}$ ). No obstante, estas magnitudes se deben obtener durante un evento de conmutación, es decir, "asuma que las pendientes de entrada y salida son iguales y que la salida comienza a descender cuando la entrada pasa a través de  $\frac{V_{DD}}{2}$ , por tanto, la salida alcanzará  $\frac{V_{DD}}{2}$  cuando la entrada alcance  $V_{DD}$ " (ver [1]), como se muestra en la Fig. 1.

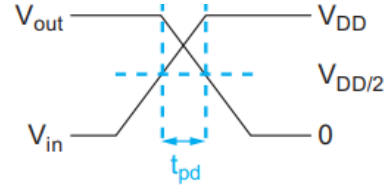


Figura 1: Conmutación Vout y Vin

Bajo ese contexto, se definen 2 variables:

- $I_L$ : La corriente al inicio de la conmutación ( $V_{gs} = V_{DD}/2$ ,  $V_{ds} = V_{DD}$ )
- $I_H$ : La corriente al final de la conmutación ( $V_{gs} = V_{DD}$ ,  $V_{ds} = V_{DD}/2$ )

De aquí, la resistencia efectiva se puede calcular como sigue:

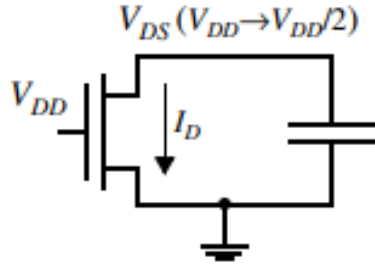
$$R = \frac{V_{DD}}{I_H + I_L} \quad (1)$$

### II-B. Circuito de Prueba

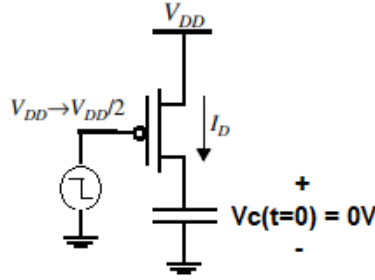
Los circuitos para las simulaciones que permiten determinar  $I_L$  e  $I_H$  para un nMOS y un pMOS se muestran en la Fig. 2a y Fig. 2b, respectivamente.

Es importante mencionar que al inicio de la simulación el capacitor de la Fig. 2a debe estar cargado completamente, es decir,  $V_C(t=0) = V_{DD}$ , mientras que el de la Fig. 2b debe estar descargado,  $V_C(t=0) = 0V$ .

Lo anterior es equivalente a medir la corriente del transistor al inicio y al final de la transición. Esto es relevante porque otra manera semejante para obtener estos valores es graficando



(a) Transistor nMOS



(b) Transistor pMOS

Figura 2: Circuitos de Prueba

las curvas  $I_D$  vs  $V_{DS}$  y luego buscar los puntos de operación Q relativos a los extremos de la ruta de conmutación, como en la Fig. 3

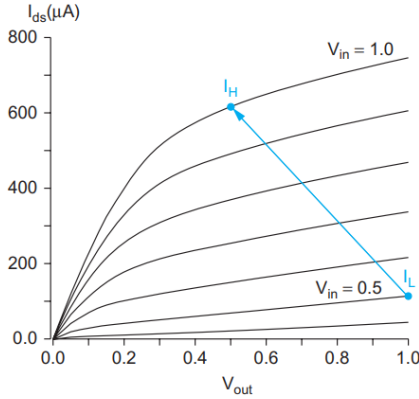


Figura 3: Ruta de conmutación aproximada

### II-C. Simulación

En HSPICE se implementarán 2 scripts, 'REnMOS.sp' y 'REpMOS.sp' que de manera general continen:

- Inclusión de las librerías que modelan los transistores a utilizar.
- Instanciación de los elementos y construcción del circuito de prueba.
- Análisis o 'measure' que permite graficar el comportamiento de la simulación.

### II-D. Otro Método de Cálculo

Otra aproximación se presenta en [3], específicamente en el ejemplo 3.8, donde se plantea el mismo evento de conmutación, pero el modelo matemático varía y se presenta de la siguiente manera:

tación, pero el modelo matemático varía y se presenta de la siguiente manera:

$$R_{eq} = \text{prom}_{t=t_1 \dots t_2}(R_{on}(t)) = \frac{1}{t_1 - t_2} \int_{t_1}^{t_2} R_{on}(t) dt \quad (2)$$

$$R_{eq} = \frac{1}{t_1 - t_2} \int_{t_1}^{t_2} \frac{V_{DS}(t)}{I_D(t)} dt \approx \frac{1}{2}(R_{on}(t_1) + R_{on}(t_2)) \quad (3)$$

Con las ecuaciones 2 y 3, se deriva el próximo resultado:

$$R_{eq} = \frac{3V_{DD}}{4I_{DSAT}} \left(1 - \frac{5}{6}\lambda V_{DD}\right) \quad (4)$$

$I_{DSAT}$  corresponde a la corriente de saturación del modelo de canal largo o ideal.

La diferencia existente entre el método descrito en la ecuación 1 y el de la ecuación 4 es que **el primero es un modelo simplificado, mientras este último considera factores adicionales que varían la precisión del cálculo y, sobretodo, solo puede ser usado cuando el voltaje de alimentación es sustancialmente mayor que el voltaje de velocidad de saturación.**

### II-E. Constante RC o $\tau$

Para la constante de tiempo ( $\tau$ ), se debe usar la siguiente fórmula:

$$\tau = RC = R_{eq}C_{gs} \quad (5)$$

$C_{gs}$  es la capacitancia de compuerta y se calcula como sigue:

$$C_{gs} = \frac{2}{3}W_{eff}L_{eff}C_{OX} + W_{eff}C_{OV} \quad (6)$$

Todos los resultados y su análisis se encuentran en la sección de análisis de resultados.

## III. DISEÑO DE UN INVERSOR CMOS MÍNIMO DE TAMAÑO ÓPTIMO

Se comenzará describiendo las especificaciones de los transistores a utilizar y el esquemático. Luego, se resume el comportamiento dinámico de los transistores y del inversor. A continuación, se procede al cálculo analítico de ( $W_p$ ), lo cual se simulará para verificar los resultados y ajustar la relación PMOS/NMOS. Se terminará con los tiempos de propagación de subida y bajada ( $t_{pdr}$  y  $t_{pdf}$ ) y las resistencias efectivas ( $R_n$  y  $R_p$ ) a partir de estos tiempos, pero con base en el modelo de retardo RC para el fanout-of-h inverters.

**\*\*\*Nota:** Todos los script mencionados en esta sección pueden ser encontrados en el repositorio del trabajo: [https://github.com/2017153854/Tarea1\\_VLSI](https://github.com/2017153854/Tarea1_VLSI)

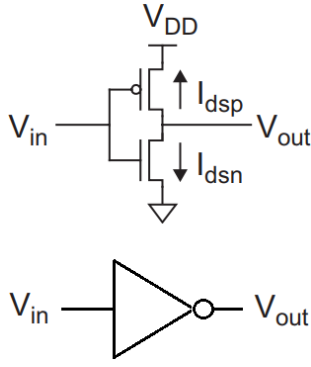


Figura 4: Circuito y símbolo del inversor CMOS

### III-A. Descripción

En [2], se puede encontrar un resumen de los parámetros de la tecnología en cuestión, así como los valores típicos para los transistores tipos n y p.

Seguidamente, el esquemático y el símbolo se muestran en la Fig. 4. Debido a esta configuración:  $V_{gsn} = V_{in}$ ,  $V_{dsn} = V_{out}$ ,  $V_{gsp} = V_{in} - V_{DD}$  y  $V_{dsp} = V_{out} - V_{DD}$ .

Luego, se resume el comportamiento de los transistores y del inversor ( $V_{out}$  vs  $V_{in}$ ) mediante el Cuadro I y la Fig. 5, respectivamente. Se debe recordar que los posibles puntos de operación del inversor son los valores de  $V_{out}$  donde  $|I_{dsn}| = |I_{dsp}|$  para un  $V_{in}$  específico [1].

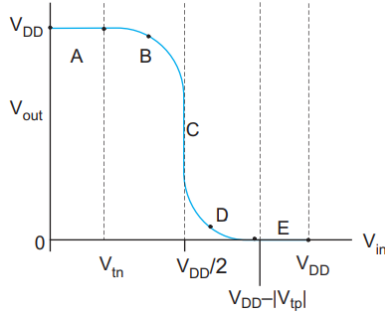


Figura 5: Comportamiento dinámico del inversor

Región	Condición	pMOS	nMOS
A	$0 \leq V_{in} < V_{tn}$	linear	cutoff
B	$V_{tn} \leq V_{in} < \frac{V_{DD}}{2}$	linear	saturated
C	$V_{in} = \frac{V_{DD}}{2}$	saturated	saturated
D	$\frac{V_{DD}}{2} < V_{in} \leq V_{DD} -  V_{tp} $	saturated	linear
E	$V_{in} > V_{DD} -  V_{tp} $	cutoff	linear

Cuadro I: Dinamismo de los transistores

### III-B. Cálculo de $W_p$

Hay que considerar que se desea un margen de ruido máximo, por lo que el voltaje de umbral debe ser la mitad del voltaje de alimentación, es decir,  $V_{inv} = V_{DD}/2$ . Esto se realiza, en semejanza con [1], como se muestra:

$$V_{inv} = (V_{DD} + V_{tp} + V_{tn} \frac{1}{r}) \cdot (1 + \frac{1}{r})^{-1} \quad (7)$$

Se usa la ecuación 7 debido a que los transistores operan en estado de velocidad de saturación y no en el régimen de canal largo. Esto se puede verificar mediante la ejecución del script 'PruebaVelSat.sp' (la corriente es lineal con respecto al voltaje de entrada y no cuadrática. Ver Fig. 6).

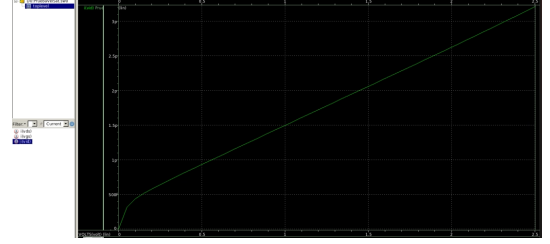


Figura 6: Dependencia lineal de la corriente con el voltaje de entrada

Resolviendo para r, se obtiene:

$$r = \frac{V_{inv} - V_{tn}}{V_{DD} + V_{tp} - V_{inv}} = \frac{0.9V - 0.45V}{1.8V - 0.6V - 0.9V} = 1.5 \quad (8)$$

Sabiendo que:

$$r = \frac{W_p v_{sat-p}}{W_n v_{sat-n}} \quad (9)$$

El ancho  $W_p$  está dado por:

$$W_p = \frac{r W_n v_{sat-n}}{v_{sat-p}} = \frac{(1.5)(0.22\mu m)(10^7 \frac{cm}{s})}{8 \cdot 10^6 \frac{cm}{s}} = 0.4125\mu m \quad (10)$$

Con  $v_{sat-n} \approx 10^7 \frac{cm}{s}$  y  $v_{sat-p} \approx 8 \cdot 10^6 \frac{cm}{s}$

### III-C. Simulación

La comprobación del desarrollo analítico se hace por medio del archivo 'InvCMOS.sp'. Este script contiene una estructura semejante a los anteriores: inclusión de librerías, circuito general y mediciones.

Después, se analiza el archivo 'InvCMOS.sw0' con "wave view" y se obtiene la Fig. 7.

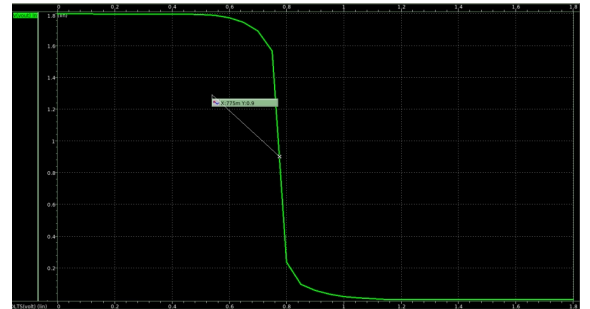


Figura 7: Vin vs Vout Conseguido Analíticamente

Para la corriente de corto circuito, se modifica ligeramente el 'InvCMOS.sp', agregando una fuente de prueba de cero voltios entre el drenador del PMOS y el NMOS. Con estos cambios

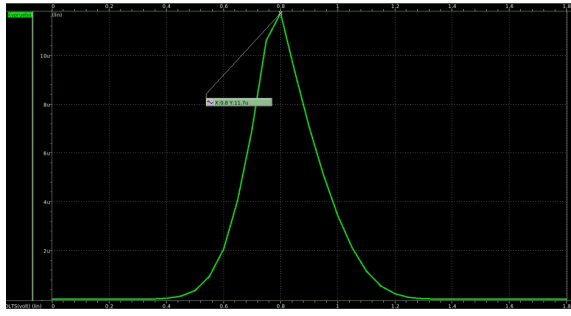


Figura 8: Corriente de corto circuito del inversor

se obtiene un nuevo script denominado 'InvCMOS\_Icort.sp'. Ver Fig. 8.

Por su parte, para las simulaciones sobre las esquinas de variabilidad del proceso se vuelve a editar el archivo original del inversor y se obtiene: 'InvCMOS\_EsqVar.sp'. En él se plantean 2 escenarios, uno donde se observa  $I_D, V_{out}$  vs  $V_{in}$  para temperaturas de operación que van desde  $-40^\circ\text{C}$  hasta  $125^\circ\text{C}$ , y otro donde se observan las mismas gráficas, pero para diferentes valores de alimentación ( $V_{DD}$ ).

Las curvas para el primer caso se pueden ver en las figuras 9 y 10. Las del segundo en las figuras 11 y 12.

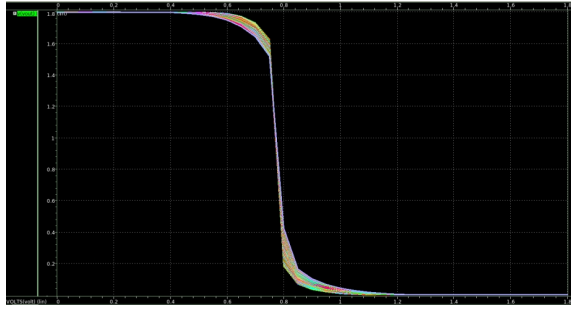


Figura 9:  $V_{out}$  vs  $V_{in}$  Para Diferentes Temperaturas de Operación  $[-40, 125]^\circ\text{C}$

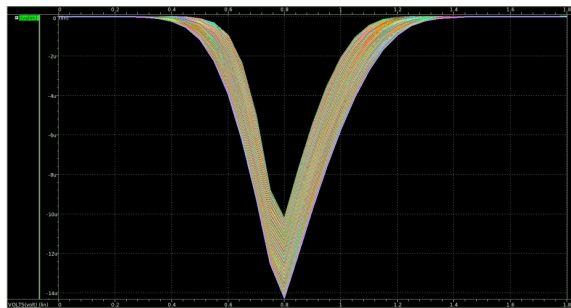


Figura 10:  $I_{inv}$  vs  $V_{in}$  Para Diferentes Temperaturas de Operación  $[-40, 125]^\circ\text{C}$

#### III-D. Ajuste de la Relación PMOS/NMOS

Como se observa en la Fig. 7 y en la Fig. 8, con el ancho  $W_p$  calculado el voltaje de umbral del inversor ( $V_{inv}$ ) no es 0.9V, sino 0.8V.

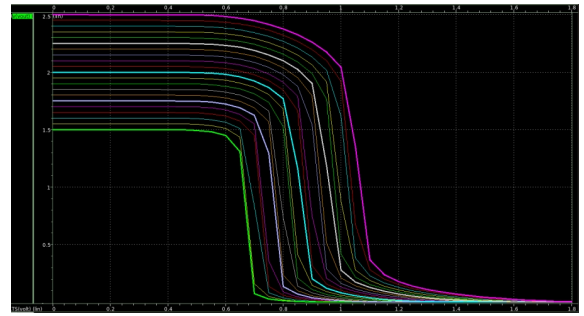


Figura 11:  $V_{out}$  vs  $V_{in}$  Para Diferentes Voltajes de Alimentación  $[1.5, 2.5]\text{V}$

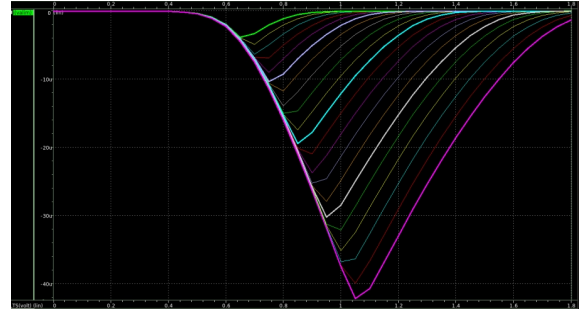


Figura 12:  $I_{inv}$  vs  $V_{in}$  Para Diferentes Voltajes de Alimentación  $[1.5, 2.5]\text{V}$

Los motivos de este acontecimiento se deben en su mayoría a la serie de idealizaciones durante todo el desarrollo matemático. Valores tan importantes como las velocidades de saturación de los electrones y los huecos fueron aproximados según [1]. Los demás parámetros de los transistores también son una aproximación de [2]. Pero sin duda el factor de mayor envergadura es que  $V_{tn} \neq V_{tp}$ , por lo que el transistor NMOS se activa antes o tiene un margen de activación más amplio, traducido a un nivel bajo con más rango, o sea,  $V_{IL} < V_{DD} - V_{IH}$ .

De manera empírica, se determinó que la relación  $W_p/W_n$  necesaria es 7. Con esto,  $V_{inv} = 0.885$ . Con 8 se pasa mucho ( $V_{inv} = 0.925$ ). No obstante, la solución razonable es  $W_p/W_n = 3$ , dado que permite suponer que  $\beta_n = \beta_p$  (condición necesaria para poder utilizar la ecuación 7) y además da un valor de  $V_{inv} = 0.822$ , que es bastante aceptable.

#### III-E. Tiempos de Propagación $t_{pdr}$ y $t_{pdf}$

Dando continuación al inversor CMOS diseñado, es el turno de averiguar cuáles son los tiempos de propagación de subida y bajada. Para esto, se construye la configuración expuesta en la Fig. 13.

El deck montado en spice corresponde al 'fo4.sp' (fanout-of-4 inverter) tomado de [1]. Los resultados se resumen en la Fig. 14.

No obstante, la relación PMOS/NMOS óptima se encontró con ayuda del archivo 'fo4opt.sp', con el cual se obtuvieron los datos descritos en el Cuadro II.

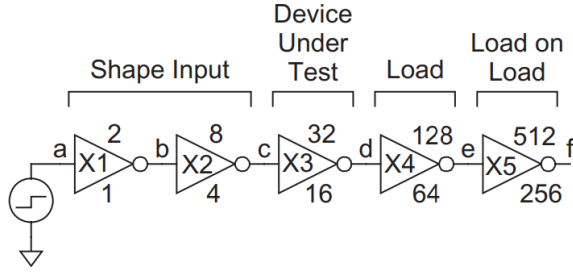


Figura 13: Circuito de prueba para determinar  $t_{pdr}$  y  $t_{pdf}$

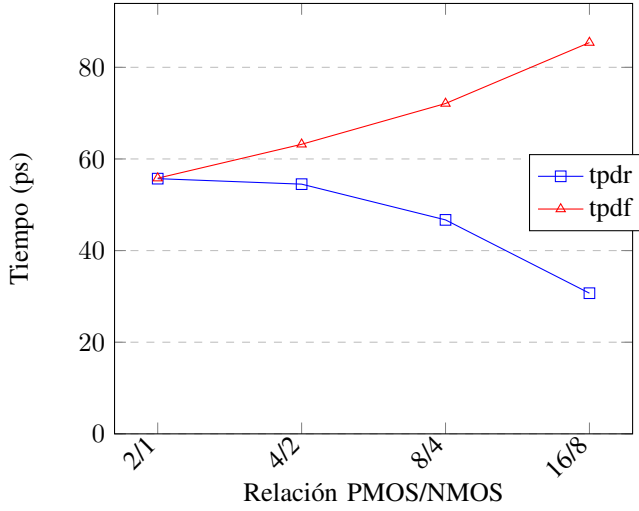


Figura 14: Tiempo de propagación de subida ( $t_{pdr}$ ) y tiempo de propagación de bajada ( $t_{pdf}$ ) en función de la relación PMOS/NMOS.

### III-F. Aproximación de $R_n$ y $R_p$ a través de $t_{pdr}$ y $t_{pdf}$

Para finalizar, se calculará el valor de las resistencias efectivas  $R_n$  y  $R_p$  en función de los tiempos de propagación de subida y bajada encontrados en la sección anterior.

Para ello, debe considerarse la Fig. 15, que muestra el circuito equivalente. Además, las ecuaciones 11 y 12 muestran la relación entre estas variables ( $C$  es la capacitancia de compuerta). Este corresponde al modelo de retardo RC para el "fanout-of-h inverter".

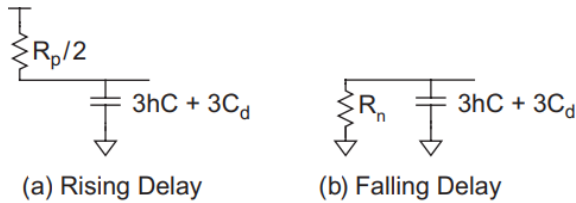


Figura 15: Circuitos equivalentes

$$\Delta t_{pdf} = t_{pdf}(h = 4) - t_{pdf}(h = 3) = 3R_n C \quad (11)$$

$$\Delta t_{pdr} = t_{pdr}(h = 4) - t_{pdr}(h = 3) = \frac{3}{2} R_p C \quad (12)$$

Parámetro	Valor Óptimo	Valor Obtenido
N	2.4445	2.4445
P	3.920	4.583
Best Ratio	1.604	1.875
$\Delta t$	$1.57 \cdot 10^{-18}$ s	$4.2 \cdot 10^{-12}$ s
$t_{pdr}$	61.1 ps	55.8 ps
$t_{pdf}$	61.1 ps	64.1 ps
$t_{pd}$	61.1ps	59.9 ps

Cuadro II: Comparación  $P_{optimo}$  vs  $P_{obtenido}$

Los tiempos de propagación para una relación  $PMOS/NMOS = 2/1$ ,  $h = 4$  y  $h = 3$  se muestran en el cuadro III.

Parámetro	con $h = 4$	con $h = 3$	$\Delta t$
$t_{pdr}$	55.7 ps	51.8 ps	3.9 ps
$t_{pdf}$	55.8 ps	47 ps	8.8 ps

Cuadro III: Tiempos de propagación con  $h = 4$  y  $h = 3$

Resolviendo para  $R_n$  y  $R_p$  de las ecuaciones 11 y 12 se llega a:

$$R_n = \frac{\Delta t_{pdf}}{3C_{gsn}} = \frac{8.8ps}{3 \cdot 0.21fF} = 13.968K\Omega \quad (13)$$

$$R_p = \frac{2\Delta t_{pdr}}{3C_{gsp}} = \frac{2 \cdot 3.9ps}{3 \cdot 0.303fF} = 8.58K\Omega \quad (14)$$

## IV. ANÁLISIS DE RESULTADOS

Los resultados para la resistencia efectiva se analizan de manera contraria a la que se presentaron, mientras que los del inversor serán en orden.

### IV-A. Resistencia Efectiva nMOS

Una vez ejecutado el archivo 'RenMOS.sp', se obtuvo la Fig. 16 y Fig. 17, que muestran los valores de  $I_H$  e  $I_L$  para el nMOS, los cuales fueron de -154 uA y -25.6 uA, respectivamente.

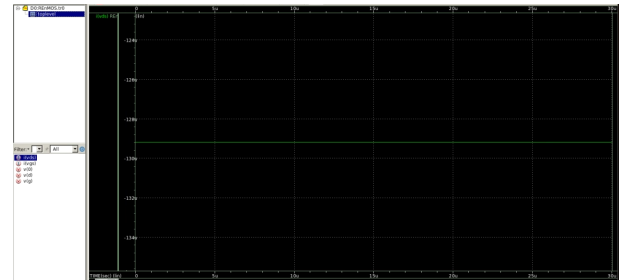


Figura 16:  $I_H$  para el transistor nMOS

Lo primero corresponde al signo de las corrientes. En ambas gráficas se observa que es negativo. No obstante, el motivo es que la polaridad que se está observando corresponde a la corriente de la fuente  $V_{DS}$ , y de acuerdo con la LCK en el nodo del drenador, es la misma magnitud, pero diferente polaridad. Lo mismo ocurre para el pMOS.

Luego, se tiene el valor de las magnitudes, los cuales se encuentran dentro de los rangos admitidos o esperados, que



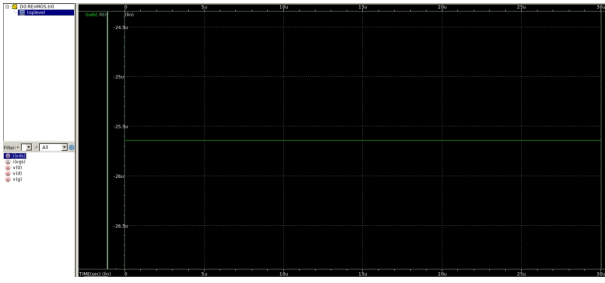


Figura 17:  $I_L$  para el transistor nMOS

era, para la corriente  $I_H$ , de [50 a 200]  $\mu A$  (esto varía de acuerdo a la tecnología utilizada).

Seguidamente, de la ecuación 1 (método 1), se obtiene que el valor de la resistencia efectiva es:

$$R = \frac{V_{DD}}{I_H + I_L} = \frac{1.8V}{(129.2\mu A) + (25.6\mu A)} = 11.627K\Omega \quad (15)$$

Si se utiliza el método 2, ecuación 4, se obtiene:

$$R_{eq} = \frac{3 \times 1.8V}{4 \times 475\mu A} \left(1 - \frac{5}{6}(0.09\mu m)(1.8V)\right) = 2.84K\Omega \quad (16)$$

En concordancia con la tabla 3.3 de [3], la cual dice que para  $V_{DD} = 2V$ ,  $R_{eq} = 15K\Omega$ , se puede estimar que el valor obtenido por el método 1 (11.627  $K\Omega$ ) es un valor aproximado correcto; si bien es cierto, esta tabla es para transistores de la tecnología  $L = 0.26\mu m$ , sirve de muy buena referencia. Pero de acuerdo a la tabla 8.5 de [1], el valor es casi 4 veces mayor al esperado, lo que significa que este método sobredimensiona.

El problema radica en el valor obtenido por el segundo método, el cual es muy bajo. Hay una diferencia de  $\approx 10 K\Omega$ , con respecto al primero. Dentro de las posibles causas se puede encontrar que el factor principal es el hecho de que el método uno (ecuación 1), utiliza el valor de las corrientes en diferentes puntos, mientras que el método 2 (ecuación 4) utiliza solo 1 valor de corriente, el cual corresponde al de la corriente de encendido, o sea, cuando el transistor está en saturación ( $I_{on} = I_{DSAT}$ ). Claramente,  $I_H \neq I_{DSAT}$  porque la primera requiere  $V_{DD} = 0.9V$  y la segunda  $V_{DD} = V_{sat} = 1.8V$ .

No obstante, de acuerdo a la tabla 8.5 de [1], este valor solo es un 5 % mayor al esperado, lo cual indica que esta puede ser una buena aproximación o que este método subdimensiona.

Para concluir con el análisis del nMOS, se tiene el valor de la constante de tiempo del transistor. Para ello, la capacitancia de compuerta es:

$$C_{gs} = \frac{2}{3}W_{eff}L_{eff}C_{OX} + W_{eff}C_{OV} \quad (17)$$

$$C_{gs} = \frac{2}{3}(0.17\mu m)(0.16\mu m)(8.46\frac{fF}{\mu m^2}) + (0.17\mu m)(0.33\frac{fF}{\mu m}) \quad (18)$$

$$C_{gs} = 0.21fF \quad (19)$$

Con  $W_{eff} = 0.17\mu m$ ,  $L_{eff} = 0.16\mu m$ ,  $C_{OX} = 8.46\frac{fF}{\mu m^2}$  y  $C_{OV} = 0.33\frac{fF}{\mu m}$ . Estos valores fueron tomados de [2].

Retomando la ecuación 5,

$$\tau = R_{eq}C_{gs} = (11.627K\Omega)(0.21fF) = 2.44ps \quad (20)$$

Este valor, del orden de picosegundos, indica que la velocidad de carga y descarga de la capacitancia de compuerta a través de la resistencia equivalente es sumamente veloz, permitiendo al transistor conmutar entre los estados de corte y saturación casi de manera inmediata. Esto es positivo y puede interpretarse como que el transistor es efectivo para la propagación de señales. Para un millón de transistores, de manera ideal, se tendría un delay de 2.44  $\mu s$ .

#### IV-B. Resistencia Efectiva pMOS

Se ejecutó el script 'REpMOS.sp', con lo que se obtuvo la Fig. 18, que muestra los valores de  $I_H$  e  $I_L$ . Dichos valores fueron de 70.4  $\mu A$  y 7.11  $\mu A$ , respectivamente.

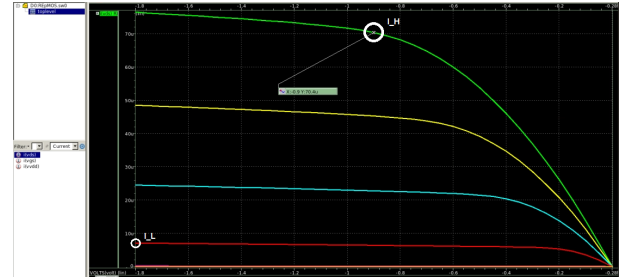


Figura 18:  $I_H$  e  $I_L$  para el transistor pMOS

A diferencia del algoritmo para el nMOS, para el pMOS se obtuvieron las curvas  $I_D$  vs  $V_{DS}$  y luego se marcaron los extremos de la ruta aproximada de conmutación, justo como se mencionó en la sección II-B. Seguidamente, como se adelantó en el análisis de la resistencia efectiva de un nMOS, la polaridad de la corriente de drenador parecería estar errónea, sin embargo, sucede que la polaridad observada corresponde a la corriente de la fuente de alimentación, que es la misma corriente que fluye a través del transistor, pero con la polaridad invertida.

Las magnitudes tienen la particularidad de ser, mediante una aproximación rápida, la mitad de las corrientes del nMOS. Esto es lo que se esperaba, valores más pequeñas porque los portadores de carga son huecos y poseen una movilidad efectiva menor.

De la misma manera, se procede a presentar el desarrollo de la resistencia efectiva, vía el método 1 (ecuación 1):

$$R = \frac{V_{DD}}{I_H + I_L} = \frac{1.8V}{(70.4\mu A) + (7.11\mu A)} = 23.222K\Omega \quad (21)$$

Ahora, por medio del método 2 (ecuación 4), la resistencia efectiva es:

$$R_{eq} = \frac{3 \times 1.8V}{4 \times 170\mu A} \left(1 - \frac{5}{6}(0.09\mu m)(1.8V)\right) = 7.94K\Omega \quad (22)$$

Si se vuelve a revisar la tabla 3.3 de [3], se aprecia que para  $V_{DD} \approx 2V$ ,  $R_{eq} \approx 2R_{nMOS} \approx 35K\Omega$  (recordar que estos valores corresponden a la tecnología de 260 nm). El mismo fenómeno se da con la resistencia efectiva del pMOS ( $\approx 23K\Omega$ ), la cual es, con una aproximación rápida, el doble de la nMOS ( $\approx 11K\Omega$ ). Esto era lo esperado dado que se sabe que  $W_p = 2W_n$ .

Reincidentemente, el segundo método arroja un valor bastante alejado, aunque con las mismas tendencias, el valor del p es mayor y aproximadamente el doble que el valor del n. Los motivos son los mismos que se describieron para el transistor nMOS, la condición de uso y los valores y tipos de corrientes utilizados para el cálculo.

No obstante, de acuerdo con la tabla 8.5 de [1], el valor es correcto con solo un 20 % por encima del valor esperado.

Para la constante de tiempo, la capacitancia de compuerta es:

$$C_{gs} = \frac{2}{3}W_{eff}L_{eff}C_{OX} + W_{eff}C_{OV} \quad (23)$$

$$C_{gs} = \frac{2}{3}(0.25\mu m)(0.15\mu m)(8.91 \frac{fF}{\mu m^2}) + (0.25\mu m)(0.32 \frac{fF}{\mu m}) \quad (24)$$

$$C_{gs} = 0.30275fF \quad (25)$$

Con  $W_{eff} = 0.25\mu m$ ,  $L_{eff} = 0.15\mu m$ ,  $C_{OX} = 8.91 \frac{fF}{\mu m^2}$  y  $C_{OV} = 0.32 \frac{fF}{\mu m}$ . Estos valores fueron tomados de [2].

Retomando la ecuación 5,

$$\tau = R_{eq}C_{gs} = (23.222K\Omega)(0.30275fF) = 7.03ps \quad (26)$$

Un valor que, como se ha venido observado, aproximadamente duplica a su contraparte n. Para 1 millón de transistores, de manera ideal, se tendría un delay de  $\approx 7.03\mu s$ .

#### IV-C. Diseño de un Inversor CMOS

El análisis del inversor se inicia por el valor de  $W_p$  obtenido en la sección III-B, el cual fue de  $0.4125\mu m$  y es el que satisface analíticamente el valor deseado de  $V_{inv} = V_{DD}/2$ .

Sin embargo, como se observa en la Fig. 7, el valor arrojado en la simulación es de  $V_{inv} = 0.775V$ . Esto proviene de lo explicado previamente, donde se hacía incapié en que  $V_{tn} \neq V_{tp}$ . En [1] se indica que se ocupa que los voltajes de umbral de ambos transistores sean iguales para un  $V_{inv} = V_{DD}/2$ .

La Fig. 8, correspondiente al valor de la corriente de corto circuito señala que el valor es de  $11.7 \mu A$  y que de nuevo el punto donde se da es alrededor de  $0.8V$ . Lo primero que se observa es que cuando la salida tiene el valor del riel de GND o VDD, la corriente es prácticamente cero, lo que se convierte en poco consumo de energía en estado estable. Lo otro es que el pico de corriente se asemeja a la corriente  $I_L$  de los transistores.

Seguidamente, en las figuras 9 y 10, queda claro que estas constantes,  $V_{inv}$  y  $I_{corto}$ , se ven poco afectadas por la temperatura de operación; sobretodo el  $V_{inv}$ , que posee cae cambios casi imperceptibles, mientras la corriente pasa a tener

un valor de  $14\mu A$  ( $3\mu A$  de más), cuando la temperatura llega hasta los  $125^\circ C$ .

No obstante, las figuras 11 y 12 nos muestran que las variaciones en el voltaje de alimentación ( $V_{DD}$ ), sí generan cambios abruptos al  $V_{inv}$  y a la  $I_{corto}$ . En un paso de  $V_{DD} = 1.5V$  a  $V_{DD} = 2.5V$ ,  $V_{inv}$  cae dentro del rango de  $[0.65, 1.1]V$ . El rango de la corriente de corto circuito es de  $[3, 44]\mu A$ .

La relación PMOS/NMOS que salió del cálculo analítico no satisfizo la condición  $V_{inv} = V_{DD}/2 = 0.9V$ . La variación manual sugiere que la relación perfecta es 8/1, que cumple con el requisito de  $V_{inv}$ , pero en términos de área es descabellado. Con la misma aproximación empírica, se encontró que una relación 3/1 es razonable, ya que da un  $V_{inv} = 0.822$ , un poco más de medio volt por debajo del objetivo, pero con menos consumo de potencia.

Por otra parte, la Fig. 14 saca a relucir la tendencia de los valores de los retardos de propagación de subida y bajada contra la relación PMOS/NMOS. Aquí, es muy evidente que entre mayor sea la relación, mayores son ambos tiempos. Por lo que con base en esta información y en el objetivo de obtener iguales tiempos de subida y bajada, la relación óptima es de 2 a 1.

No obstante, este es el resultado del *fanout-of-4* inverter. Usando el FO4 de optimización (FO4OPT), se encuentra que la relación ideal es 1.6, es decir  $W_n = 0.22\mu m$  y  $W_p = 0.353\mu m$ . Esto no está muy alejado del valor sacado manualmente ( $0.4125\mu m$ ).

Sin embargo, es preferible el valor aportado por el optimizador, ya que para fabricaciones industriales de millones de transistores, siempre se escogerá el espacio mínimo, pues a la larga el área es proporcional a la potencia consumida. Otro factor positivo es que con la relación del optimizador, los tiempos de propagación tienden a ser iguales. Lo que sería un inconveniente es que el voltaje de umbral del inversor se alejaría aún más del valor nominal de  $0.9V$ . Anteriormente se observó que entre mayor sea la relación, más se estaba cerca del valor deseado. En este caso, la relación se aleja incluso de la aceptable 3/1, convirtiéndose en un voltaje de umbral de  $0.7V$ .

Después de realizar las simulaciones, no se considera necesario seguir ampliando el rango de búsqueda del algoritmo, porque las demás relaciones proporcionan valores propagación y de voltaje de umbral muy alejados de los planteados al inicio.

En cuanto a las resistencias efectivas de los transistores, es evidente que el mejor método fue el primero (ecuación 1:  $11.627K\Omega$  y  $23.222K\Omega$ ), porque los valores arrojados por el segundo método (ecuación 4:  $2.84K\Omega$  y  $7.94K\Omega$ ) solo toman en cuenta la corriente de saturación, no el promedio del proceso de conmutación. Aunque de acuerdo con la tabla 8.5 de [1], son los que están correctos. Por su parte, el método 3, que determina estas resistencias a partir de los tiempos de propagación (ecuaciones 11 y 12) no da valores acertados ni con tendencias esperadas, en especial la  $R_p$ , que generalmente se espera sea mayor y aproximadamente el doble de la  $R_n$ , aquí no pasó ninguna de las 2, sino que más bien  $R_p$  es menor

y no hay una proporción 2:1.

## V. CONCLUSIONES

Una vez realizado todo el desarrollo, se observó que las resistencias efectivas de los transistores presentó discrepancias entre los métodos usados. El método que considera el promedio de las corrientes de encendido y apagado mostró valores sobredimensionados, con las tendencias esperadas y correctos de acuerdo a la tabla 3.3 de [3]. El método basado únicamente en la corriente de saturación subestimó significativamente los parámetros, pero tiene las tendencias correctas y son exactos de acuerdo con la tabla 8.5 de [1]. Sin embargo, los valores obtenidos por este último método estuvieron No fueron correctos, ni cercanos a los esperado.

En cuanto al diseño del inversor CMOS, se demostró la importancia de encontrar una relación adecuada entre los tamaños de los transistores PMOS y NMOS, ya que esto afecta valores importantes como el voltaje de umbral del inversor, los tiempos de propagación, el área de layout, el consumo de potencia, entre otros. Aunque el análisis manual sugirió una relación de 3:1 PMOS/NMOS, las simulaciones revelaron que una relación de 2:1 podría ser más óptima en términos de tiempos de propagación y consumo de potencia.

La implementación del inversor mostró que, a pesar de los esfuerzos para alcanzar los requisitos, existen muchas idealizaciones y suposiciones en los modelos matemáticos y en las simulaciones que hacen que los valores fluctúen o no sean exactos.

## REFERENCIAS

- [1] N. H. E. Weste and D. M. Harris, *CMOS VLSI Design: A Circuits and Systems Perspective*, Pearson, 2011.
- [2] Alfonso Chacón Rodríguez, *Parámetros de primer orden para tecnología XFAB 0.18 $\mu$ m (Bulk CMOS XH018)*, Escuela de Ingeniería Electrónica, Instituto Tecnológico de Costa Rica, I Semestre 2018.
- [3] Jan M. Rabaey, *Digital Integrated Circuits: A Design Perspective*, Prentice Hall, 2002.