

## Tarea 1

**Curso:** Introducción al diseño de circuitos integrados

**Código:** EL-5807

**I semestre 2024**

**Fecha de entrega:**

Parte 1 (primer ejemplo de simulaciones corriendo): 28 de febrero de 2024

Parte 2 (simulación presentada a asistentes, e informe subido a GitHub): 6 de marzo de 2024 (para el informe el tiempo límite de actualización en el repositorio será las 23:59 del mismo 6 de marzo).

**Profesor:** Dr. Ing. Alfonso Chacón Rodríguez

### Condiciones

Tarea a realizar en parejas.

**Parte 1.** Determinación de las resistencias de canal de transistores mínimos *NMOS* y *PMOS* para el proceso XH018. Módulo LPMOS: ne, pe (1,8V).

Para poseer una estimación de salida base de las características *RC* del proceso a usar en este curso, se extraerá la resistencia efectiva de canal de un transistor encendido de tamaño mínimo, y su capacitancia equivalente de compuerta.

- a. Utilice el método descrito en la sección **4.3.7 Determining Effective resistance** en [1] para un transistor mínimo (las reglas mínimas se adjuntan). Note que en esta sección se debe hacer conmutar la salida desde  $V_{DD}$  a *GND* de un transistor *NMOS*. Para ayudarse con un ejemplo del circuito de prueba, fíjese en el circuito equivalente de medición que se muestra en [3], en el ejemplo 3.8. Acá el capacitor debe estar cargado a un valor inicial de tensión igual a  $V_{DD}$ . Note, no obstante, que la aproximación algebraica usada en [3] no es exactamente la misma; use el procedimiento indicado en [1], encontrando los valores provistos tanto por la ecuación (4.16) como por (4.19). Explique a qué fenómeno se debe la diferencia entre ambas ecuaciones, y para qué casos podría servir la 4.16.
- b. Calcule a mano, ayudándose de las tablas adjuntas, la capacitancia equivalente de compuerta *C* que tiene este transistor de tamaño mínimo. Supongo que las capacitancias de difusión son iguales a la capacitancia de compuerta. Calcule la constante *RC* para el proceso.

### Parte 2. Diseño de un inversor mínimo de tamaño óptimo

- a. Diseñe un inversor de tamaño mínimo a nivel de esquemático en la tecnología del curso con margen de ruido simétrico (punto de umbral o transición en  $V_{DD}/2$ ). Calcule el mismo de forma que el transistor *NMOS* sea el mínimo permitido por la tecnología en reglas escalables, con contactos en las difusiones. Utilice para el cálculo la expresión adecuada según sea si los transistores están en la zona de saturación de velocidad, o

en la zona de saturación para transistores de canal largo [1] (verifique mediante simulaciones rápidas dónde cree usted que se encuentra un transistor mínimo de esta tecnología: reporte este dato). Proponga una solución analítica según la establecida en la sección 2.5.2 de [1]. Verifique mediante simulación la curva característica. Mida la corriente de cortocircuito resultante usando HSPICE. Explique las posibles razones de las divergencias en los resultados (si las hay). Realice algunas iteraciones hasta encontrar una solución empírica razonable de la relación  $PMOS/NMOS$ . Luego, ejecute simulaciones sobre las esquinas de variabilidad del proceso y grafique las respuestas sobre una misma figura (sugerencia: exporte los resultados a Matlab/Python/Calc y grafíquelos ahí para más claridad).

- b. Suponiendo una relación  $PMOS/NMOS$  de 2/1, monte el deck de SPICE equivalente de las figuras 8.9-8.10 de [1] y averigue los tiempos de retardo  $t_{pdf}$ ,  $t_{pdr}$ .
  - i. Variando manualmente (o con un script) el tamaño del transistor PMOS, alrededor de la relación 2/1, construya una gráfica  $t_{pdf}$ ,  $t_{pdr}$  vs. la relación  $PMOS/NMOS$ .
  - ii. Ejecute el SPICE deck de la figura 8.11 y analice las soluciones de las razones  $PMOS/NMOS$  para los distintos objetivos indicados al optimizador (diff=0,  $t_{pd}=(t_{pfr}+t_{pdf})/2=0$ ): explique cuál solución preferiría (la suya manual o la del optimizador), según qué criterios. Por ejemplo, con respecto a los datos del deck 8.9-8.10, ¿cuál solución cree usted es mejor desde el punto de vista del rendimiento? ¿Potencia? ¿Área? Hágalo comparando los distintos resultados. ¿Conviene ampliar el rango de búsqueda del algoritmo o situarse cerca del punto ya averiguado manualmente en el punto anterior?
- c. Con la razón de tamaños provista del punto b., implemente las pruebas explicadas por la ecuación (8.7) y la figura 8.26 de la sección 8.4.5 de [1]. Suponga primero la capacitancia calculada en 1.b y compare los valores de  $R_p$  y  $R_n$  hallados contra lo que obtuvo en 1.a. ¿Cuál resultado prefiere? Explique.

En los reportes deberá entregar una breve memoria de cálculo de su diseño, junto con los resultados y su análisis, en el archivo README de un repositorio GitHub, que los estudiantes deberán preparar a partir de una plantilla que les será provista. En este mismo repositorio, deberá proveerse de todo el código (scripts, SPICE, etc.) de manera que los asistentes puedan, al clonar el repositorio, correr las pruebas y verificar los resultados.

Se adjunto un tutorial de cómo correr HSPice desde la terminal.

Para ir verificando su análisis, pueden apoyarse en los resultados ofrecidos en la Tabla 8.5 de [1]. Subir PDF a Tec digital. Utilice para sus diseños iniciales los parámetros de la tecnología (Beta o  $k$ ,  $V_{th}$ ,  $C_{ox}$ , etc.) que se adjuntarán al TEC Digital (BSIM nivel 3) (Se ha colocado en el directorio de Apuntes del Tec Digital un resumen con datos extraídos de [2], para los transistores a usar en el curso).

## Bibliografía

- [1] N. Weste and D. Harris, *CMOS VLSI Design: A Circuits and Systems Perspective*, 4 edition. Boston: Addison-Wesley, 2010.
- [2] Process and Device Specification XH018 - 0.18  $\mu m$  Modular Mixed Signal HV CMOS, PDS-018-13. Release 7.0.1. XFAB Semiconductor Foundries, Nov. 2017.
- [3] J. Rabaey, A. Chandrakasan y B. Nikolic. *Digital Integrated Circuits: A Design Perspective*.

Prentice Hall. 2005