

# Tarea 2: Implementación de una Función Lógica a través de Circuitos CMOS

Alexander Castro Lara\*

\*Escuela de Ingeniería Electrónica, Instituto Tecnológico de Costa Rica (ITCR), 30101 Cartago, Costa Rica,  
alexander@gmail.com

**Resumen**—En esta tarea, se diseñan y evalúan dos soluciones CMOS para un circuito basado en el problema 9.4 de [1]. La primera solución es por compuerta compleja, mientras que la segunda se compone de varias etapas de compuertas más simples (Nand, Nor, Inversor).

También, se analiza el retardo y el consumo de potencia mediante la teoría de Esfuerzo Lógico y la aproximación de Elmore, y se verifica la funcionalidad mediante simulaciones a nivel de esquemático.

Finalmente, se llevan a cabo los trazados (layout) de cada solución, junto con su simulación post-trazado.

**Palabras Clave**—CMOS, Esfuerzo Lógico, Retardo de Propagación, Consumo de Potencia, Layout.

## I. INTRODUCCIÓN

En el diseño de circuitos integrados, optimizar el retardo y el consumo de potencia es muy importante para mejorar el rendimiento. Esta tarea se enfoca en resolver el problema 9.4 del libro de texto, vía dos caminos: una compuerta compleja y una combinación de compuertas simples. La teoría de Esfuerzo Lógico y la aproximación de Elmore ayudarán a estimar los retardos, los esquemáticos en HSPICE brindarán el consumo de potencia de los circuitos. Con simulaciones post-layout se cerciorará que el comportamiento sea el esperado. El objetivo es determinar cuál de las dos soluciones es más eficiente y evaluar la concordancia de los principios teóricos.

## II. DISEÑO Y EVALUACIÓN DE SOLUCIONES CMOS PARA UNA FUNCIÓN LÓGICA

En esta sección se pretende implementar una función lógica mediante 2 circuitos CMOS: una compuerta compleja y varias etapas de compuertas simples.

El enfoque principal es hacer que el retardo de cada solución sea el menor posible.

La manera de determinar cuál alternativa es mejor será contrastando el esfuerzo lógico y el consumo promedio de potencia de cada una.

### II-A. Requerimientos Y Función Lógica

A continuación, se presentan las capacidades límites con las que deben contar ambas soluciones:

1. Cada entrada debe tener un máximo de  $30\lambda$  de ancho de transistor.
2. La salida debe manejar una carga equivalente a  $500\lambda$ .
3. El retardo debe ser el menor posible.

Luego, se tiene la función lógica que se desea aproximar en la ecuación 1 y su tabla de verdad en el cuadro I.

$$F = (A + B)(C + D) \quad (1)$$

Cuadro I: Tabla de verdad de F

D	C	B	A	J = (A+B)	K = (C+D)	F = J-K
0	0	0	0	0	0	0
0	0	0	1	0	1	0
0	0	1	0	0	1	0
0	0	1	1	0	1	0
0	1	0	0	1	0	0
0	1	0	1	1	1	1
0	1	1	0	1	1	1
0	1	1	1	1	1	1
1	0	0	0	1	0	0
1	0	0	1	1	1	1
1	0	1	0	1	1	1
1	0	1	1	1	1	1
1	1	0	0	1	0	0
1	1	0	1	1	1	1
1	1	1	0	1	1	1
1	1	1	1	1	1	1

### II-B. Esquemático

En la figura 1 se muestra el diagrama de la solución por compuerta compleja. En el nodo X se tiene  $\overline{F}$ , por lo que es necesario agregar el inversor 'Inv1'.

En la figura 2 se tiene la solución por varias etapas de compuertas simples.

### II-C. Retardo

Lo siguiente es determinar el retardo de los circuitos por medio de la teoría de esfuerzo lógico, lo cual permitirá determinar el ancho que deben tener los transistores.

Para la compuerta compleja y el inversor 'Inv1' el retardo está dado por:

$$D = NF^{\frac{1}{N}} + P = N(GBH)^{\frac{1}{N}} + P \quad (2)$$

### Compuerta Compleja

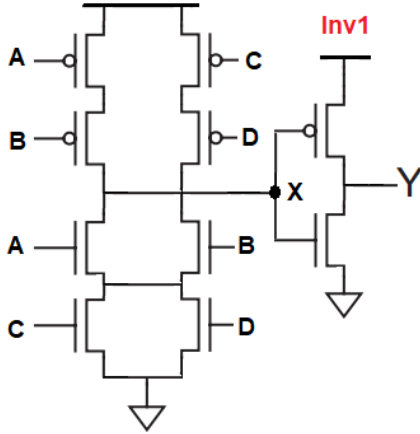


Figura 1: Diagrama para la solución por compuerta compleja

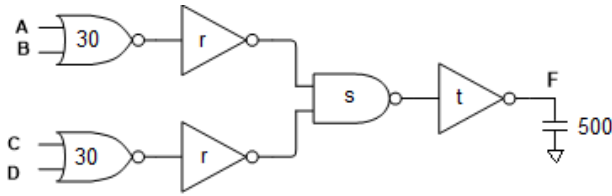


Figura 2: Diagrama para la solución por varias etapas de compuertas simples

De acuerdo con la figura 1, se observa que  $N = 2$  (1 compuerta compleja y 1 inversor). Los demás valores se encuentran de la siguiente manera:

$$G = \prod_{i=1}^N g_i = (g_{Compuerta\ Compleja})(g_{NOT}) \quad (3)$$

$$= \frac{W_p + W_n}{3} \cdot 1 = \frac{W_T}{3} \cdot 1 = \frac{30}{3} \cdot 1 = 10$$

Todavía no se conoce el valor exacto de  $W_p$  y  $W_n$ , no obstante, el primer requerimiento indica el valor de  $W_T$  es 30.

$$B = \prod_{i=1}^N b_i = (b_{Compuerta\ Compleja})(b_{NOT}) \quad (4)$$

$$= \frac{30 + 0}{30} \cdot \frac{W_{T\ Inv1} + 0}{W_{T\ Inv1}} = 1 \cdot 1 = 1$$

El cálculo de H requiere tomar en cuenta los siguientes datos:

- La capacitancia de entrada  $C_{in}$  es equivalente  $W_T$ .
- La capacitancia de salida  $C_{out}$  es equivalente a la carga de salida que debe manejar la compuerta.

$$H = \frac{C_{out\ path}}{C_{in\ path}} = \frac{500}{30} = \frac{50}{3} \approx 16.67 \quad (5)$$

$$P = \sum_{i=1}^N p_i = p_{Compuerta\ Compleja} + p_{NOT} \quad (6)$$

$$= 5 + 1 = 6$$

El retardo parásito de la compuerta compleja puede aproximarse con el retardo parásito del circuito equivalente en compuertas simples. Omitiendo el inversor 'Inv1' de la figura 1, es lo mismo tener una NAND2 con una OR2 en cada entrada. A su vez, la OR2 sería una NOR2 con un inversor a la salida. Por tanto,

$$p_{Compuerta\ Compleja} = p_{NOR2} + p_{NOT} + p_{NAND2} \approx 5 \quad (7)$$

El retardo parásito de las compuertas NOR2, NOT y NAND2 puede obtenerse de la tabla 4.3 de [1].

Retomando la ecuación 2, el retardo de la compuerta compleja y el inversor Inv1 es:

$$D = 2(10 \cdot 1 \cdot 16.67)^{\frac{1}{2}} + 6 \approx 31.82 \quad (8)$$

Seguidamente, se debe estimar el retardo del diseño por varias etapas de compuertas simples como sigue:

$$D = NF^{\frac{1}{N}} + P = N(GBH)^{\frac{1}{N}} + P \quad (9)$$

De acuerdo con la figura 2, se observa que  $N = 4$  (2 inversores, 1 nor y 1 nand). Los demás valores se encuentran de la siguiente manera:

$$G = \prod_{i=1}^N g_i = (g_{NOR2})(g_{NOT})(g_{NAND2})(g_{NOT}) \quad (10)$$

$$= \left(\frac{5}{3}\right)(1)\left(\frac{4}{3}\right)(1) = \frac{20}{9} \approx 2.23$$

$$B = \prod_{i=1}^N b_i = (b_{NOR2})(b_{NOT})(b_{NAND2})(b_{NOT}) \quad (11)$$

$$= \frac{30 + 0}{30} \cdot \frac{r + 0}{r} \cdot \frac{s + 0}{s} \cdot \frac{t + 0}{t}$$

$$= 1 \cdot 1 \cdot 1 \cdot 1 = 1$$

$$H = \frac{C_{out\ path}}{C_{in\ path}} = \frac{500}{30} = \frac{50}{3} \approx 16.67 \quad (12)$$

$$P = \sum_{i=1}^N p_i = p_{NOR2} + p_{NOT} + p_{NAND2} + p_{NOT} \quad (13)$$

$$= 2 + 1 + 2 + 1 = 6$$

Los valores utilizados para determinar G y P se pueden obtener de las tablas 4.2 y 4.3 de [1], respectivamente. Para B se utiliza la ecuación 14.

$$b_i = \frac{C_{onpath\_i} + C_{offpath\_i}}{C_{onpath\_i}} \quad (14)$$

Retomando la ecuación 9,

$$D = 4(2.23 \cdot 1 \cdot 16.67)^{\frac{1}{4}} + 6 \approx 15.88 \quad (15)$$

#### II-D. Ancho De Los Transistores

Para determinar el ancho de los transistores de ambas soluciones se empleará la siguiente ecuación:

$$C_{in_i} = \frac{g_i C_{out_i}}{\hat{f}} = \frac{g_i C_{out_i}}{F^{\frac{1}{N}}} \quad (16)$$

Además, se debe recordar que en [4] se determinó que la relación óptima para conseguir iguales tiempos de subida y bajada para un inversor es 1.621:1, pero por simplicidad se trabajará con 2:1. En el ejemplo 4.13 de [1] se indica que para una NOR2 la relación debe ser 4:1 y para una NAND2 es 1:1.

Iniciando por el **circuito de la compuerta compleja** (figura 1), se determinó que  $\hat{f} \approx 12.91$  y

$$C_{in_{Inv1}} = \frac{1 \cdot 500}{12.91} = 38.73 \quad (17)$$

Solo para corroborar la capacitancia de entrada de la compuerta compleja, se tiene:

$$C_{in_{Compuerta\ Compleja}} = \frac{10 \cdot 38.73}{12.91} = 29.99 \approx 30 \quad (18)$$

Ahora, sabiendo que la relación del inversor 'Inv1' es 2:1, o sea, a:b y que su  $C_{in_{Inv1}} = W_{T_{Inv1}} = c = 38.73$ , se puede calcular  $W_{p_{Inv1}}$  y  $W_{n_{Inv1}}$  de la siguiente manera:

$$W_{p_{Inv1}} = \frac{ac}{a+b} = \frac{2 \cdot 38.73}{2+1} = 25.82 \quad (19)$$

$$W_{n_{Inv1}} = \frac{bW_{p_{Inv1}}}{a} = \frac{1 \cdot 25.82}{2} = 12.91 \quad (20)$$

Para los transistores de la compuerta compleja se aproximará su valor de la siguiente manera: dado que el circuito equivalente es una NAND2 con dos OR2 en cada entrada, entonces se debe usar la relación óptima de la OR2. Sin embargo, también se conoce que la OR2 es una NOR2 con un NOT a la salida, por tanto, la entrada es equivalente a una NOR2. Con la relación de esta compuerta, que es 4:1, y con las ecuaciones 19 y 20, se tiene:

$$W_{p_{Compuerta\ Compleja}} = \frac{ac}{a+b} = \frac{4 \cdot 30}{4+1} = 24 \quad (21)$$

$$W_{n_{Compuerta\ Compleja}} = \frac{bW_{p_{Compuerta\ Compleja}}}{a} = \frac{1 \cdot 24}{4} = 6 \quad (22)$$

Dejando de lado la compuerta compleja y resolviendo para la **solución por varias etapas de compuertas simples** (figura 2) se determinó que  $\hat{f} \approx 2.47$  y

$$C_{in_{NOT}} = t = \frac{1 \cdot 500}{2.47} = 202.43 \quad (23)$$

$$C_{in_{NAND2}} = s = \frac{\frac{4}{3} \cdot 202.43}{2.47} = 109.27 \quad (24)$$

$$C_{in_{NOT}} = r = \frac{1 \cdot 109.27}{2.47} = 44.24 \quad (25)$$

Para corroborar la capacitancia de entrada de las compuertas NOR2, se calcula su  $C_{in_{NOR2}}$  correspondiente:

$$C_{in_{NOR2}} = \frac{\frac{5}{3} \cdot 44.24}{2.47} = 29.85 \approx 30 \quad (26)$$

Y de la misma forma que para la compuerta compleja, se utilizan estas capacitancias, las relaciones óptimas y las ecuaciones 19 y 20, de esta forma se obtiene:

$$W_{p_{NOT}} = \frac{ac}{a+b} = \frac{2 \cdot 202.43}{2+1} = 134.95 \quad (27)$$

$$W_{n_{NOT}} = \frac{bW_{p_{NOT}}}{a} = \frac{1 \cdot 134.95}{2} = 67.48 \quad (28)$$

$$W_{p_{NAND2}} = \frac{ac}{a+b} = \frac{1 \cdot 109.27}{1+1} = 54.635 \quad (29)$$

$$W_{n_{NAND2}} = \frac{bW_{p_{NAND2}}}{a} = \frac{1 \cdot 54.635}{1} = 54.635 \quad (30)$$

$$W_{p_{NOT}} = \frac{ac}{a+b} = \frac{2 \cdot 44.24}{2+1} = 29.49 \quad (31)$$

$$W_{n_{NOT}} = \frac{bW_{p_{NOT}}}{a} = \frac{1 \cdot 29.49}{2} = 14.75 \quad (32)$$

$$W_{p_{NOR2}} = \frac{ac}{a+b} = \frac{4 \cdot 30}{4+1} = 24 \quad (33)$$

$$W_{n_{NOR2}} = \frac{bW_{p_{NOR2}}}{a} = \frac{1 \cdot 24}{4} = 6 \quad (34)$$

#### II-E. Consumo De Potencia Promedio

El consumo de potencia se cuantificará con la potencia dinámica. La potencia estática se obviaré. La ecuación que se utilizará es la siguiente:

$$P = \alpha f C V_{dd}^2 \quad (35)$$

Donde  $\alpha$  corresponde al factor de actividad, el cual debe determinarse. La frecuencia de reloj  $f$  se establecerá en 200 MHz a modo de prueba, dado que este valor depende de la aplicación específica que se esté trabajando.  $C$  corresponde a la capacitancia de carga. El valor de la fuente de alimentación  $V_{DD}$  es 1.8V. Las probabilidades de conmutación de las compuertas utilizadas se encuentran en la tabla 5.1 de [1]. Se asume que las variables  $A$ ,  $B$ ,  $C$  y  $D$  son equiprobables.

En la figura 3 se muestra el factor de actividad equivalente de la compuerta compleja y el inversor 'Inv1'.

Resolviendo para  $\alpha_3$ , se tiene:

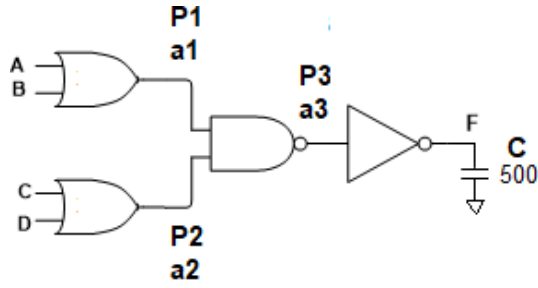


Figura 3: Factor de actividad equivalente para la compuerta compleja

$$P_1 = 1 - \overline{P_A P_B} = 1 - (1 - 0.5)(1 - 0.5) = 0.75 \quad (36)$$

$$\alpha_1 = P_1 \overline{P_1} = (0.75)(1 - 0.75) = 0.1875 \quad (37)$$

$$P_2 = 1 - \overline{P_C P_D} = 1 - (1 - 0.5)(1 - 0.5) = 0.75 \quad (38)$$

$$\alpha_2 = P_2 \overline{P_2} = (0.75)(1 - 0.75) = 0.1875 \quad (39)$$

$$P_3 = 1 - P_1 P_2 = 1 - (0.1875)(0.1875) = 0.9648 \quad (40)$$

$$\alpha_3 = P_3 \overline{P_3} = (0.9648)(1 - 0.9648) = 0.03396 \quad (41)$$

Con ayuda de la figura 4 se calcula el factor de actividad  $\alpha$  equivalente para la solución por varias etapas de compuertas simples.

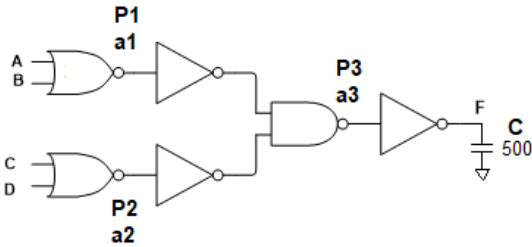


Figura 4: Factor de actividad equivalente

Resolviendo para  $\alpha_3$ , se tiene:

$$P_1 = \overline{P_A P_B} = (1 - 0.5)(1 - 0.5) = 0.25 \quad (42)$$

$$\alpha_1 = P_1 \overline{P_1} = (0.25)(1 - 0.25) = 0.1875 \quad (43)$$

$$P_2 = \overline{P_C P_D} = (1 - 0.5)(1 - 0.5) = 0.25 \quad (44)$$

$$\alpha_2 = P_2 \overline{P_2} = (0.25)(1 - 0.25) = 0.1875 \quad (45)$$

$$P_3 = 1 - P_1 P_2 = 1 - (0.1875)(0.1875) = 0.9648 \quad (46)$$

$$\alpha_3 = P_3 \overline{P_3} = (0.9648)(1 - 0.9648) = 0.03396 \quad (47)$$

Retomando la ecuación 35, la potencia promedio consumida es:

$$P = 0.03396(200MHz)(500 \cdot 0.21fF)(1.8V)^2 = 2.31\mu W \quad (48)$$

### III. TIEMPOS DE RETARDO

Se harán aproximaciones vía el método de Elmore. En la figura 5 se muestra el modelo RC para los transistores NMOS y PMOS.

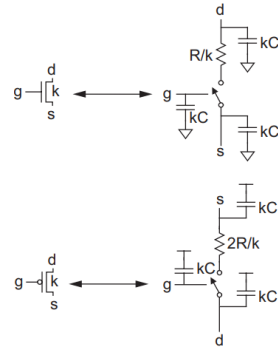


Figura 5: Modelo RC para los transistores NMOS y PMOS

#### III-A. Tiempos De Propagación $t_{fpd}$ Y $t_{rpd}$

Empezando por la compuerta compleja, se presenta la figura 6, la cual contiene los circuitos equivalentes que permiten determinar el tiempo de propagación de caída  $t_{fpd}$ .  $K_1$  corresponde al ancho de los transistores NMOS de compuerta compleja, es decir,  $K_1 = W_{ncc} = 6$ .  $R$  es la resistencia efectiva de los transistores y  $C$  la capacitancia de compuerta, ambos valores fueron obtenidos en [4].

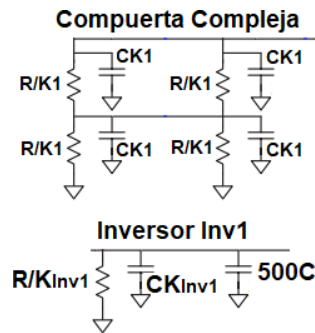


Figura 6: Circuitos equivalentes para determinar el  $t_{fpd}$ .

De esta manera, el tiempo de propagación de caída es:

$$t_{f_{pd}} = t_{f_{pd} \text{Compuerta Compleja}} + t_{f_{pd} \text{Inv1}} \quad (49)$$

$$\begin{aligned} t_{f_{pd}} &= \frac{R}{K_1}CK_1 + \frac{2R}{K_1}CK_1 + \frac{R}{K_{n_{Inv1}}}(500 + K_{n_{Inv1}})C \\ &= RC + 2RC + \frac{500RC}{K_{n_{Inv1}}} + RC = 4RC + \frac{500RC}{K_{n_{Inv1}}} \end{aligned} \quad (50)$$

$$t_{f_{pd}} = 4(11.627K\Omega)(0.21fF) + \frac{500(11.627K\Omega)(0.21fF)}{12.91} \quad (51)$$

$$t_{f_{pd}} = 104.33ps \quad (52)$$

Para el tiempo de propagación de subida, se tiene la figura 7 con los circuitos equivalentes.

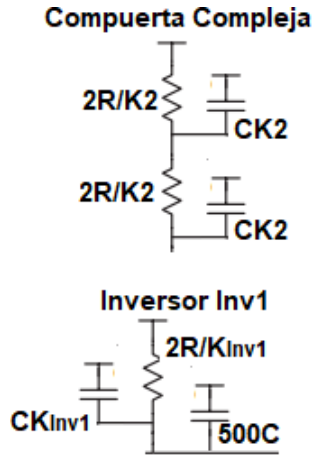


Figura 7: Circuitos equivalentes para determinar el  $t_{r_{pd}}$  de la compuerta compleja.

Con esto, el tiempo de propagación de subida sería:

$$t_{r_{pd}} = t_{r_{pd} \text{Compuerta Compleja}} + t_{r_{pd} \text{Inv1}} \quad (53)$$

$$\begin{aligned} t_{r_{pd}} &= \frac{2R}{K_2}CK_2 + \frac{4R}{K_2}CK_2 + \frac{2R}{K_{p_{Inv1}}}(500 + K_{p_{Inv1}})C \\ &= 2RC + 4RC + \frac{1000RC}{K_{p_{Inv1}}} + 2RC = 8RC + \frac{1000RC}{K_{p_{Inv1}}} \end{aligned} \quad (54)$$

Sabiendo que  $K_2 = 24$  y  $K_{p_{Inv1}} = 25.82$ ,

$$t_{r_{pd}} = 8(23.2K\Omega)(0.303fF) + \frac{1000(23.2K\Omega)(0.303fF)}{25.82} \quad (55)$$

$$t_{r_{pd}} = 328.53ps \quad (56)$$

Continuando con la solución por varias etapas de compuertas simples, es necesario decir que el  $\text{delay}$  total del circuito

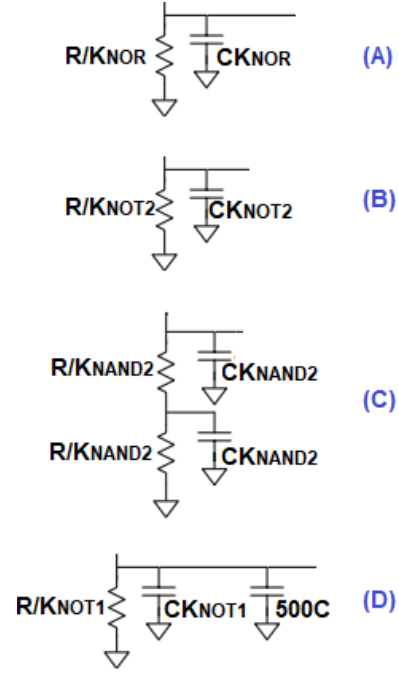


Figura 8: Circuito equivalente para determinar el  $t_{f_{pd}}$  de las compuertas simples

es la sumatoria de los  $\text{delays}$  individuales. La figura 8 presenta el circuito RC equivalente para cada etapa.

Con base en esto, el tiempo de propagación de subida  $t_{f_{pd}}$  es:

$$t_{f_{pd}} = t_{f_{pd} \text{NOR2}} + t_{f_{pd} \text{NOT2}} + t_{f_{pd} \text{NAND2}} + t_{f_{pd} \text{NOT1}} \quad (57)$$

$$\begin{aligned} t_{f_{pd} \text{NOR2}} &= \frac{R}{K_{\text{NOR}}}CK_{\text{NOR}} = RC \\ &= (11.627K\Omega)(0.21fF) = 2.44167ps \end{aligned} \quad (58)$$

$$\begin{aligned} t_{f_{pd} \text{NOT2}} &= \frac{R}{K_{\text{NOT2}}}CK_{\text{NOT2}} = RC \\ &= (11.627K\Omega)(0.21fF) = 2.44167ps \end{aligned} \quad (59)$$

$$\begin{aligned} t_{f_{pd} \text{NAND2}} &= \frac{R}{K_{\text{NAND2}}}CK_{\text{NAND2}} + \frac{2R}{K_{\text{NAND2}}}CK_{\text{NAND2}} \\ &= RC + 2RC = 3RC \\ &= 3(11.627K\Omega)(0.21fF) = 7.32501ps \end{aligned} \quad (60)$$

$$\begin{aligned} t_{f_{pd} \text{NOT1}} &= \frac{R}{K_{\text{NOT1}}}(K_{\text{NOT2}} + 500)C \\ &= \frac{11.627K\Omega}{67.41}(67.41 + 500)(0.21fF) = 20.55ps \end{aligned} \quad (61)$$

Por tanto,

$$\begin{aligned}
t_{fpd} &= 2.44167ps + 2.44167ps + 7.32501ps + 20.55ps \\
&= 32.75835ps
\end{aligned} \tag{62}$$

Para el tiempo de propagación de subida se tiene la figura 9, la cual muestra los circuitos RC equivalentes de cada etapa.

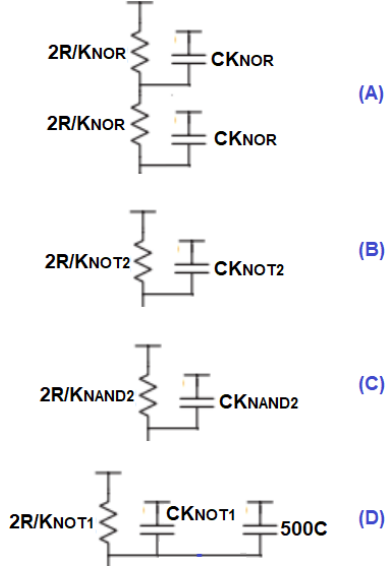


Figura 9: Circuito equivalente para determinar el  $t_{rpd}$  de las compuertas simples

El  $t_{rpd}$  sería:

$$t_{rpd} = t_{rpd_{NOR2}} + t_{rpd_{NOT2}} + t_{rpd_{NAND2}} + t_{rpd_{NOT1}} \tag{63}$$

$$\begin{aligned}
t_{rpd_{NOR2}} &= \frac{2R}{K_{NOR}}CK_{NOR} + \frac{4R}{K_{NOR2}}CK_{NOR2} = 6RC \\
&= 6(23.222K\Omega)(0.30275fF) = 42.18ps
\end{aligned} \tag{64}$$

$$\begin{aligned}
t_{rpd_{NOT2}} &= \frac{2R}{K_{NOT2}}CK_{NOT2} = 2RC \\
&= 2(23.222K\Omega)(0.30275fF) = 14.06ps
\end{aligned} \tag{65}$$

$$\begin{aligned}
t_{rpd_{NAND2}} &= \frac{2R}{K_{NAND2}}CK_{NAND2} = 2RC \\
&= 2(23.222K\Omega)(0.30275fF) = 14.06ps
\end{aligned} \tag{66}$$

$$\begin{aligned}
t_{rpd_{NOT1}} &= \frac{2R}{K_{NOT1}}(K_{NOT2} + 500)C \\
&= \frac{2(23.222K\Omega)}{134.95}(134.95 + 500)(0.30275fF) \\
&= 66.16ps
\end{aligned} \tag{67}$$

Por tanto,

$$\begin{aligned}
t_{rpd} &= 42.18ps + 14.06ps + 14.06ps + 66.16ps \\
&= 136.46ps
\end{aligned} \tag{68}$$

#### IV. VERIFICACIÓN A NIVEL DE ESQUEMÁTICO

Para verificar la funcionalidad y obtener los tiempos de propagación de los circuitos diseñados, se confeccionaron dos scripts: `tpdcc.sp` para la solución con una compuerta compleja y `tpdve.sp` para la solución con varias etapas de compuertas simples.

Los scripts están estructurados de la siguiente manera:

- **Encabezado:** Proporciona el contexto del script.
- **Inclusión de Archivos:** Incluye todos los archivos necesarios como modelos y archivos de configuración.
- **Circuito:** Define el circuito correspondiente.
- **Estímulos:** Crea todas las fuentes de alimentación, como  $V_{DD}$ , y las entradas binarias  $D$ ,  $C$ ,  $B$  y  $A$ .
- **Mediciones:** Incluye los comandos para medir  $t_{fpd}$ ,  $t_{rpd}$  y  $t_{pd}$ .

Es importante hacer tres aclaraciones:

- Primero, dado que los scripts realizan dos funciones, se debe comentar y descomentar el tipo de alimentación específico para las variables binarias  $D$ ,  $C$ ,  $B$  y  $A$ . Para la verificación funcional, se utilizan pulsos de diferentes periodos para obtener todas las combinaciones, mientras que para encontrar los tiempos de propagación, algunas entradas binarias son constantes ( $D$  se mantiene en 0 y  $A$  se mantiene en 1).
- Segundo, para la verificación funcional, la variable de menor peso es  $A$ , con un periodo de 1000 picosegundos.  $B$  tiene un periodo de 2000 picosegundos,  $C$  tiene un periodo de 4000 picosegundos, y  $D$  es la variable más significativa con un periodo de 8000 picosegundos. Todas tienen un tiempo de subida y bajada de 50 picosegundos.
- Tercero, la medición de los tiempos de propagación se realizó desde la entrada binaria  $B$  hasta la salida  $F$ .  $y$  es la salida parcial del circuito, es decir, a la salida de la compuerta compleja o la entrada del inversor.

Ambos scripts pueden encontrarse en el repositorio de la tarea: [https://github.com/2017153854/Tarea2\\_VLSI](https://github.com/2017153854/Tarea2_VLSI)

##### IV-A. Solución con Compuerta Compleja

En la Figura 10 se muestra el circuito de la solución con compuerta compleja, marcando los nodos importantes y la numeración de los transistores.

La Figura 11 muestra el comportamiento del circuito. Como se puede observar, coincide con el comportamiento esperado, el cual se puede verificar con la tabla I. Además, en la tabla II se resumen los tiempos de propagación obtenidos y se comparan con los resultados analíticos de la Sección III.

### Compuerta Compleja

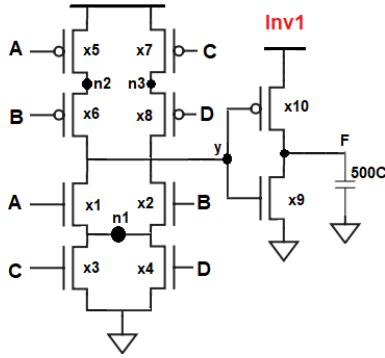


Figura 10: Circuito de la solución con compuerta compleja, mostrando los nodos y la numeración de los transistores.

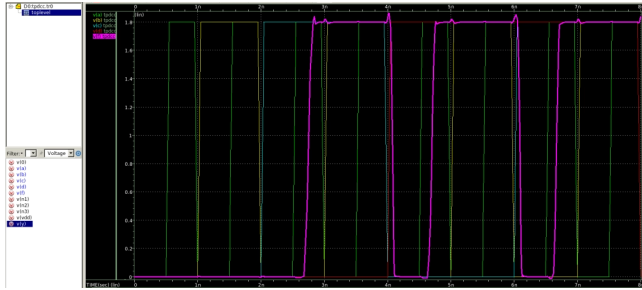


Figura 11: Comportamiento del circuito de la solución con compuerta compleja.

### IV-B. Solución con Varias Etapas de Compuertas Simples

En la Figura 12 se muestra el circuito equivalente en transistores de la solución con varias etapas de compuertas simples, destacando los nodos importantes y la numeración de los transistores.

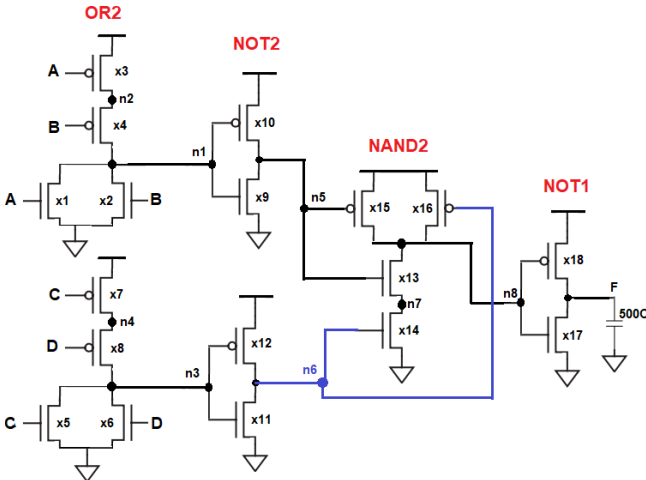


Figura 12: Circuito equivalente de la solución con varias etapas de compuertas simples, mostrando los nodos y la numeración de los transistores.

La Figura 13 muestra el comportamiento del circuito. Como

Cuadro II: Tiempos de propagación por esfuerzo lógico y simulación a nivel de esquemático para la compuerta compleja.

Tipo de Retardo	Elmore (ps)	Por Esquemático (ps)
$t_{f_{pd}}$	104.33	372
$t_{r_{pd}}$	328.53	496
$t_{pd}$	216.43	434

se puede observar, coincide con el comportamiento esperado, el cual se puede verificar con la Tabla I. Además, en la Tabla III se resumen los tiempos de propagación obtenidos y se comparan con los resultados analíticos de la Sección III.

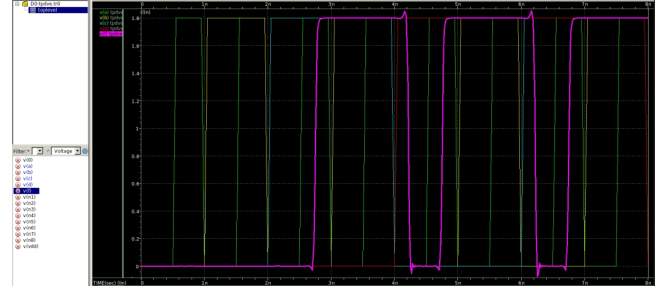


Figura 13: Comportamiento del circuito de la solución con varias etapas de compuertas simples.

Cuadro III: Tiempos de propagación por esfuerzo lógico y simulación a nivel de esquemático para las compuertas simples

Tipo de Retardo	Elmore (ps)	Por Esquemático (ps)
$t_{f_{pd}}$	32.75	334
$t_{r_{pd}}$	136.46	301
$t_{pd}$	84.605	318

### V. TRAZADO Y CONSUMO DE POTENCIA DE LA COMPUERTA COMPLEJA

En esta sección se llevará a cabo el trazado completo de la compuerta compleja. Para ello, se comenzará con el establecimiento de los caminos de Euler en los grafos resultantes, seguido de la construcción del diagrama de palitos. Posteriormente, se realizará una simulación post-trazado que incluirá los efectos parásitos, con el fin de verificar tanto la funcionalidad como el consumo de potencia del circuito operando a su máxima frecuencia de conmutación.

**Nota:** Todos los archivos mencionados en esta sección se pueden encontrar en el servidor del proyecto, en la carpeta de tarea2.

#### V-A. Trazado de la Compuerta Compleja

Para realizar el trazado, primero se deben determinar los caminos de Euler, los cuales se presentan en la Figura 14.

A continuación, se construye el diagrama de palitos, como se muestra en la Figura 15.

Con estos diagramas listos, se puede proceder al trazado de la compuerta. La Figura 16 muestra el resultado final del trazado.



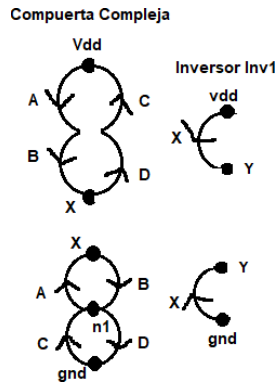


Figura 14: Caminos de Euler para la compuerta compleja.

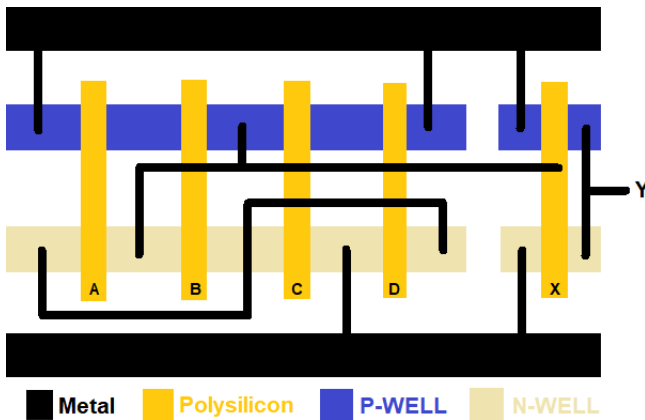


Figura 15: Diagrama de Palitos para la compuerta compleja.

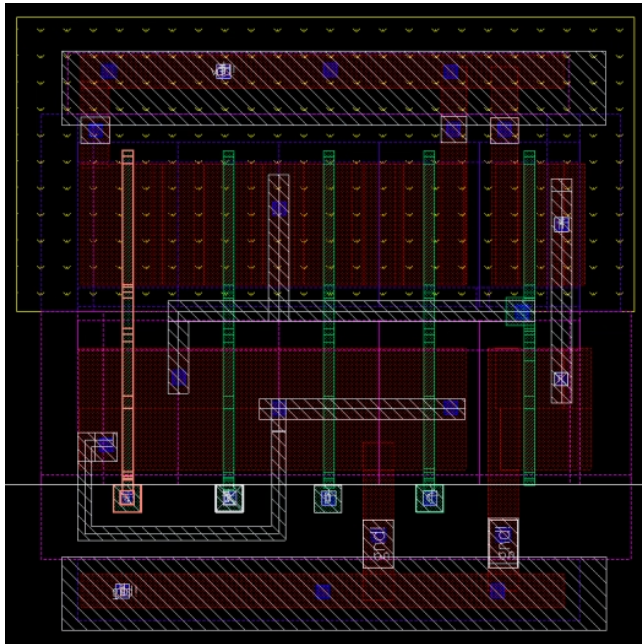


Figura 16: Resultado final del trazado de la compuerta compleja.

Para verificar la funcionalidad de la compuerta tras el

trazado, se presentan las figuras 17 y 18, las cuales muestran la verificación por DRC y LVS, respectivamente.

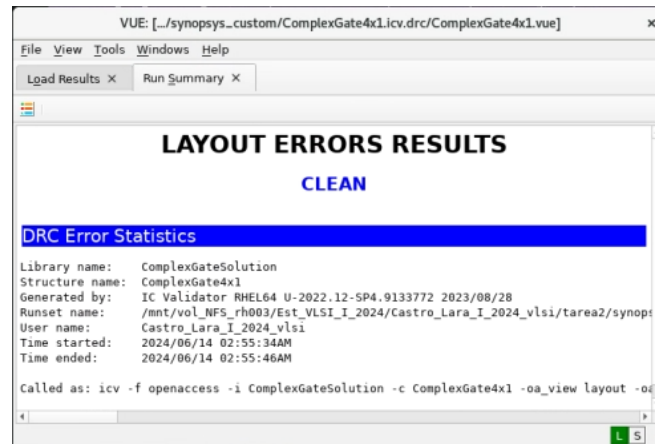


Figura 17: Verificación por DRC del layout de la compuerta compleja.

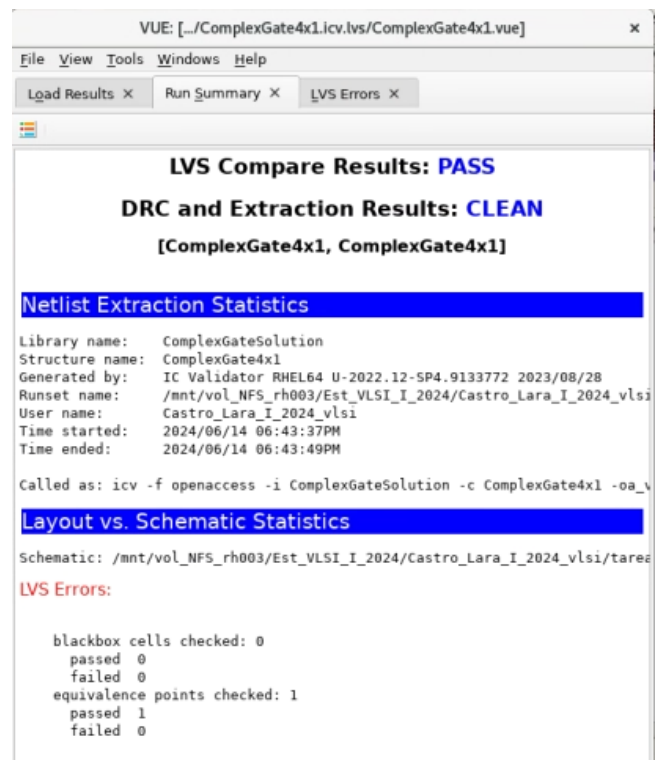


Figura 18: Verificación por LVS del layout de la compuerta compleja.

Asimismo, se realiza una simulación digital, a nivel de esquemático y post-layout. Dichas simulaciones se presentan en la figuras 19, 20 y 21, respectivamente. Es importante mencionar que la figura 21 muestra el comportamiento post-layout de la salida de la compuerta compleja, el cual corresponde con el esperado en el cuadro I.





Figura 19: Resultado del diseño comportamental.

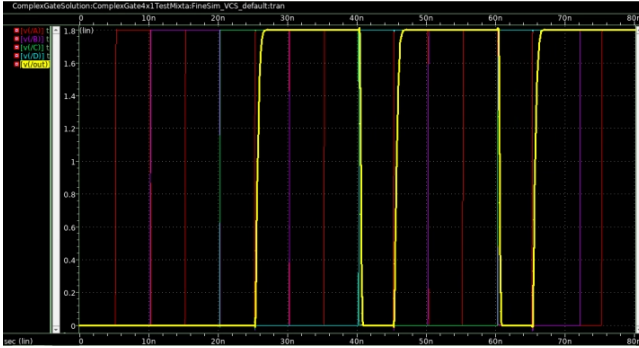


Figura 20: Resultado del diseño a nivel de esquemático.

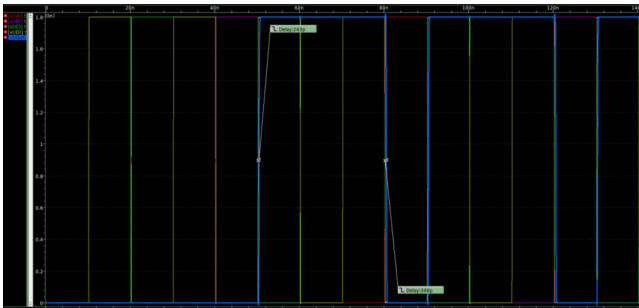


Figura 21: Verificación del funcionamiento final de la compuerta compleja tras el trazado.

En el cuadro IV, se resumen los tiempos de propagación obtenidos en la simulación post-layout, comparándolos con los resultados teóricos y los obtenidos a nivel de esquemático.

Método	$t_{f_{pd}}$ (ps)	$t_{r_{pd}}$ (ps)	$t_{pd}$ (ps)
Elmore	104.33	328.53	216.43
Esquemático	372	496	434
Post-Layout	348	243	295.5

Cuadro IV: Comparación de los tiempos de propagación obtenidos por la teoría de esfuerzo lógico, a nivel de esquemático, y post-layout.

#### V-B. Consumo de Potencia

El análisis del consumo de potencia se realizará utilizando las directrices de la sección 8.5.4 de [1], la cual sugiere

implementar los comandos de la figura 22.

```
.print P(vdd)
.measure pwr AVG P(vdd) FROM=0ns TO=10ns
```

Figura 22: Método para determinar la potencia promedio sugerido por la sección 8.5.4 de [1].

Además, el consumo de potencia se evaluará mediante simulaciones que consideran las capacitancias parásitas y la máxima frecuencia de conmutación del circuito, justo como sería en una simulación post-layout.

En la figura 23 se muestra el resultado de la potencia promedio. El valor pico es de  $777\mu W$ .

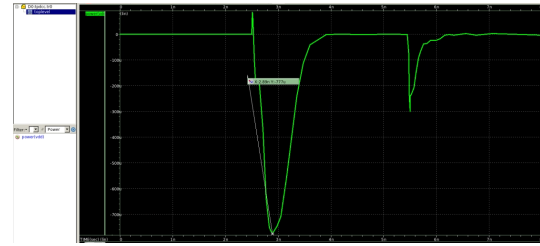


Figura 23: Potencia promedio mediante las directrices sugeridas en la sección 8.5.4 de [1].

## VI. ANÁLISIS DE RESULTADOS

En base a los cálculos realizados según la teoría de Esfuerzo Lógico: para la Compuerta Compleja (CC), el retardo calculado es de 31.82. Para la configuración con Varias Etapas de Compuertas (VE), el retardo es de 15.88. Estos valores dicen que la compuerta compleja es más veloz que la solución por compuertas simples.

En cuanto al consumo de Potencia Teórico, se estimó un consumo de potencia de  $2.31\mu W$  para ambas configuraciones (Compuerta Compleja y Compuertas Simples). Asumiendo operación a la máxima frecuencia posible, ambas soluciones gastan la misma energía, desde un punto de vista analítico.

Seguidamente, se debe resaltar la comparación de los retardos obtenidos mediante la aproximación de Elmore y los valores extraídos directamente del esquemático para ambas configuraciones. Si se analizan los valores del cuadro II, se observa una diferencia entre la aproximación de Elmore y el esquemático. Para la Compuerta Compleja, esto indica que la aproximación de Elmore tiende a subestimar los tiempos de propagación en este tipo de configuración, posiblemente debido a simplificaciones en los modelos de capacitancias.

En contraste, para las Compuertas Simples, los retardos calculados por Elmore son más cercanos a los valores del esquemático, aunque aún mantienen diferencias notables. Aquí, la aproximación de Elmore tiende a estar más alineada con los datos reales pero con desviaciones, las cuales se deben a variaciones en las configuraciones específicas de las compuertas simples.

En el análisis Post-Layout, se analizó el comportamiento de la Compuerta Compleja, comparando los retardos obtenidos

con Elmore y los valores del esquemático en la cuadro IV, donde se observa que los tiempos de propagación  $t_{fpd}$ ,  $t_{rpd}$  y  $t_{pd}$  muestran variaciones significativas entre los métodos. El método de Elmore reporta valores notoriamente inferiores en comparación con el esquemático: por ejemplo,  $t_{fpd}$  de 104.33 ps (Elmore) versus 372 ps (Esquemático). Esto sugiere que la aproximación de Elmore podría subestimar los retardos, posiblemente debido a simplificaciones en los modelos. En contraste, los valores post-layout muestran un ajuste más cercano a la realidad física del circuito, destacándose por presentar retardos intermedios entre los métodos teóricos y los datos del esquemático.

Finalmente, el consumo de potencia pico para la Compuerta Compleja post-layout es de  $777\mu W$ , siguiendo el método descrito en la sección 8.5.4 de [1]. Este valor representa el consumo máximo estimado bajo las condiciones de diseño. Este valor es 3 veces mayor al teórico. Un motivo es las simplificaciones que se realizan a nivel teórico.

## VII. CONCLUSIONES

La compuerta compleja presenta un retardo mayor (31.82) en comparación con las compuertas simples (15.88), lo que indica que la primera es más rápida en términos de velocidad de esfuerzo lógico. Sin embargo, esta ventaja teórica en velocidad no se traduce en una diferencia significativa en el consumo de potencia, donde ambas configuraciones presentan un consumo estimado de  $2.31\mu W$  bajo condiciones ideales de máxima frecuencia.

Después, al comparar los retardos calculados mediante la aproximación de Elmore y los valores del esquemático, se observa mucha brecha. Para la compuerta compleja, los retardos calculados por Elmore son considerablemente menores en comparación con los valores del esquemático, indicando una tendencia a subestimar los tiempos de propagación. Esta diferencia podría atribuirse a las simplificaciones en los modelos de capacitancia utilizados en la aproximación de Elmore, que no capturan completamente las complejidades del diseño físico.

Finalmente, el análisis post-layout revela que los tiempos de propagación y el consumo de potencia para la CC son significativamente mayores que los valores teóricos. Por ejemplo, el consumo de potencia post-layout alcanza los  $777\mu W$ , tres veces mayor que el estimado teóricamente, un incremento que se debe a las capacitancias parásitas y otros efectos del diseño físico que no se consideran en las etapas teóricas previas.

## REFERENCIAS

- [1] N. H. E. Weste and D. M. Harris, *CMOS VLSI Design: A Circuits and Systems Perspective*, Pearson, 2011.
- [2] Alfonso Chacón Rodríguez, *Parámetros de primer orden para tecnología XFAB 0.18 $\mu m$  (Bulk CMOS XH018)*, Escuela de Ingeniería Electrónica, Instituto Tecnológico de Costa Rica, I Semestre 2018.
- [3] Jan M. Rabaey, *Digital Integrated Circuits: A Design Perspective*, Prentice Hall, 2002.
- [4] A. Castro, *Tarea 1: Resistencia Efectiva de los Transistores MOS y Diseño de un Inversor CMOS*, Cartago, Costa Rica, 2024, [https://github.com/2017153854/Tarea1\\_VLSI](https://github.com/2017153854/Tarea1_VLSI)