

Tarea 2

Curso: Introducción al Diseño de Circuitos Integrados

Código: EL-5807

I semestre 2024

Fecha de entrega: 10 de abril 2024. Subir PDF al TEC Digital.

Profesor: Alfonso Chacón Rodríguez

1. En esta taréa habrá de resolverse primero el problema 9.4 de [1]. Note que la salida del circuito no está complementada. Dé estimados de retardo y consumo promedio de potencia aproximado (suponiendo operación a máxima frecuencia posible) para dos potenciales soluciones resueltas mediante la teoría de Esfuerzo Lógico: usando una compuerta compleja en un caso, y varias etapas de compuertas más simples para el siguiente. Evalúe y contraste ambas soluciones mediante la teoría de esfuerzo lógico la velocidad de ambas y su consumo de potencia dinámica aproximados.
2. Averigüe para ambas soluciones los tiempos de retardo t_{pdr} , t_{pdf} y de contaminación, t_{cdr} , t_{cdf} , usando la aproximación de Elmore. Recuerde usar el τ derivado en la primer tarea.
3. Verifique la funcionalidad eléctrica y lógica de ambos circuitos por simulación de sus esquemáticos, y tabule y compare los retardos t_{dr} , t_{df} del peor y el mejor caso (retardo de propagación y de contaminación) para la carga establecida en el problema. Compare estos resultados contra los resultados de los puntos 1 y 2 y comente. ¿Podemos basarnos solo en la teoría de esfuerzo lógico para la primera aproximación? Justifique su respuesta. Nota: recuerde que los flancos de subida y bajada de la fuente de excitación deben ajustarse a valores realistas; proponga una solución adecuada que no sea demasiado compleja (pista: revisar la segunda parte de la tarea anterior)
4. Para ambos circuitos, diseñe un trazado que minimice las capacitancias parásitas entre nodos en las compuertas a diseñar. Para ello, construya los caminos de Euler, verifique que lo anterior es posible en los grafos resultantes, y dibuje el diagrama de palitos mostrando claramente el orden de entradas, polisilicio, las difusiones n y p , el pozo y las líneas de metal.
5. Construya el trazado de ambos circuitos por completo. Recuerde que todas las compuertas deben tener el mismo alto. Haga la simulación post-trazado con parásitas incluidas y compare y comente resultados de nuevo. Mida el consumo de ambos circuito haciéndolos conmutar a la máxima frecuencia posible (ver sección 8.5.4 de [1]).
6. Note que la aproximación usada en el punto anterior para el cálculo de potencia es incorrecta: en realidad cada señal de entrada debería conmutar suponiendo una distribución uniforme con media $1/N$, con N el número de entradas, para así hallar el factor de conmutación adecuado de la compuerta. Se otorgarán 15 puntos extra en la tarea a quienes realicen este análisis.

Nota: realice un trazado optimizado y defina el alto (*pitch*) que tendrán de ahora en adelante todas las celdas estándar que usted realizará en el curso (siga el tutorial tal cual fue

realizado). Para ello, considere también las relaciones de tamaño obtenidas de la primera tarea. Sugerencia: alto de 4.48 micrómetros máximo (8 pistas de M2, con una pista = $0.56\mu\text{m}$).

Bibliografía

- [1] N. Weste and D. Harris, *CMOS VLSI Design: A Circuits and Systems Perspective*, 4 edition. Boston: Addison-Wesley, 2010.
- [2] J. Rabaey, A. Chandrakasan y B. Nikolic. Circuitos integrados digitales. Segunda Edición. Prentice Hall. 2005