

Tarea 3: Caracterización de Flip Flop Estático Amo-Esclavo

Alexander Castro Lara*

*Escuela de Ingeniería Electrónica, Instituto Tecnológico de Costa Rica (ITCR), 30101 Cartago, Costa Rica, alexander@estudiantec.cr

Resumen—En este informe se detalla el diseño, implementación y caracterización de un flip flop estático amo-esclavo de 1 bit usando la herramienta Custom Compiler. Se utilizaron celdas de la librería D_CELLS_HDLL, específicamente la DFFHDLLX0. Se abordaron los pasos de instanciación y trazado del flip flop, la implementación de una señal de reloj con inversores, y la simulación de parámetros de desempeño críticos como t_{setup} y t_{hold} , comparándolos con los valores teóricos provistos por la herramienta LibertyDisplayer.

Palabras Clave—Flip Flop, Amo-Esclavo, Custom Compiler, t_{setup} , t_{hold} .

I. INTRODUCCIÓN

En el presente informe se detalla el proceso de diseño, implementación y caracterización de un flip flop estático amo-esclavo de 1 bit utilizando la herramienta Custom Compiler.

La caracterización permite entender y optimizar los parámetros de desempeño, como el tiempo de setup (t_{setup}) y el tiempo de hold (t_{hold}), los cuales intervienen en la confiabilidad de los flip flops en aplicaciones de alta velocidad.

Este informe se divide en varios puntos, siguiendo los pasos establecidos en la tarea, desde la instancia del esquemático y el trazado del flip flop hasta la simulación y comparación de los parámetros t_{setup} y t_{hold} .

II. INSTANCIACIÓN DEL ESQUEMÁTICO Y TRAZADO DEL FLIP FLOP

II-A. Instanciación del Esquemático

Se instanció el esquemático del flip flop estático amo-esclavo de 1 bit utilizando la celda DFFHDLLX0 de la librería D_CELLS_HDLL en la herramienta Custom Compiler. Este modelo de flip flop no cuenta con señal de reset y posee las entradas D y CN, con las salidas Q y QN. En la figura 1 se muestra el esquema.

II-B. Instanciación del Layout

Para el layout del flip flop, se utilizó la misma celda. Esta se muestra en la figura 2.

III. IMPLEMENTACIÓN DEL RELOJ

III-A. Diseño de la Cadena de Inversores

Dado que los flip flops tienen una sola señal de reloj, se implementó una cadena de inversores para conformar de manera realista la pendiente de clk a la entrada QN de los flip

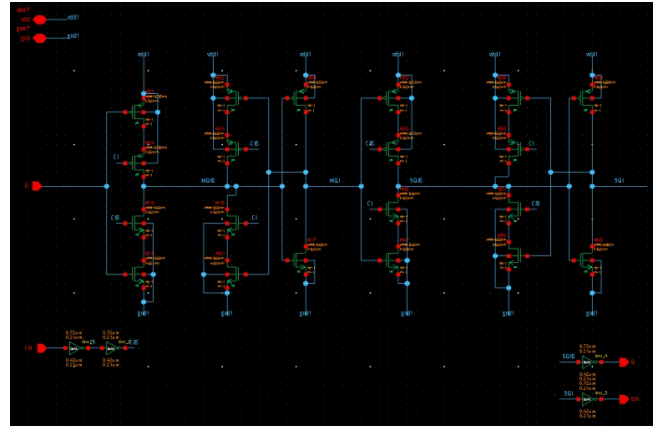


Figura 1. Esquemático del flip flop estático amo-esclavo.

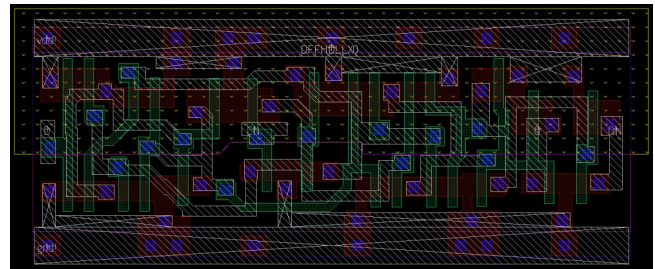


Figura 2. Instanciación del layout del flip flop estático amo-esclavo.

flops. Esta cadena consiste en dos inversores de tamaños 1X (0.72 μm) y 4X (2.88 μm). El objetivo es evitar conectar una señal de fuente ideal directamente a los pines de reloj del flip flop. Ver figura 3.

III-B. Conexión en el Trazado

Para integrar la señal de reloj en el layout del flip-flop estático maestro-esclavo, se realizó una superposición y conexión de capas metálicas.

Primero, se estableció una conexión entre las capas de Metal 1 y Metal 2, con su respectiva capa de Vía 1. Luego, una capa de Metal 3, con capa de Vía 2, formando así el enlace entre las tres capas.

Para finalizar, usando MET3 Pin se creó el puerto para el reloj. Ver figura 4.

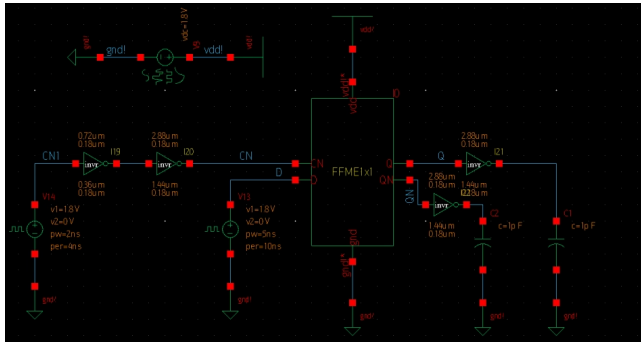


Figura 3. Adición de la señal de reloj.

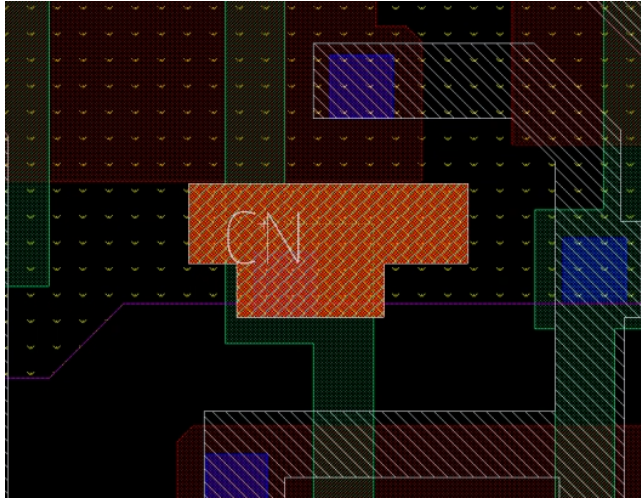


Figura 4. Imagen ampliada de las capas superpuestas para la señal de reloj.

IV. SIMULACIÓN Y CARACTERIZACIÓN DE PARÁMETROS

IV-A. Simulación

Con el diseño del reloj listo, se procedió a la simulación a nivel de trazado (LPE) para determinar los parámetros t_{setup} y t_{hold} . Se utilizó la técnica de variación de t_{cd} y la medición de t_{pcq} con la metodología descrita en el inserto E de caracterización de celdas provista para la tarea.

En la figura 5, se aprecia el resultado final de la simulación, mientras que en el cuadro I se resumen los valores obtenidos.

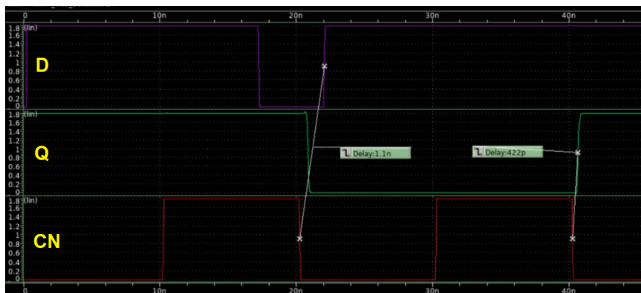


Figura 5. Resultado final de la simulación.

Cuadro I
VALORES DE T_{SETUP} Y T_{HOLD} .

Parámetro	Valor
t_{setup}	1.1 ns
t_{hold}	422 ps

IV-B. Parámetros de Referencia

En la figura 6 se presenta el valor de los tiempos del flip flop en cuestión. Estos datos fueron obtenidos mediante la herramienta LibertyDisplayer.

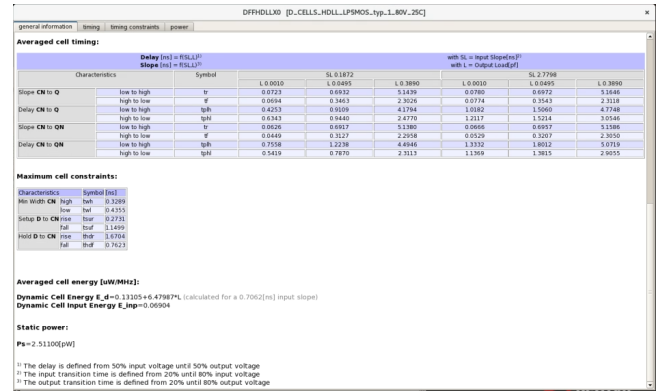


Figura 6. Tiempos de referencia del flip-flop DFFHDLX0.

IV-C. Comparación de Resultados

Los resultados obtenidos de las simulaciones fueron comparados con los tiempos t_{setup} y t_{hold} listados para el flip flop en la herramienta LibertyDisplayer. Esta comparación se puede visualizar en el cuadro II.

Cuadro II
COMPARACIÓN DE VALORES EXPERIMENTALES Y TEÓRICOS DE T_{SETUP} Y T_{HOLD} .

Parámetro	Valor Experimental (ns)	Valor Teórico (ns)
t_{setup}	1.1	1.1499
t_{hold}	0.422	0.7623

Los valores experimentales se obtuvieron siguiendo la metodología dada en el inserto E de caracterización de celdas de "Insert-E-Characterizing-Cells.pdf" proporcionado para la tarea.

Asimismo, en las figuras 7 y 8 se presentan los resultados de la simulación iterativa para t_{CD} y t_{CQ} , respectivamente. Para agilizar el proceso de toma de datos, se implementó el archivo DFF.sp, el cual puede ser encontrado en el repositorio de la tarea: https://github.com/2017153854/Tarea3_VLSI.

V. ANÁLISIS DE RESULTADOS

Retomando la tabla II, donde se presentan los valores experimentales de t_{setup} y t_{hold} obtenidos mediante simulación, y se comparan con los valores teóricos proporcionados por el fabricante, vemos que el valor experimental de t_{setup} es de 1.1 ns, mientras que el valor teórico proporcionado por el

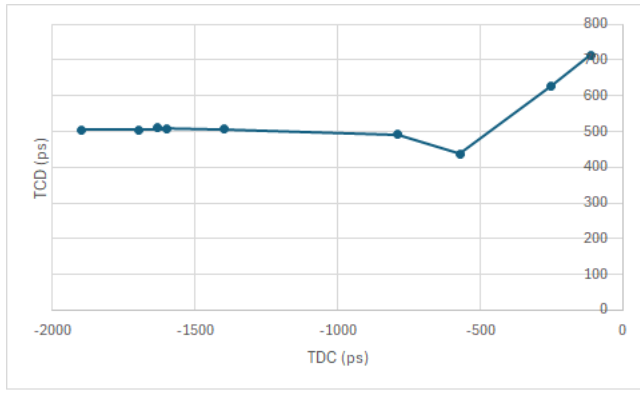


Figura 7. TCD vs TDC

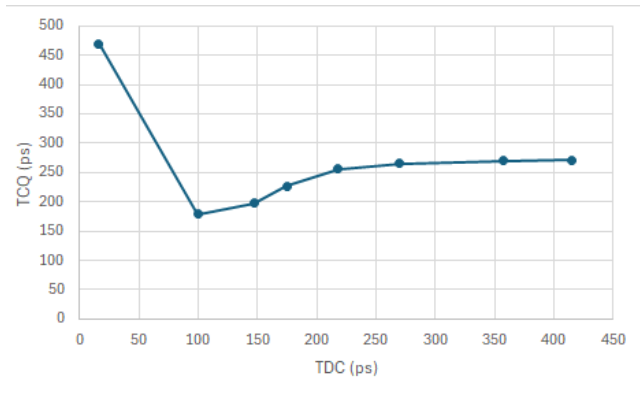


Figura 8. TCQ vs TDC

fabricante es de 1.1499 ns. La diferencia entre estos valores es mínima, lo que indica que el diseño, la implementación y metodología utilizada son correctas y permiten determinar el valor de t_{setup} .

Por otro lado, el valor experimental de t_{hold} es de 422 ps, considerablemente menor que el valor teórico de 762.3 ps. Esta diferencia puede deberse a razones como idealizaciones en las condiciones de simulación consideradas por el fabricante, variaciones en el proceso de fabricación, o simplificaciones y suposiciones en el modelo teórico. A pesar de esta diferencia, el valor de t_{hold} obtenido sigue siendo razonable y dentro del rango estipulado por los valores obtenidos en la figura 6, deducida a través de LibertyDisplayer.

De manera general, los resultados obtenidos muestran una buena correlación con los valores teóricos, especialmente en el caso de t_{setup} . Las diferencias observadas en t_{hold} destacan la importancia de considerar las variaciones del proceso de caracterización.

VI. CONCLUSIONES

Después de realizar la tarea, se puede concluir lo siguiente:

La implementación del flip flop estático amo-esclavo utilizando la celda DFFHDLLX0 y la metodología de simulación a nivel de trazado ha demostrado ser efectiva, como lo evidencia la mínima diferencia entre los valores experimentales

y teóricos de t_{setup} .

La discordancia en el valor de t_{hold} , que es menor en los resultados experimentales, sugiere que pueden existir idealizaciones o variaciones en el proceso de fabricación y caracterización. Aun así, los valores obtenidos se encuentran dentro de un rango aceptable.

REFERENCIAS

- [1] N. H. E. Weste and D. M. Harris, *CMOS VLSI Design: A Circuits and Systems Perspective*, Pearson, 2011.
- [2] Jan M. Rabaey, *Digital Integrated Circuits: A Design Perspective*, Prentice Hall, 2002.