

## Tarea 4

**Curso:** Introducción al Diseño de Circuitos Integrados

**Código:** EL-5807

**I semestre 2024**

**Fecha de entrega:** 12 de junio de 2024. Subir al GitHub el archivo de informe

**Profesor:** Alfonso Chacón Rodríguez

### Implementación de un contador 8 bits, en 180nm CMOS ( $V_{DD}=1.8\text{ V}$ )

En este proyecto se diseñará un contador arriba-abajo de 8 bits con carga paralela, con reset asincrónico, que pueda correr al menos a 100 MHz.

- a. Para los FF la celda y el sumador se utilizarán las celdas DFRRHDLLX0 y FAHDLLX0 respectivamente. Mida a nivel de esquemático el retardo del sumador y su consumo de potencia. Verifique cuál es la señal crítica de entrada del sumador. Mida también la potencia dinámica del registro sencillo (un solo bit) y del registro completo (8 bits) con la señal de reloj conmutando a la máxima frecuencia.
- b. Conecte primero el trazado del sumador sencillo (de un bit) y el del registro sencillo (de un bit), más aquellas compuertas lógicas que requiera utilizando el paradigma de celdas estándar. Asegúrese de cumplir tanto el DRC como el LVS. Mida los retardos y el consumo de estas unidades sencillas de la misma manera que lo hizo en a.
- c. Implemente el circuito y trazado del contador completo.
  - i. Genere el modelo Verilog del contador completo a nivel de compuertas (use como guía la descripción del contador a nivel de compuerta expuesto en las figuras 11.49 y 11.50 de [1]). Verifique por simulación digital del funcionamiento en las cuatro condiciones: carga paralela, cuenta ascendente, cuenta descendente, y stand-by. Escriba un testbench adecuado para probar esas cuatro condiciones. Use el proceso visto durante el tutorial para la creación y testeado de una celda correcta por construcción (descrita inicialmente con código Verilog). Note que usted tiene los modelos Verilog de las celdas estándar y que los puede usar para simulación digital.
  - ii. Genere el esquemático correcto por construcción a partir de la descripción a nivel de compuertas. Ejecute una simulación mixta y verifique el correcto funcionamiento para las cuatro condiciones estipuladas. Mida el consumo de potencia de la unidad total a máxima frecuencia, suponiendo que el contador cuenta continuamente.

- iii. Realice el trazado completo del circuito, usando la metodología de diseño con celdas estándar y la distribución de alimentación (ver pp. 556-60 en [1]). Verifique el DRC y el LVS, extraiga las parásitas y simule el funcionamiento otra vez (LPE) usando el mismo testbench. Compare con el resultado anterior y explique las potenciales diferencias.
- iv. (Por 20 puntos extra en la tarea). Grafique el valor de alimentación en los pines de  $V_{DD}$  de alguno de los FFs que haya quedado colocados más lejos de las tiras de alimentación general (straps) y contraste contra lo esperado de una alimentación ideal. Inserte luego una celda de capacitancia de desacople a la par de esta celda y grafique de nuevo el valor de alimentación en dichos pines, para el desacople capacitivo puede usar DECAP3HDLL y para los rellenos puede usar FEED2HDLL, donde el número indica el ancho en pistas estándar . Comente.

## **Bibliografía**

[1] N. Weste and D. Harris, CMOS VLSI Design: A Circuits and Systems Perspective, 4 edition. Boston: Addison-Wesley, 2010.

[2] J. Rabaey, A. Chandrakasan y B. Nikolic. Circuitos integrados digitales. Segunda Edición. Prentice Hall. 2005