

TAREA 4: IMPLEMENTACIÓN DE UN CONTADOR DE 8 BITS, EN 180nm CMOS ($V_{DD} = 1,8V$)

Anthony Leiva Valverde

Alexander Castro Lara

1. Introducción

En este informe se presentan los resultados del diseño e implementación de un contador 8 bits en tecnología CMOS de 180nm. El contador cuenta con cuatro modos de operación: *stand-by*, carga paralela, conteo ascendente y conteo descendente. Además, se incorporó un reset asincrónico.

Se evaluarán las simulaciones digitales, de señal mixta y post-layout en Custom Compiler con el objetivo de validar el diseño y caracterizar parámetros como el retardo de las celdas utilizadas y el consumo de potencia..

2. Punto A: Mediciones a Nivel de Esquemático de las Celdas Utilizadas

2.1. Sumador y Registro de un Bit

Para el registro y el sumador de un bit se usaron las celdas DFRRHDLLX0 y FAHDLLX0, respectivamente. Con estas celdas se configuraron los esquemas de las figuras 1 y 2 y se obtuvieron las siguientes mediciones:

- Retardo del sumador: 200 ps
- Consumo de potencia del sumador: $15 \mu W$
- Señal crítica de entrada del sumador: Cin
- Potencia dinámica del registro sencillo (un solo bit): 7.02 nW
- Retardo del registro: 73 ps
- Consumo de potencia del registro: $10 \mu W$

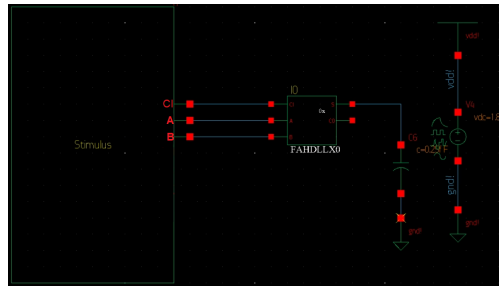


Figura 1: Esquemático para la simulación del sumador FAHDLLX0.

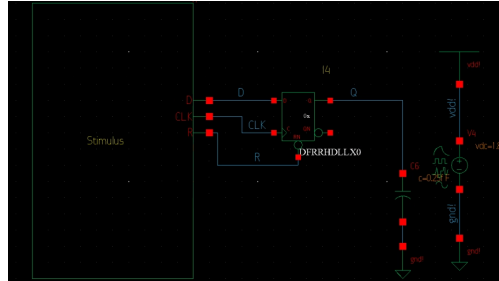


Figura 2: Esquemático para la simulación del flip-flop DFRRHDLLX0.

2.2. Registro Completo (8 bits)

Para el registro completo de 8 bits, se construyó el esquemático de figura 3 en Custom Compiler y se midieron los siguientes resultados:

- Retardo del registro completo: 500 ps
- Consumo de potencia del registro completo: 82 μW

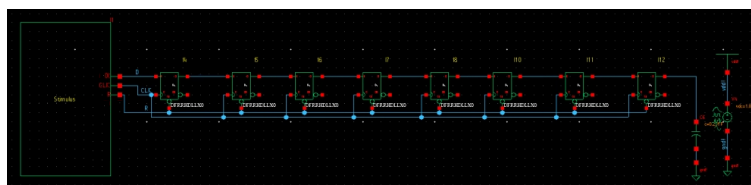


Figura 3: Esquemático para la simulación del arreglo de flip-flops para 8 bits.

3. Punto B: Trazado y Mediciones de Unidades Simples

3.1. Trazado del Sumador y Registro de un Bit

Se realizó el trazado del sumador FAHDLLX0 y registro de un bit DFRRHDLLX0 para determinar mediante simulaciones post-layout los valores de retardo y consumo de potencia. Estos trazados se pueden ver en las figuras 4 y 5, respectivamente, dando como resultado los siguientes valores:

- Retardo del sumador sencillo: 247 ps
- Consumo de potencia del sumador sencillo: 19.44 μW
- Retardo del registro sencillo: 301 ps
- Consumo de potencia del registro sencillo: 13.5 μW

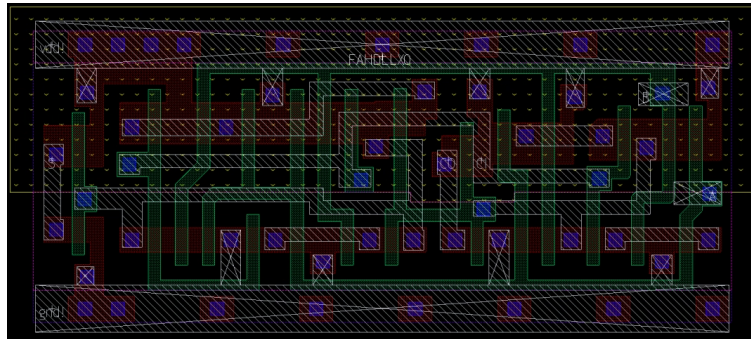


Figura 4: Layout del sumador completo FAHDLLX0.

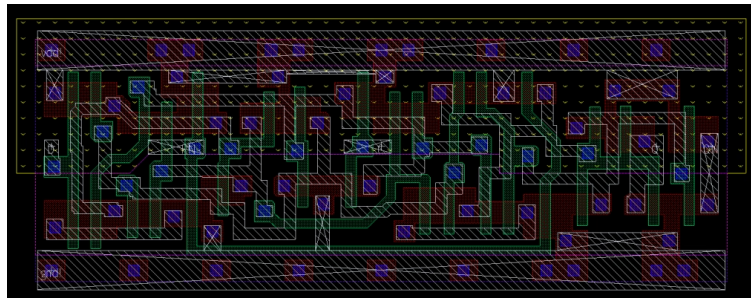


Figura 5: Layout del flip-flop DFRRHDLLX0.

4. Punto C: Implementación y Trazado del Contador Completo

4.1. Simulación Digital: Modelo en Verilog

El diseño del contador completo de 8 bits fue implementado en Verilog en el archivo `ContadorCompleto_EnVerilog.v`, disponible en el repositorio de la tarea: https://github.com/2017153854/Tarea4_VLSI. En este archivo se usan librerías estándar y primitivas para construir el contador de manera modular.

El diseño se basa en dos módulos principales: un contador de 1 bit (`FullCounter1x1`) y un contador de 8 bits (`FullCounter`). A continuación se describen cada uno de estos módulos:

El módulo `FullCounter1x1` utiliza componentes básicos como el sumador completo (`FAHDLLX0`), un multiplexor 4 a 1 (`MU4HDLLX0`) y un flip-flop tipo D con reset asíncrono (`DFRRHDLLX0`).

- El sumador completo (FAHDLLX0) calcula la suma y el acarreo en base a las entradas binarias DU, CI y la salida Q.
- El multiplexor de 4 a 1 (MU4HDLLX0) selecciona la entrada adecuada para el estado del contador. La selección del mux está compuesta por los bits de E (enable o stand-by) y L (load), con E el MSB y L el LSB. La dinámica de los estados se resume en la tabla 1.
- El flip-flop tipo D (DFRRHDLLX0) almacena el estado actual del bit del contador, con la capacidad de resetear el valor a 0.

Tabla 1: Estados del contador completo de acuerdo a la *Selección* del MUX 4 a 1.

| E (Enable o Stand-By) | L (Load) | Modo de Operación | Descripción |
|-----------------------|----------|-------------------|--|
| 0 | 0 | Conteo | Conteo normal. Si es ascendente o descendente, depende del valor de DU. La entrada 0 del mux es la salida del sumador completo. |
| 0 | 1 | Carga | Hay una carga paralela. La entrada 1 del mux es la señal D (dato a ser cargado). |
| 1 | 0 | Stand-by | La entrada 2 del mux es la salida Q, por lo que el estado se mantiene hasta que L se apague. |
| 1 | 1 | Stand-by | La entrada 2 del mux es la salida Q, por lo que el estado se mantiene hasta que L se apague. |

El módulo FullCounter integra ocho instancias del módulo FullCounter1x1, interconectadas para formar el contador de 8 bits.

- Cada bit del contador está conectado en cascada, permitiendo el acarreo de un bit al siguiente.
- Se asegura que el contador se incremente correctamente en cada ciclo de reloj.

Para la verificación funcional digital se implementó el esquemático de la figura 6. El verilog del estímulo utilizado se encuentra disponible en el repositorio de la tarea (https://github.com/2017153854/Tarea4_VLSI), específicamente, en el archivo EstimuloContadorCompleto.v. El resultado de la simulación, con sus estados señalados, se muestra en la figura 7.

4.2. Simulación a Nivel de Esquemático

Para este caso, primero se confeccionó el esquemático de un contador de un bit a nivel de compuertas básicas. El diagrama se puede ver en la figura 8. Luego, se creó el esquemático del contador completo en la figura 9, donde se instancian 8 contadores de 1 bit.

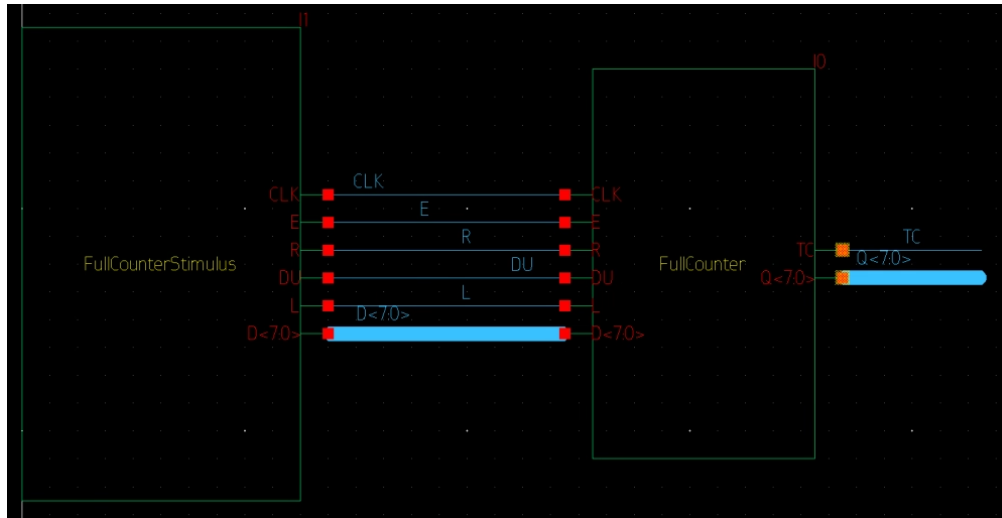


Figura 6: Esquemático para la simulación digital.



Figura 7: Resultado de la simulación digital para el contador completo de 8 bits.

EL resultado de la simulación de señal mixta para el contador de 1 bit y el contador completo de 8 bits, se muestran en las figuras 10 y 11, respectivamente.

Después de las simulaciones de señal mixta, se calculó el consumo de potencia dinámica a máxima frecuencia de operación. El valor medido fue de:

$$P_{sw} \approx 90\mu W \quad (1)$$

4.3. Trazado del Contador Completo

Para esta sección, se realizó el trazado del contador de 1 bit, y posteriormente el contador completo de 8 bits. En las figuras 12 y 13 se muestran cada uno de los trazados, respectivamente.

Figura 8: Esquemático para la simulación de señal mixta de un contador de 1 bit.

Figura 9: Esquemático para la simulación de señal mixta de un contador de 8 bits.

Figura 10: Resultado de la simulación de señal mixta para el contador de 1 bit.

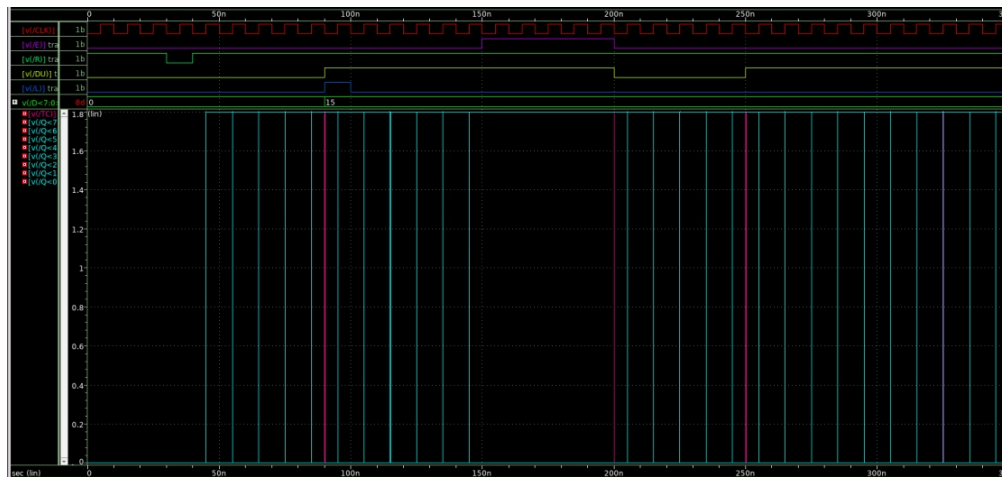


Figura 11: Resultado de la simulación de señal mixta para el contador completo de 8 bits.

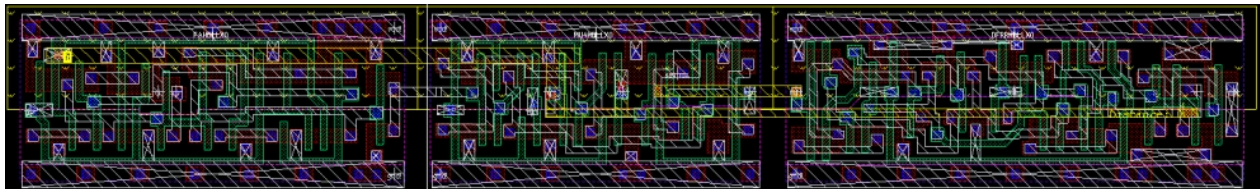


Figura 12: Layout del contador de 1 bit.

Se aseguró la distribución adecuada de los rieles de alimentación tal como se indica en las pp. 556-60 de [1].

En la figura 14 se muestra el resultado de la simulación post-layout del contador completo de 8 bits. A partir de esta, se derivan las siguientes mediciones:

- Retardo total del contador: 1630 ps
- Consumo de potencia total del contador: 126.2 μW

5. Análisis de Resultados

El análisis de los resultados obtenidos a partir de las mediciones y simulaciones realizadas permite evaluar el desempeño de los componentes diseñados y el contador completo de 8 bits. En el nivel de esquemático, se midieron tiempos de retardo y consumos de potencia para el sumador de un bit y el registro. El sumador presentó un retardo de 200 ps y un consumo de potencia de 15 μW , con la señal crítica de entrada siendo Cin (acarreo de entrada). El registro, por su parte, tuvo un retardo de 73 ps y un consumo de potencia de 10 μW , con una potencia dinámica de 7.02 nW. Para el registro completo de 8 bits, el retardo fue de 500 ps y el consumo de potencia alcanzó los 82 μW .

Las mediciones post-layout revelaron un incremento tanto en el retardo como en el consumo de potencia debido a los efectos parasitarios y la complejidad del trazado. El sumador sencillo

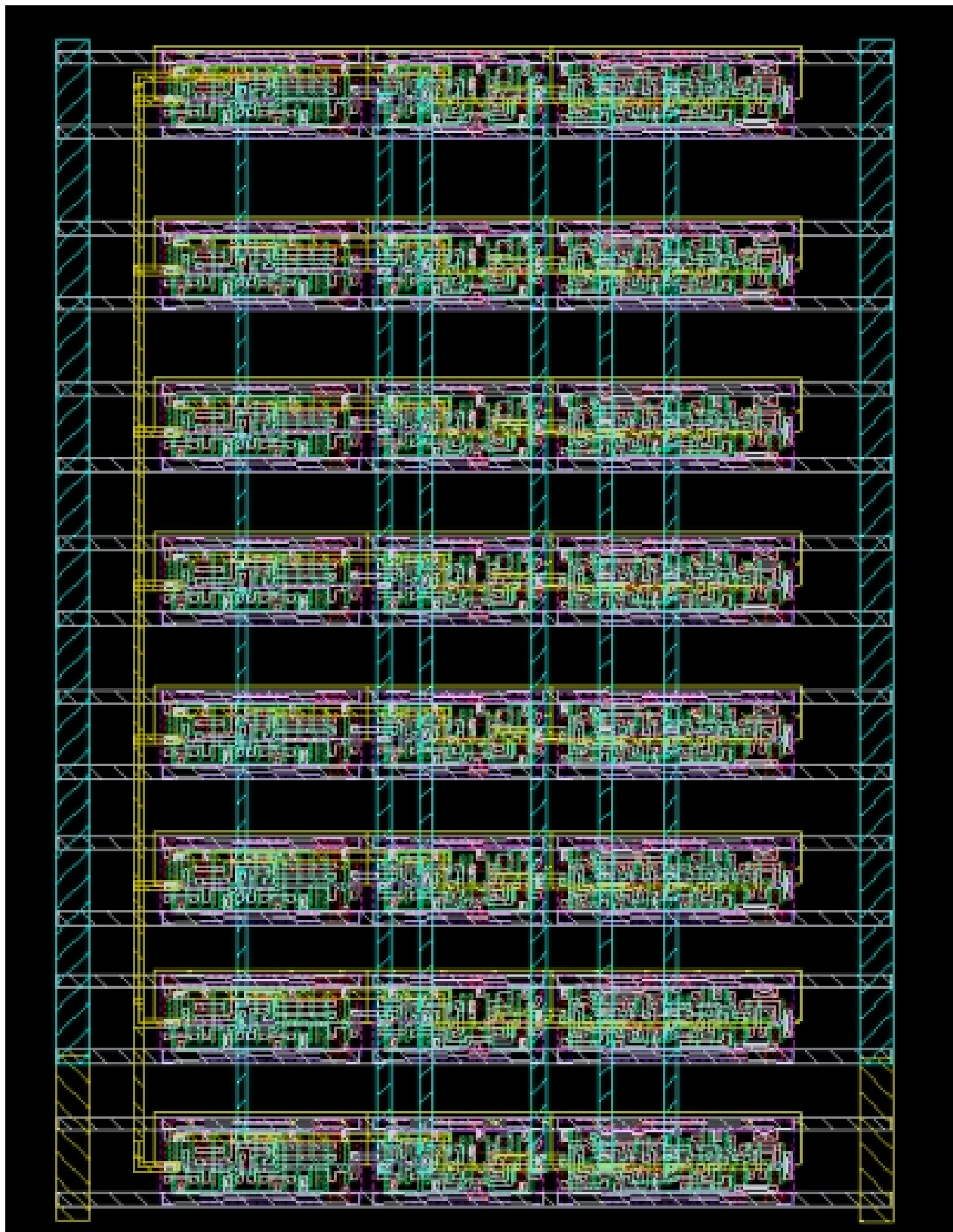


Figura 13: Layout del contador completo de 8 bits.

presentó un retardo de 247 ps y un consumo de potencia de $19.44 \mu\text{W}$, mientras que el registro

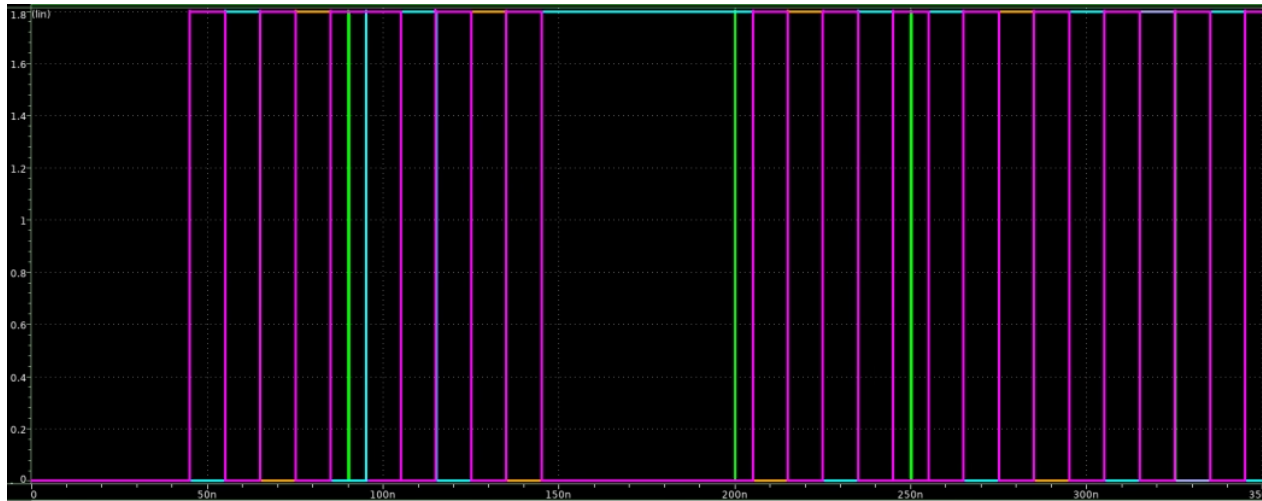


Figura 14: Resultado final de la simulación post-layout del contador completo de 8 bits.

sencillo tuvo un retardo de 301 ps y un consumo de potencia de $13.5 \mu\text{W}$.

La implementación digital del contador completo de 8 bits, descrita en Verilog, demostró su funcionalidad correcta en los cuatro modos de operación (conteo ascendente, conteo descendente, carga y stand-by) definidos por la selección del MUX 4 a 1. La simulación digital confirmó que el contador operó de manera adecuada, incrementando los bits de manera correcta y respondiendo a las señales de control como se esperaba.

En las simulaciones a nivel de esquemático, tanto para el contador de 1 bit como para el contador completo de 8 bits, arrojaron que ambos módulos operan adecuadamente. La simulación de señal mixta también arrojó un consumo de potencia dinámica de aproximadamente $90 \mu\text{W}$ a máxima frecuencia de operación, evidenciando un comportamiento eficiente en términos de consumo de energía.

Finalmente, el trazado del contador completo de 8 bits y su posterior simulación post-layout mostraron un retardo total de 1630 ps y un consumo de potencia de $126.2 \mu\text{W}$. Estos valores tienen un incremento respecto a las mediciones previas, lo cual es consistente con la complejidad adicional y los efectos físicos reales introducidos en el proceso de trazado.

6. Conclusiones

La evaluación de los componentes diseñados revela un desempeño satisfactorio en términos de tiempos de retardo y consumos de potencia tanto en el nivel digital, esquemático (señal mixta) y post-layout, aunque con incrementos en los últimos debido a efectos parasitarios y la complejidad del trazado.

El sumador y el registro individual demostraron un funcionamiento con retardos y consumos de potencia mínimos, lo que resalta su eficiencia energética.

Por otro lado, la implementación digital, en señal mixta y post-layout del contador de 8 bits cumple con los requisitos funcionales en los distintos modos de operación. A pesar del aumento en el

retardo total y el consumo de potencia observados en la simulación post-layout, estos resultados son consistentes con las expectativas provenientes de la complejidad inherente del proceso de trazado y los efectos físicos reales.

Referencias

- [1] N. H. E. Weste and D. M. Harris, *CMOS VLSI Design: A Circuits and Systems Perspective*, Pearson, 2011.
- [2] Jan M. Rabaey, *Digital Integrated Circuits: A Design Perspective*, Prentice Hall, 2002.