## 4.2 主存储器

- •一、概述
- •二、半导体存储芯片简介
- ·三、随机存取存储器(RAM)
- ·四、只读存储器(ROM)
- · 五、存储器与 CPU 的连接
- 六、存储器的校验
- 七、提高访存速度的措施

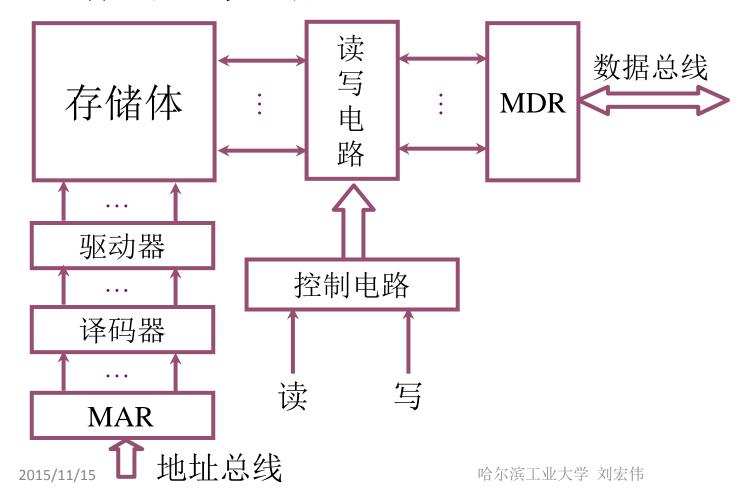
# 4.2 主存储器——概述

- 1. 主存的基本组成
- · 2.主存与CPU之间的联系
- 3.主存中存储单元地址的分配
- 4.主存的技术指标

# 4.2 主存储器

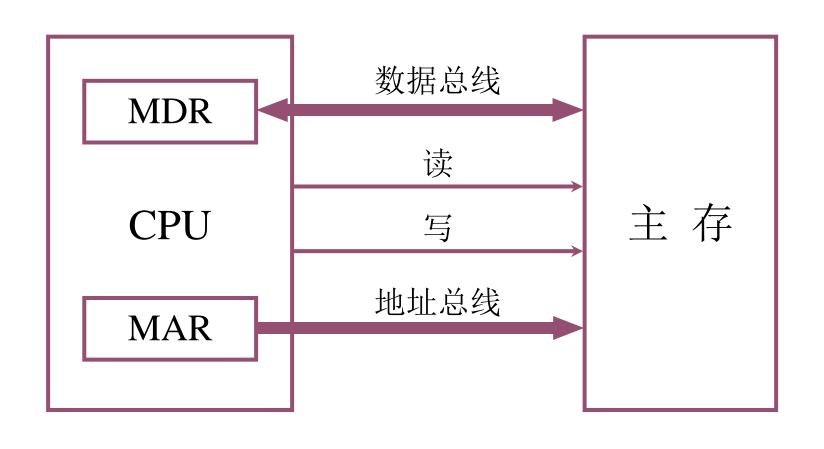
一、概述

1. 主存的基本组成



## 2. 主存和 CPU 的联系

4.2



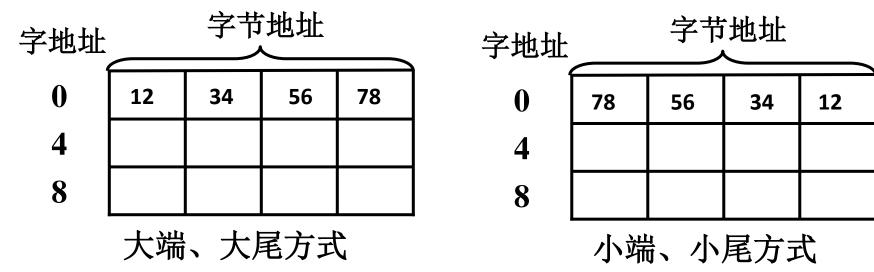
#### 3. 主存中存储单元地址的分配

4.2

12345678H 这个数据如何在主存储器中进行存储?

高位字节 地址为字地址

低位字节 地址为字地址



设地址线 24 根

按字节寻址 2<sup>24</sup> = 16 MB

若字长为16位

按 字 寻址

8 MW

若字长为32位

按 字 寻址

**4 MW** 

4. 主存的技术指标

4.2

(1) 存储容量 主存存放二进制代码的总位数

(2) 存储速度

• 存取时间 存储器的 访问时间

读出时间 写入时间

• 存取周期 连续两次独立的存储器操作

(读或写) 所需的 最小间隔时间

读周期 写周期

(3) 存储器的带宽 位/秒

## 4.2 主存储器

- •一、概述
- •二、半导体存储芯片简介
- ·三、随机存取存储器(RAM)
- ·四、只读存储器(ROM)
- · 五、存储器与 CPU 的连接
- 六、存储器的校验
- 七、提高访存速度的措施

## 4.2 主存储器——半导体芯片简介

- 1. 半导体存储芯片的基本结构
- 2. 半导体存储芯片的译码驱动方式
  - ✓线选法
  - ✓重合法

#### 二、半导体存储芯片简介

4.2

1. 半导体存储芯片的基本结构

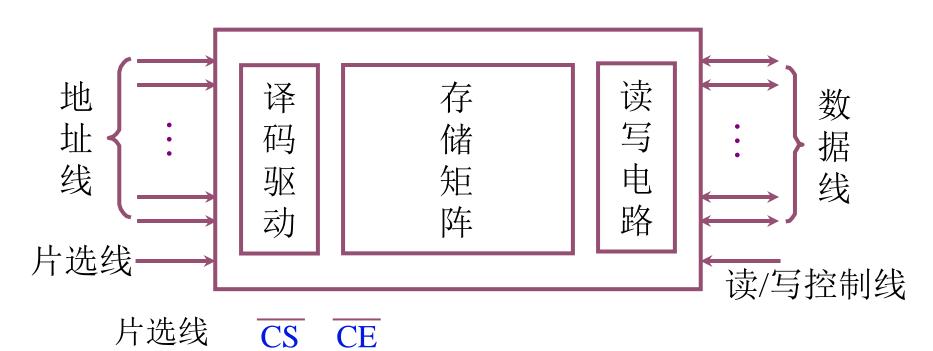


芯片容量	数据线(双向)	地址线(单向)
1K×4位	4	10
16K×1位	1	14
□业大 <b>多K</b> 竞赛 8位	8 哈尔滨	2015/11/15 13

#### 二、半导体存储芯片简介

4.2

1. 半导体存储芯片的基本结构 □



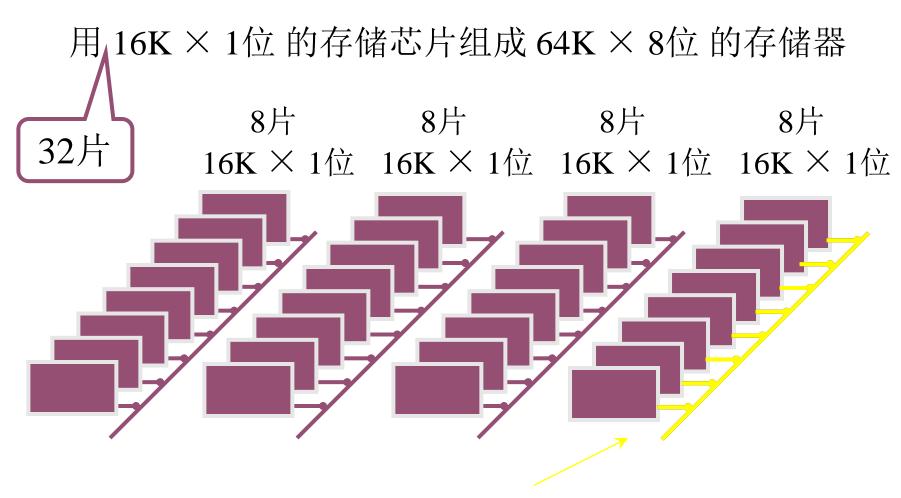
读/写控制线

WE (低电平写 高电平读)

 $\overline{OE}$  (允许读)  $\overline{WE}$  (允许写)

### 存储芯片片选线的作用

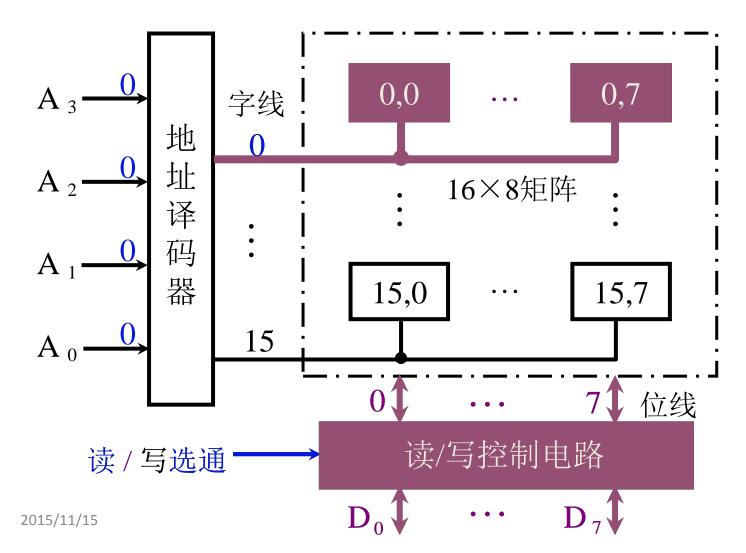
4.2



当地址为65535时,此8片的片选有效

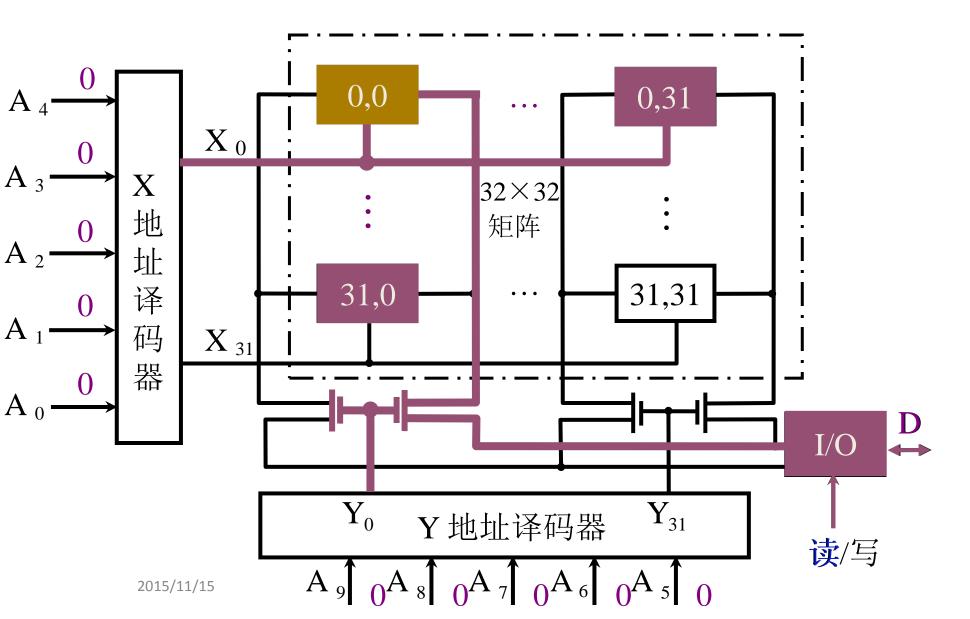
# 2. 半导体存储芯片的译码驱动方式 4.2

(1) 线选法



(2) 重合法

4.2



## 4.2 主存储器

- •一、概述
- •二、半导体存储芯片简介
- •三、随机存取存储器(RAM)
- ·四、只读存储器(ROM)
- · 五、存储器与 CPU 的连接
- 六、存储器的校验
- 七、提高访存速度的措施

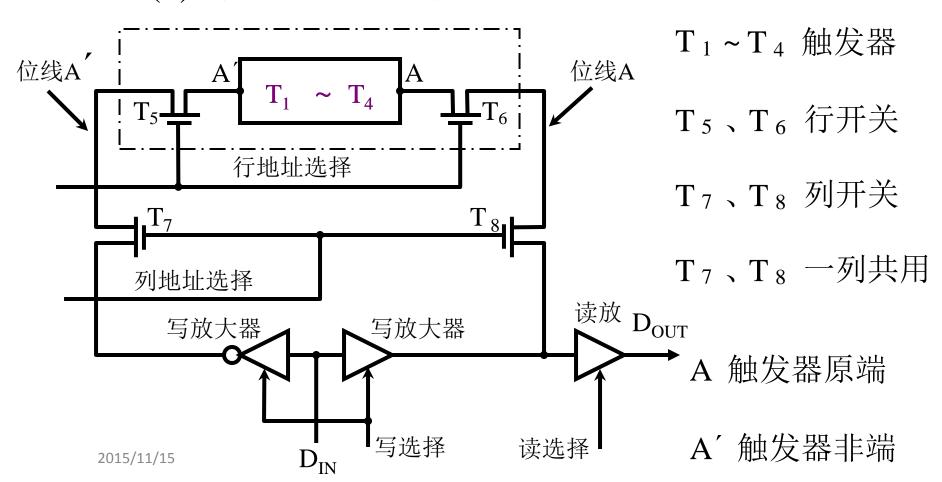
## 4.2 主存储器——随机存取存储器

#### • 1. 静态 RAM (SRAM)

- ✓保存0和1的原理是什么?
- ✓基本单元电路的构成是什么?
- ✓对单元电路如何读出和写入?
- ✓典型芯片的结构是很么样子的?
- ✓静态RAM芯片的如何进行读出和写入操作?
- 2. 动态 RAM ( DRAM )
- 3. 动态 RAM 和静态 RAM 的比较

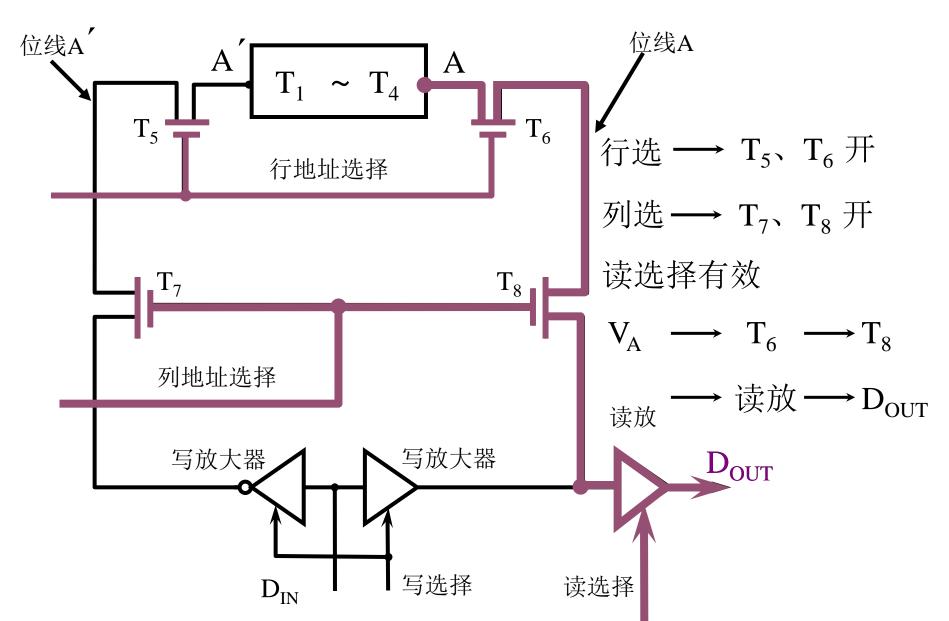
## 三、随机存取存储器(RAM) 4.2

- 1. 静态 RAM (SRAM)
  - (1) 静态 RAM 基本电路



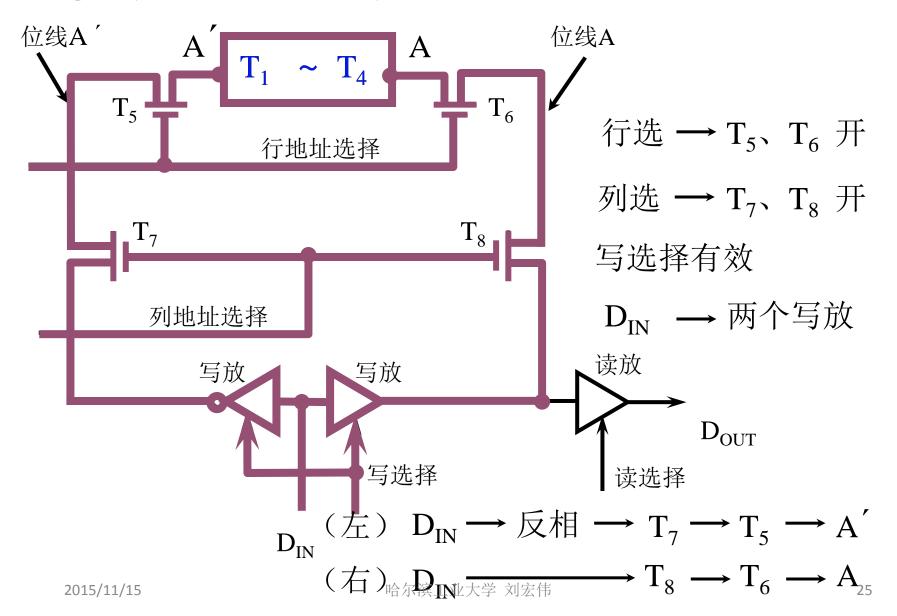
① 静态 RAM 基本电路的 读 操作





#### ② 静态 RAM 基本电路的 写 操作

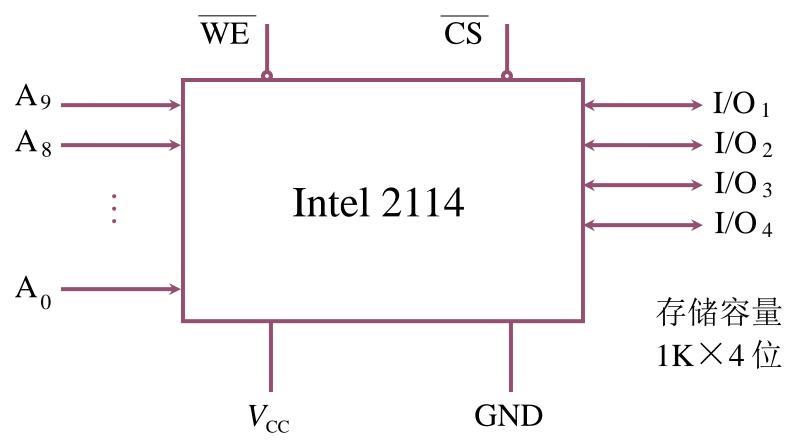
4.2



#### (2) 静态 RAM 芯片举例

4.2

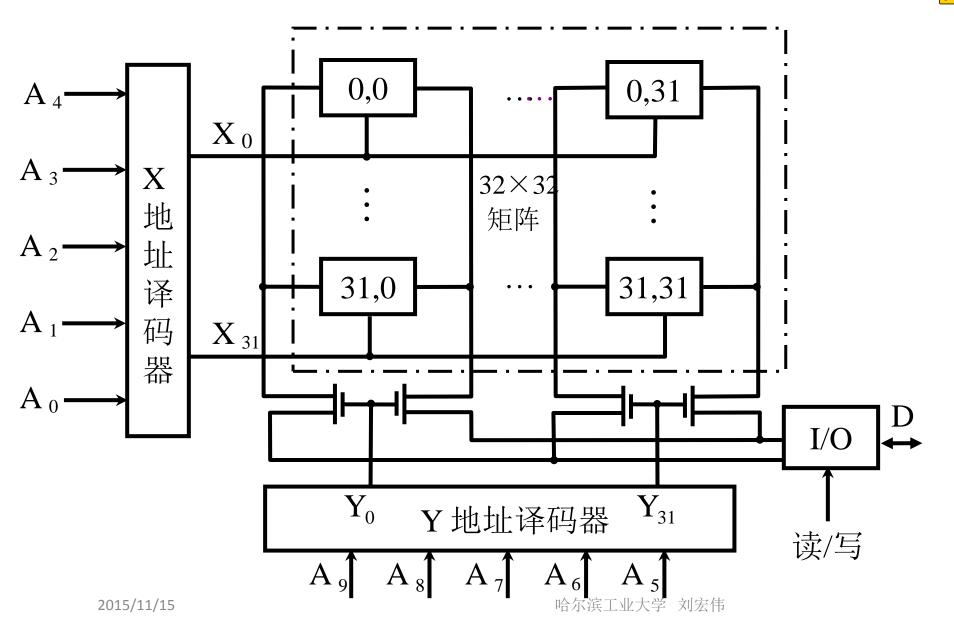
① Intel 2114 外特性

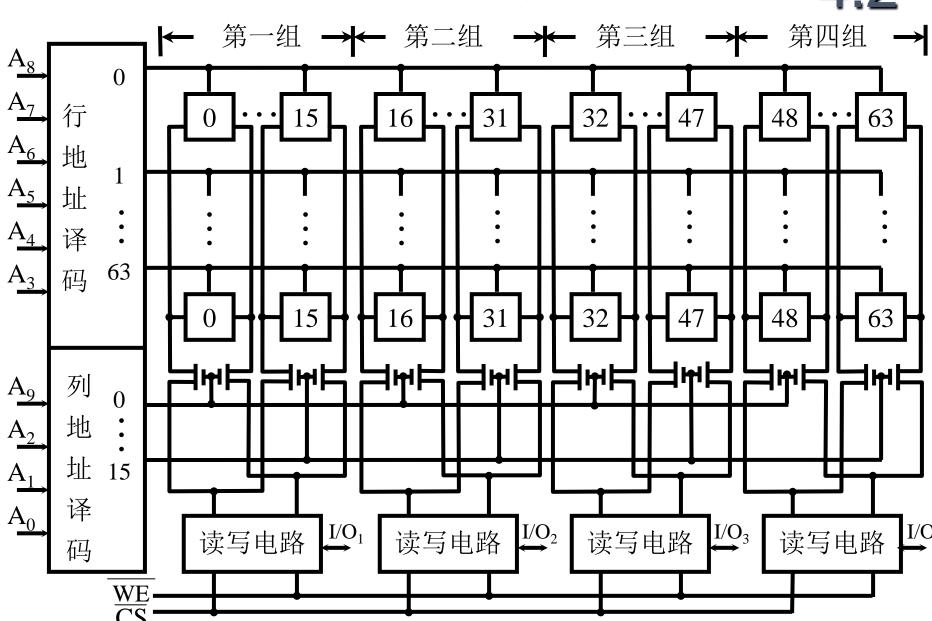


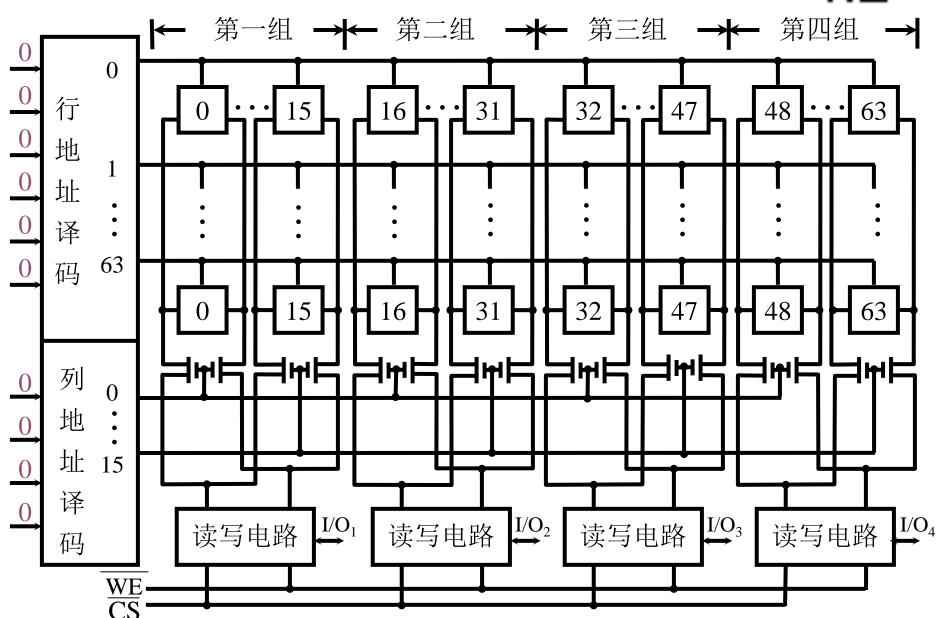
2015/11/15

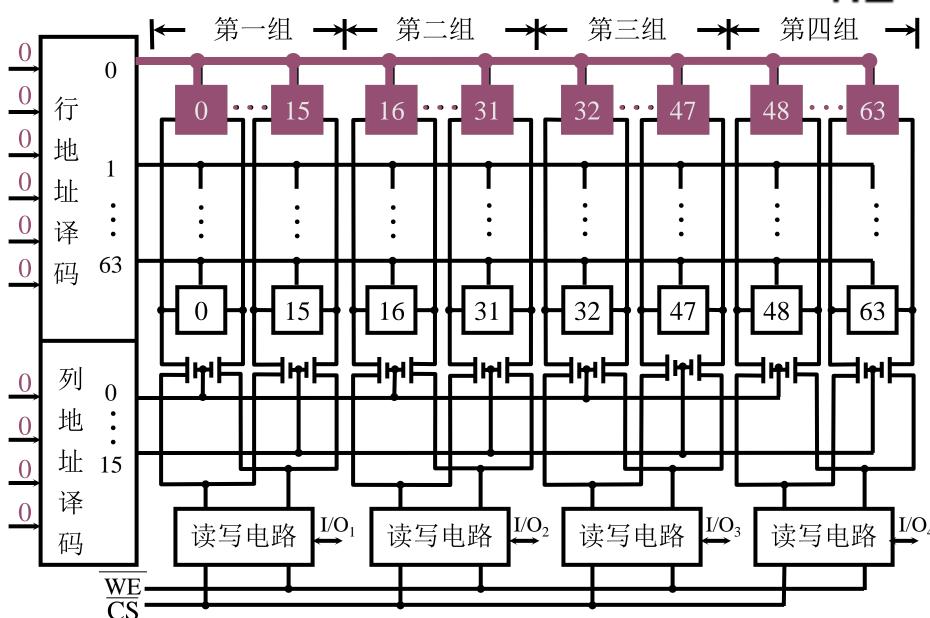
#### 曾经讲到过的重合法,怎么实现选一次四列?

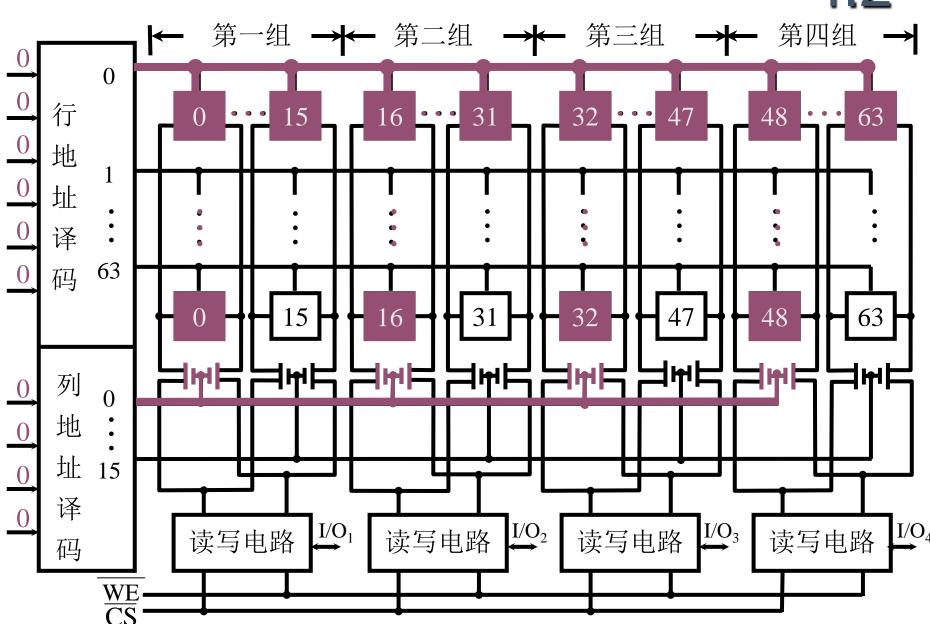












② Intel 2114 RAM 矩阵 (64 × 64) 读 第一组 🛶 第二组 🛶 第三组 **→** 第四组 → 0 63 列 地 址 译  $I/O_1$ 读写电路 读写电路 读写电路 读写电路。 **WE** 

② Intel 2114 RAM 矩阵 (64 × 64) 读 第一组 🛶 第二组 🛶 第三组 **→** 第四组 → 0 63 列 地 址 译  $I/O_1$ 读写电路 读写电路 读写电路 读写电路

33

② Intel 2114 RAM 矩阵 (64 × 64) 读 第一组 → ★ 第二组 → ★ 第三组 → ★ 第四组 → 地 译 63 码 列 地 址 读写电路 读写电路 读写电路 读写电路

② Intel 2114 RAM 矩阵 (64 × 64) 读 第一组 🛶 第二组 🛶 第三组 → 第四组 0 63 列 地 址 译  $I/O_3$  $I/O_4$ 读写电路

63

列

地

址

译

③ Intel 2114 RAM 矩阵 (64 × 64) 与 第一组 🛶 第二组 🛶 第三组 0 48 31 16 地 址 译 63 码 48 列 地 址 15 译 I/O<sub>1</sub>  $I/O_3$ 读写电路 读写电路 读写电路 读写电路 码 WE CS

 $A_8$ 

 $A_{7}$ 

③ Intel 2114 RAM 矩阵 (64 × 64) 与 第一组 🛶 第二组 🛶 第三组 **→** 第四组 → 0 32 31 16 63 31 列 地 址 译  $I/O_1$ 读写电路 读写电路 读写电路 读写电路 WE

38

③ Intel 2114 RAM 矩阵 (64 × 64) 与 第一组 🛶 第二组 🛶 第三组 **→** 第四组 → 0 63 31 列 地 址 译  $I/O_1$ 读写电路 读写电路 读写电路 读写电路 WE

③ Intel 2114 RAM 矩阵 (64 × 64) 与 第一组 🛶 第二组 🛶 第三组 第四组 0 63 列 地 址 译  $I/O_3$ 读写电路 读写电路 读写电路 读写电路 WE

③ Intel 2114 RAM 矩阵 (64 × 64) 与 第一组 🛶 第二组 🛶 第三组 **→** 第四组 → 0 63 列 地 址 译 I/O<sub>1</sub> 读写电路 读写电路 读写电路 读写电路

③ Intel 2114 RAM 矩阵 (64 × 64) 与 第一组 🛶 第二组 🛶 第三组 **→** 第四组 → 0 63 列 地 址 译  $I/O_3$ 读写电路

③ Intel 2114 RAM 矩阵 (64 × 64) 与 第一组 🛶 第二组 🛶 第三组 **→** 第四组 → 0 63 列 地 址 译 I/O<sub>3</sub>

③ Intel 2114 RAM 矩阵 (64 × 64) 与 第一组 🛶 第二组 🛶 第三组 第四组 0 63 地 址 译  $I/O_3$ 读写电路

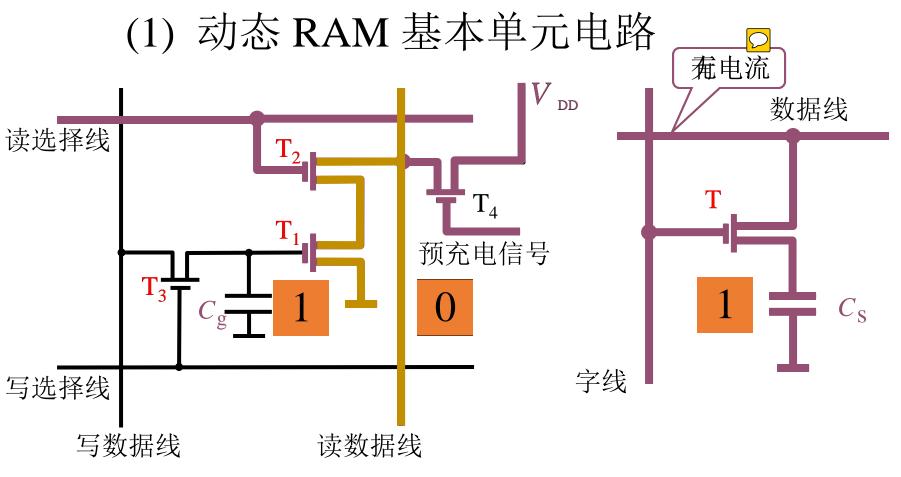
③ Intel 2114 RAM 矩阵 (64 × 64) 与 第一组 🛶 第二组 🛶 第三组 **→** 第四组 → 0 译 63 列 地 址 译 I/O<sub>3</sub> 读写电路

# 4.2 主存储器——随机存取存储器

- 1. 静态 RAM (SRAM)
- 2. 动态 RAM ( DRAM )
  - ✓保存0和1的原理是什么?
  - ✓基本单元电路的构成是什么?
  - ✓对单元电路如何读出和写入?
  - ✓典型芯片的结构是很么样子的?
  - ✓动态RAM芯片的如何进行读出和写入操作?
  - ✓动态RAM为什么要刷新,刷新方法?
- 3. 动态 RAM 和静态 RAM 的比较

#### 2. 动态 RAM (DRAM)

4.2



读出与原存信息相反 写入与输入信息相同 2015/11/15

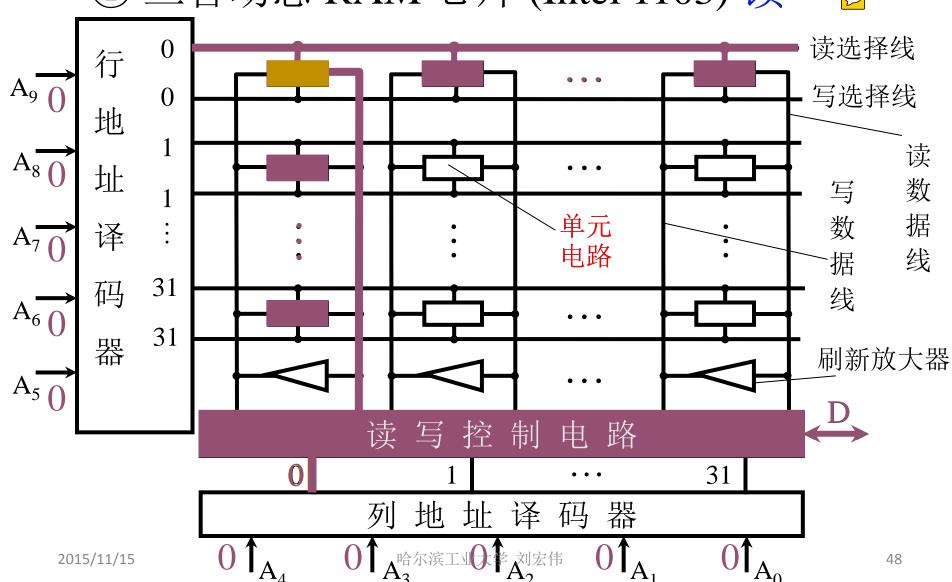
读出时数据线有电流为"1"

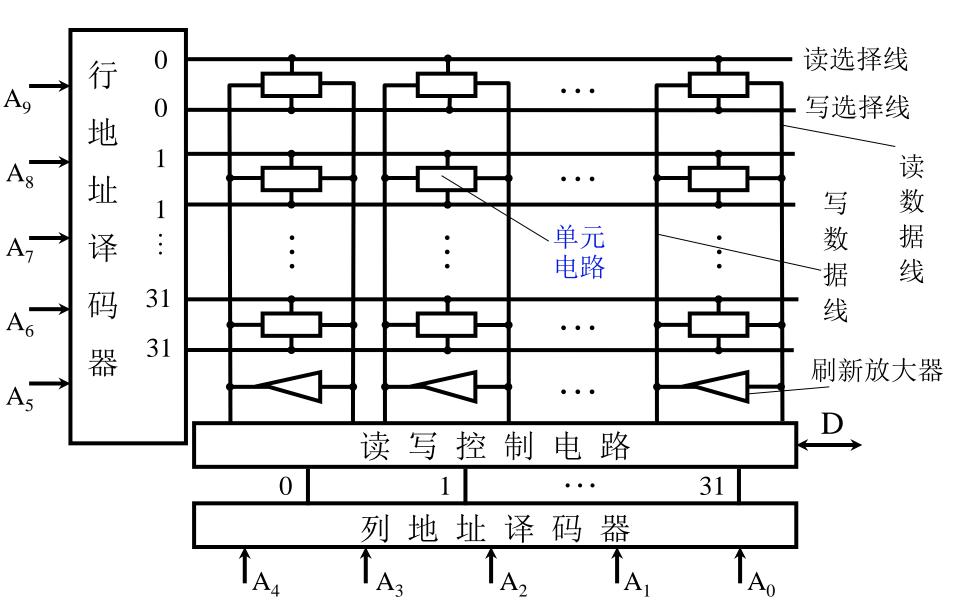
写入时 Cs 充电为 "1" 放电为 "0"

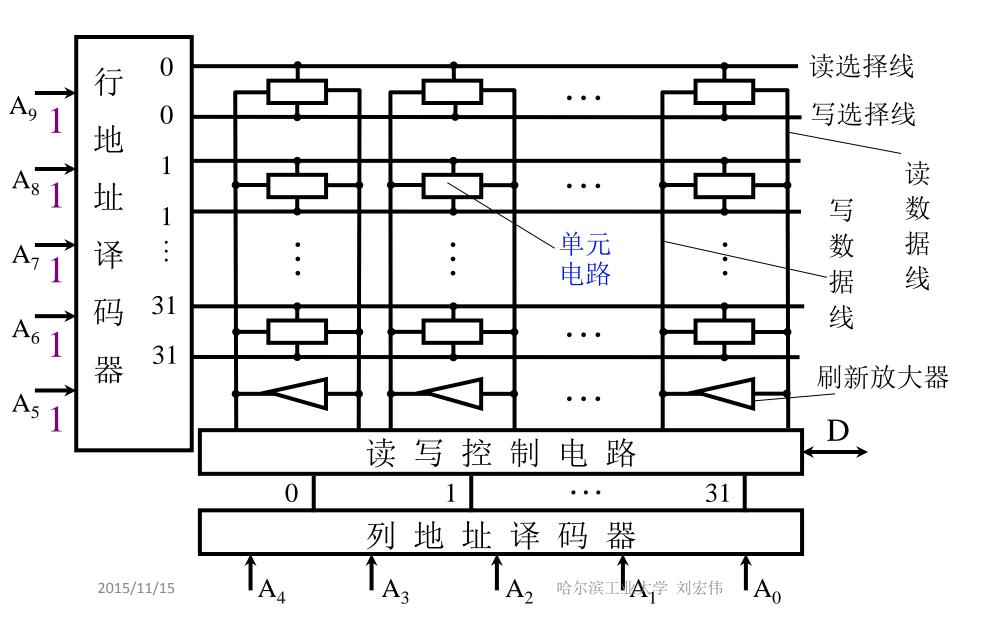
#### (2) 动态 RAM 芯片举例

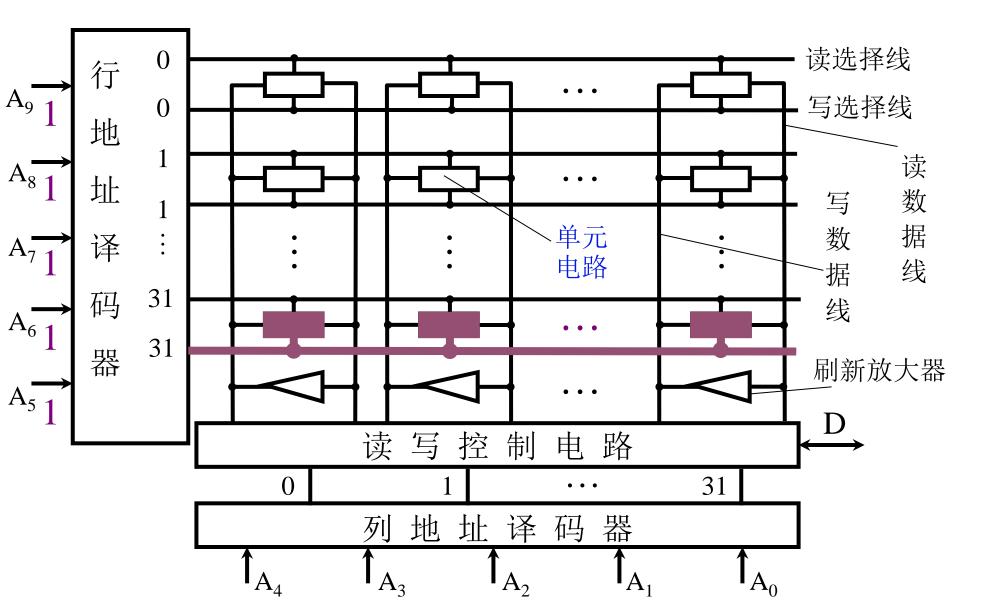
4.2

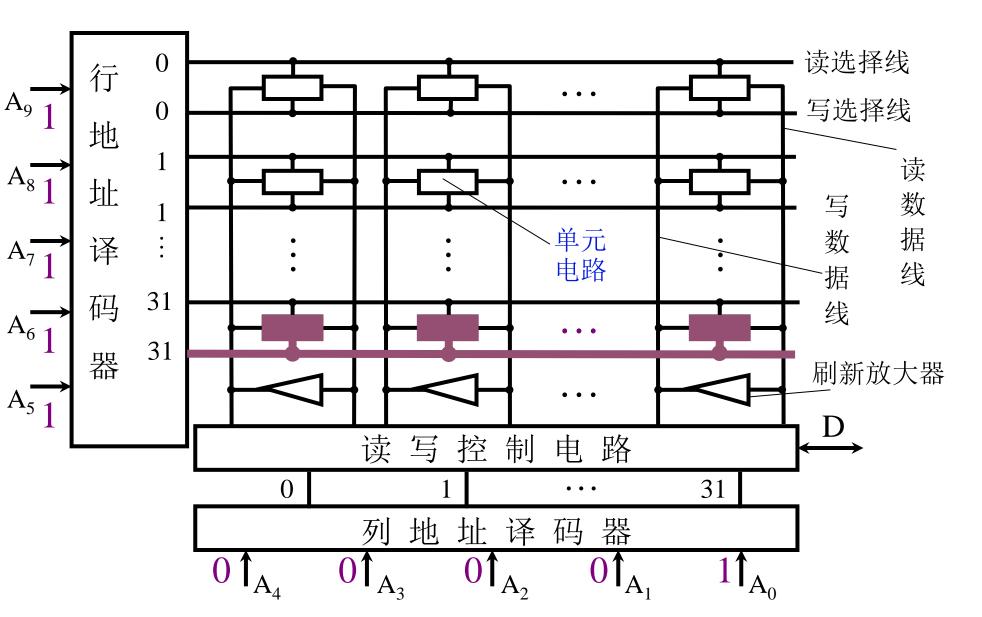
① 三管动态 RAM 芯片 (Intel 1103) 读

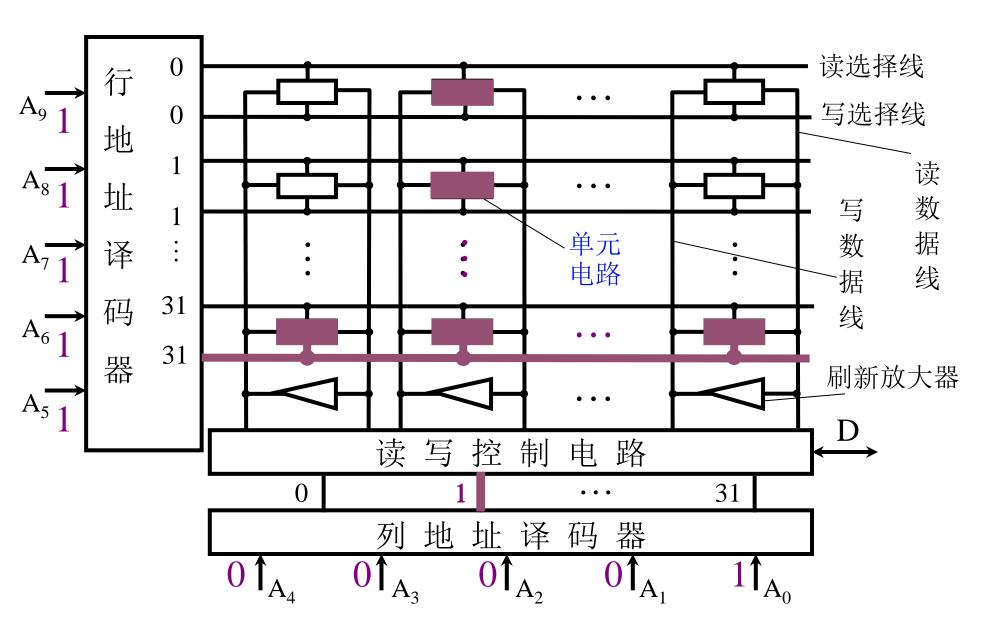


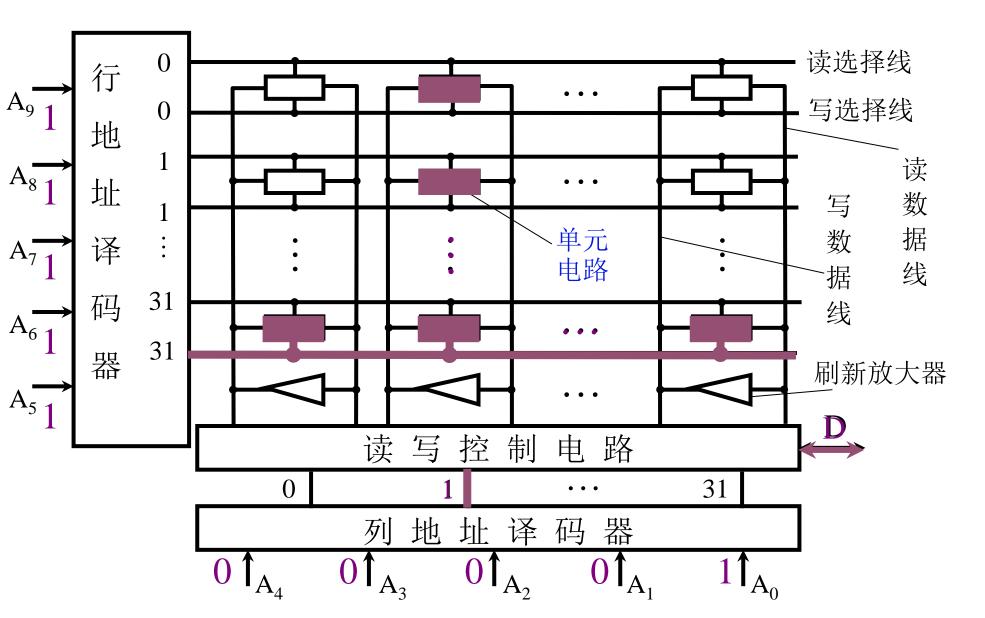


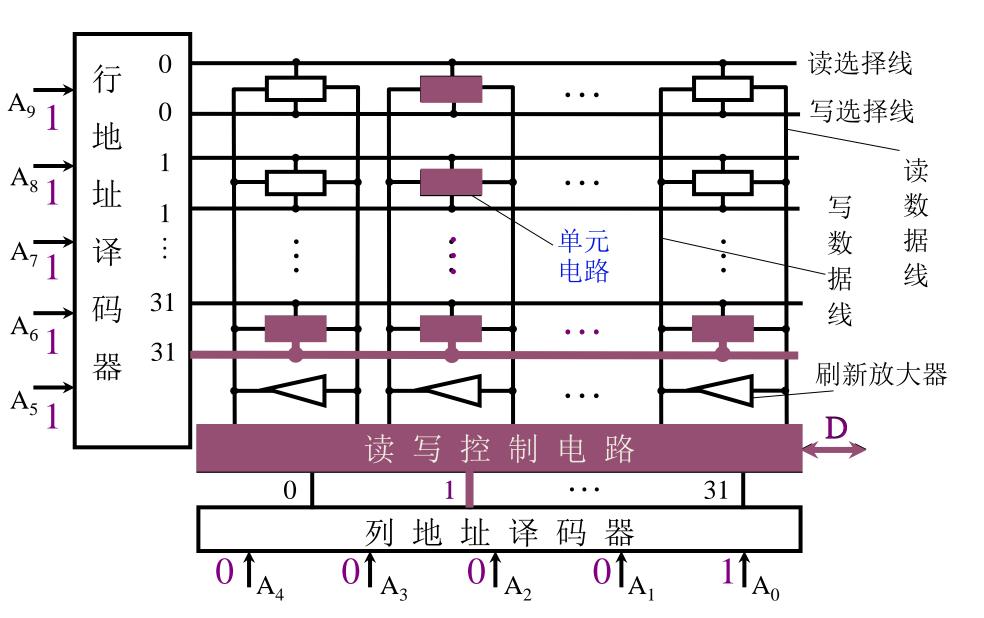


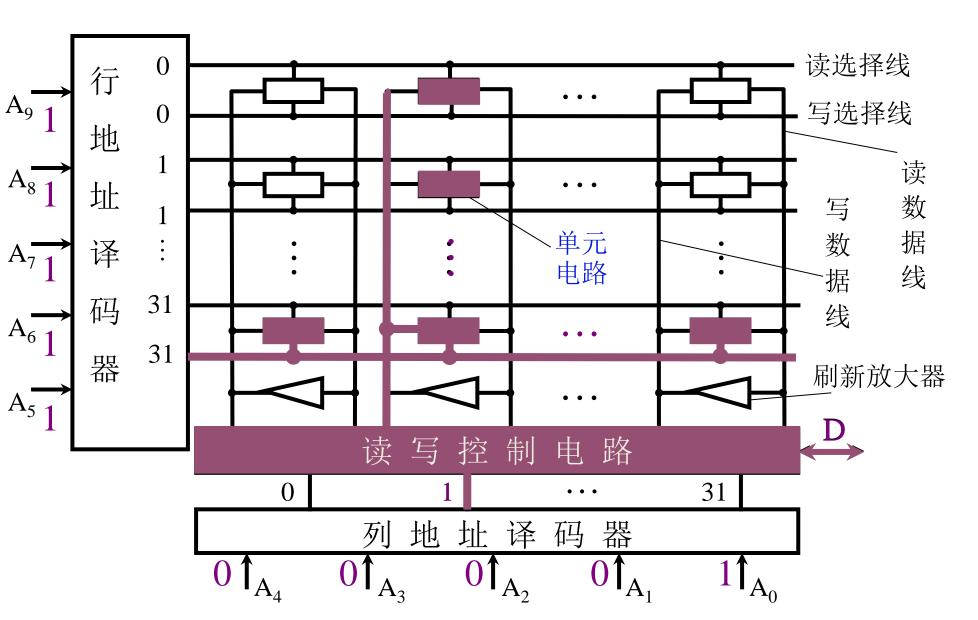


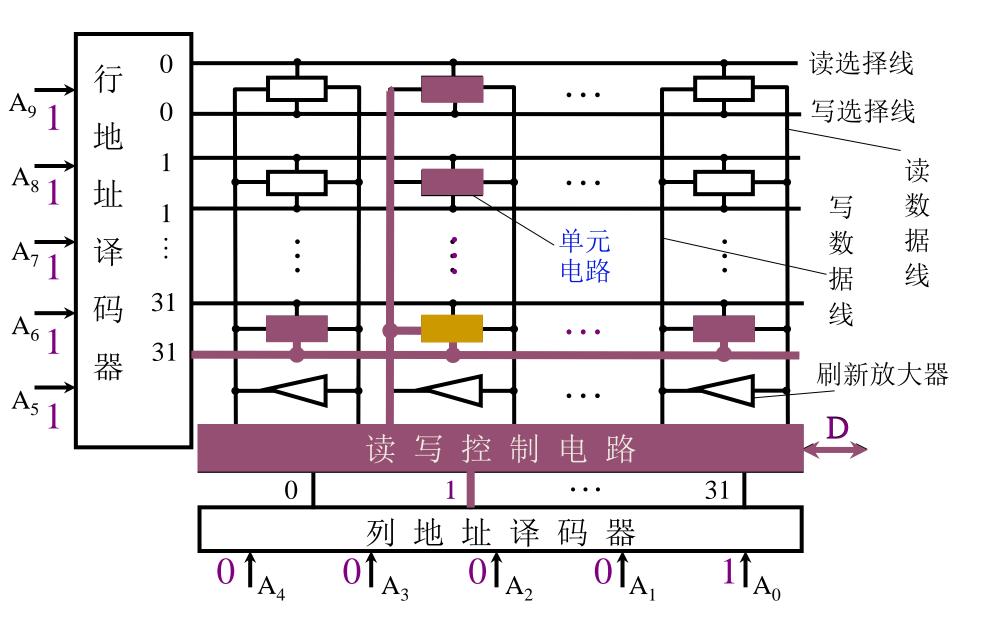




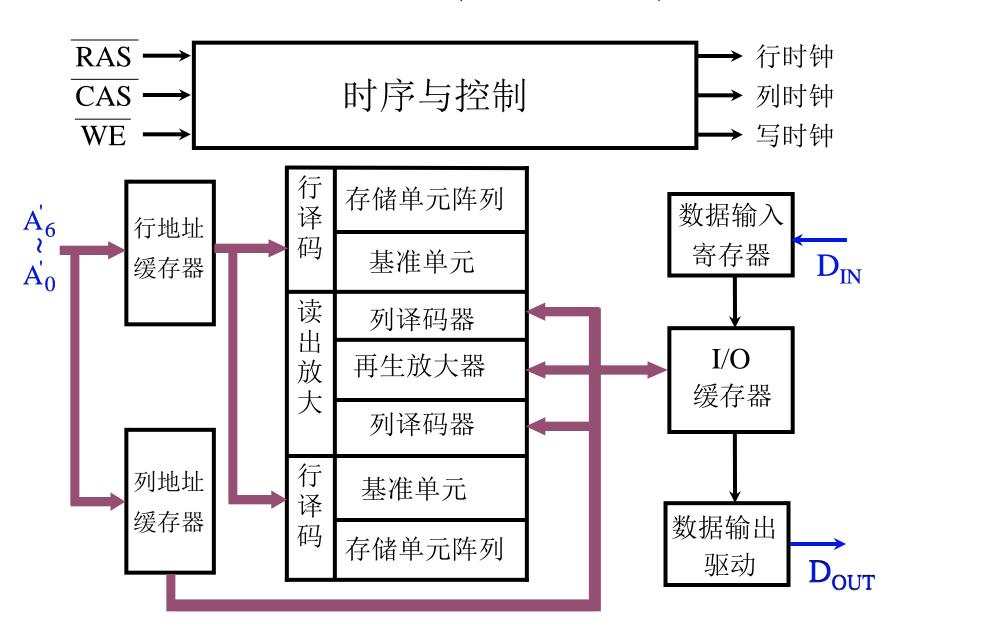


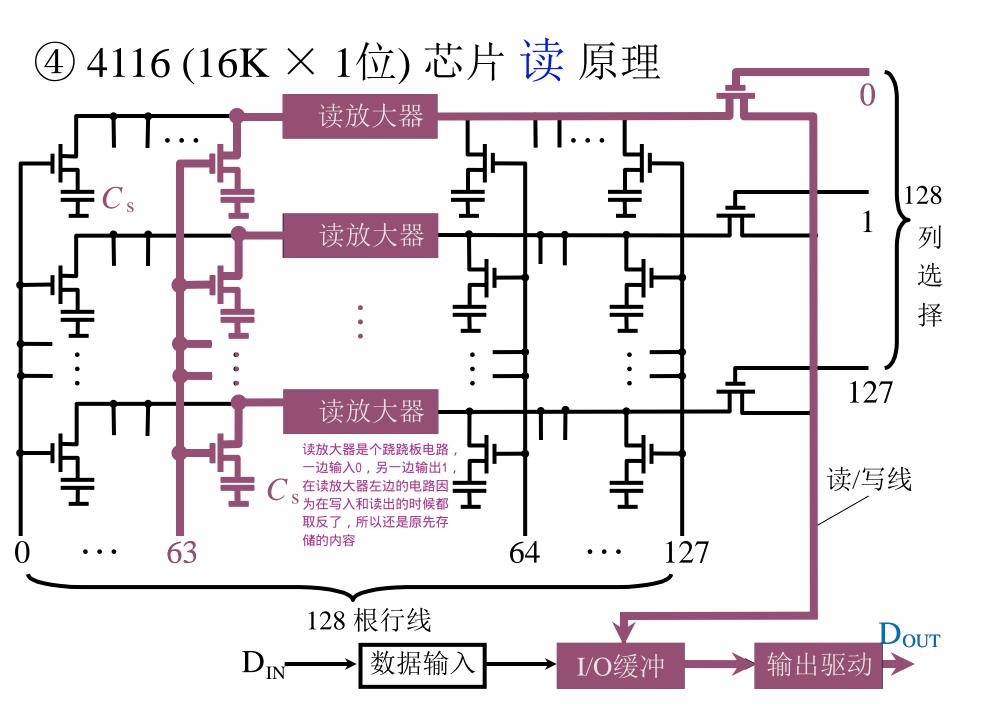


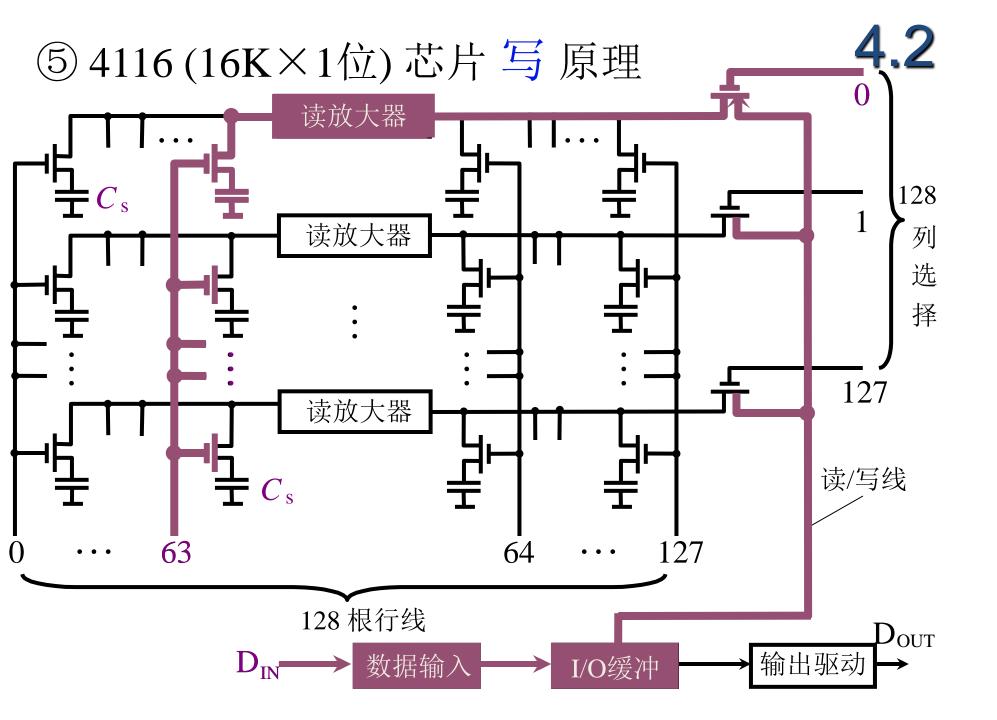




③ 单管动态 RAM 4116 (16K × 1位) 外特性 4.2 □







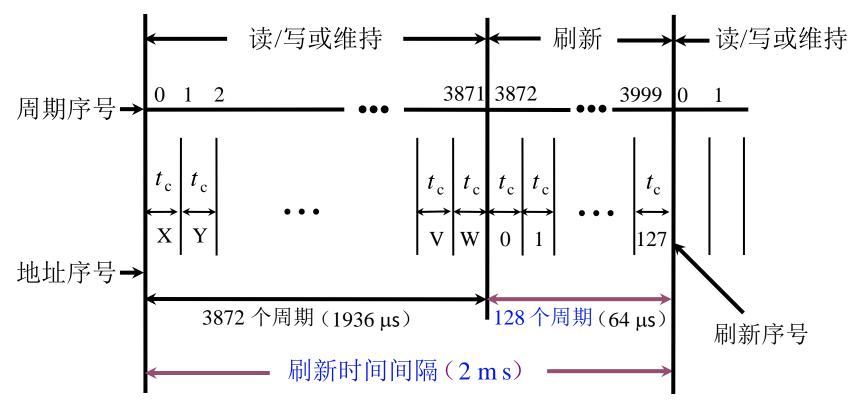
### (4) 动态 RAM 刷新



4.2

#### 刷新与行地址有关

① 集中刷新 (存取周期为0.5 μs)以128 × 128 矩阵为例

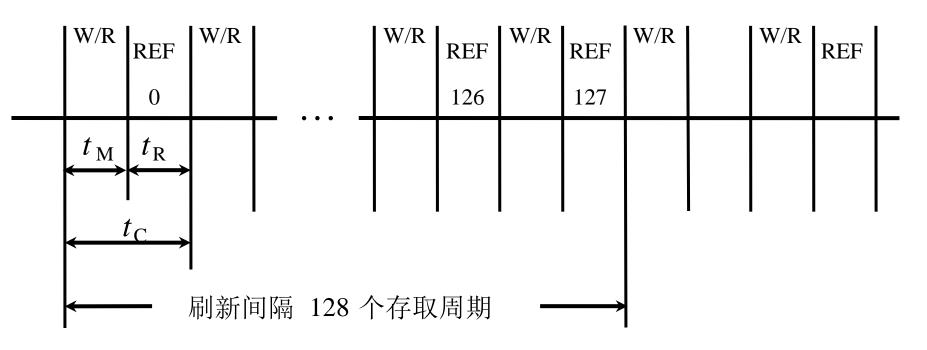


- "死区"为  $0.5 \, \mu s \times 128 = 64 \, \mu s$
- "死时间率"为 128/4 000 × 100% = 3.2%

### ②分散刷新(存取周期为1 µs)

4.2

以 128×128 矩阵为例



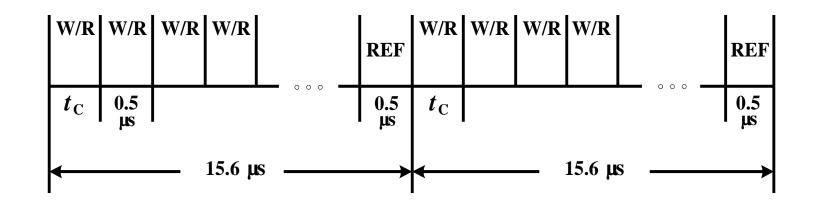
$$t_{\rm C}$$
 =  $t_{\rm M}$  +  $t_{\rm R}$    
↓ ↓ ↓   
读写 刷新

无 "死区"

(存取周期为0.5 μs + 0.5 μs)

③分散刷新与集中刷新相结合(异步刷新)4.2

对于 128 × 128 的存储芯片(存取周期为 0.5 μs) 若每隔 15.6 μs 刷新一行



每行每隔 2 ms 刷新一次

"死区"为 0.5 µs

将刷新安排在指令译码阶段,不会出现"死区"

### 3. 动态 RAM 和静态 RAM 的比较

4.2

主存	DRAM	SRAM	
存储原理	电容	触发器	缓存

集成度 高 一个晶体管 , 一个电容 低 六个晶体管

芯片引脚 少 多

功耗 大

价格 低 高

速度 慢 快