

# 实验五

## 试验名称：使用 ChipScope Pro 分析 6 位计数器

### 1、功能描述：

(0) 设计一个 7 分频电路模块，将开发板的时钟信号分频，获得的  $\text{clk\_div7} = 50\text{MHz}/7$  的时钟信号；

```
module clock_div7(output clk_div7, input clock, input rst_n );
```

这里， $\text{clk\_div7}$  是分频时钟信号输出；

$\text{clock}$  是系统时钟输出；

$\text{rst\_n}$  是异步复位；

(1) 设计一个 6 位计数器，在分频获得的频率近似为  $F = 7142857.14\text{Hz}$  的时钟信号控制下，进行计数。该计数器的输入/输出端口如下：

i)、输出端口：

$\text{count}$  —— 6 位计数器，连接 Spartan - 3E FPGA Starter Kit Board 上的 8 个 LED：LED7 ~ LED2。

ii) 输入端口：

$\text{clock}$  —— 连接 50MHz 的时钟晶振 (C9)；

$\text{rst\_n}$  —— 异步复位输入端口，低电平 (1'b0) 有效；连接开发版上 SW0，当  $\text{SW0} = 0$  (off) 时，计数器复位。

$\text{dir}$  —— 计数方向控制，高电平 (1'b1) 有效，连接开发版上 SW1：

a) 当计数器复位  $\text{SW0} = 0$  (off) 时，

如果  $\text{SW1} = 0$  (off) 时，计数器初始值： $\text{count} = 6'b0$ ；

如果  $\text{SW1} = 1$  (on) 时，计数器初始值： $\text{count} = 6'b'h3f$ ；

b) 当计数器复位  $\text{SW1} = 0$  (off) 时，计数器递增计数；

当计数器复位  $\text{SW1} = 1$  (on) 时，计数器递减计数；

```
module counter( output [5:0] count, input clock, input rst_n, input dir);
```

### 2、使用 ChipScope Pro 分析设计：

在设计添加 ICON 和 ILA。这里，ILA 的 “Sample Data Depth” 改为：2048，“Data Port Width” 为：6，与  $\text{count}$  相连，“Trigger Port Width” 设置为：2，与  $\text{count}[5:4]$  相连。

### 3、设计中需要解决的问题：

(1) 设计 7 分频电路模块，**提示：使用移位寄存器**

(2) 插入 ICON 和 ILA 模块，注意端口位宽和正确连接；

(3) 使用 ChipScope Pro 观察分析采样信号，以验证 7 分频电路正确工作。