

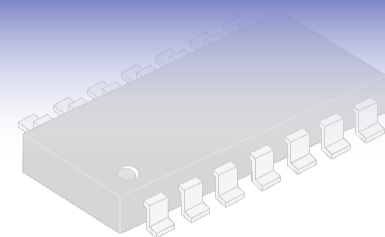
(2021-2022-2)-IS209-1 (在线课程)

FPGA应用实验

huanfei@sjtu.edu.cn

2022年3月18日

FPGA应用实验教学内容



□ 调整后的实验教学内容

- 实验一、利用 8 个发光二极管（LED）形成流水灯显示
- 实验二、计时模块设计
- 实验三、序列检测模块设计

□ 实验平台：Xilinx ISE 10.1 和 ModelSim XE 6.3c

□ 实验要求：

- （1）编写设计模块和测试台模块；
- （2）完成行为（功能）仿真；
- （3）完成设计实现（Implement）的布局、布线后仿真。

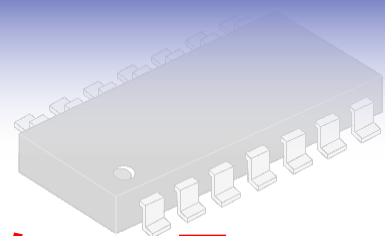
□ 实验过程和方法

- 参照实验操作教程：
- “在_ISE_中使用_ModelSim_进行功能仿真和综合实现之后的后仿真.pdf”

□ 其它说明：

- 原来线上上课的留学生同学，也按照此教学要求完成实验。

实验报告上传交大云盘



□ 调整后的三个实验均需提交实验报告，并提交实验二录屏

- 实验一、利用 8 个发光二极管（LED）形成流水灯显示
- 实验二、计时模块设计
 - ◆ 实验二需提供实验过程的录屏，及操作说明，作为实验的凭证
- 实验三、序列检测模块设计

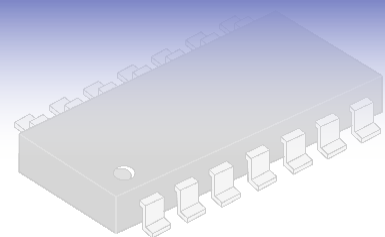
□ 实验报告上传交大云盘文件夹：

- FPGA_Lab_2022_reports
- 2022年4月22日星期五（第10周）24时之前

□ 补充说明

- 已在实验课上利用 Spartan-3E FPGA Starter Kit Board 完成原教学计划中安排的前三个实验者，可根据本人的实验结果，撰写实验一、二、三的实验报告，并在截至时间前提交。
- 已在实验课上完成原计划中安排的前一个实验者，可根据本人的实验结果，撰写实验一实验报告，同时，继续完成调整后的实验二、实验三，并撰写提交实验报告。
- 依此类推。
- 在实验室的实验完成情况，以实验课记录表上的签名、当天检查记录为依据。

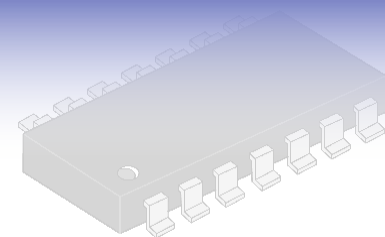
实验一



□ 利用 8 个发光二极管（LED）形成流水灯显示

- 控制 Spartan-3E FPGA Starter Kit Board 上的 8 个发光二极管（LED7 ~ LED0）。
- 使用全局时钟 CLK_50MHz 产生 1 Hz 的时钟脉冲，每秒点亮一个 LED
- 滑动开关 SW0，作为复位键，复位后
 - ◆ 8 个 LED 都为关闭状态（LEDOut = 8' b0000_0000）
- 即：
 - ◆ LEDOut = 8' b0000_0000;
 - ◆ LED Out = 8' b0000_0001;
 - ◆ LED Out = 8' b0000_0011;
 - ◆ LED Out = 8' b0000_0111;
 - ◆ LED Out = 8' b0000_1111;
 - ◆ LED Out = 8' b0001_1111;
 - ◆ LED Out = 8' b0011_1111;
 - ◆ LED Out = 8' b0111_1111;
 - ◆ LED Out = 8' b1111_1111;
 - ◆ 不断重复（1）～（9）

实验二



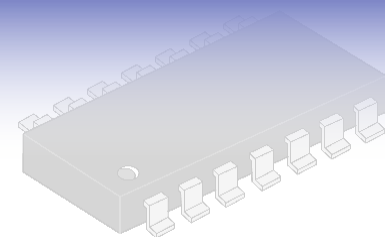
□ 计时模块设计

- 使用 Spartan-3E FPGA Starter Kit Board 上的 LED7 ~ LED0作为计数器的输出显示

□ 实现功能

- 使用滑动开关SW3 控制计数器开始/停止：
 - ◆ 当SW3 = 0 时，停止计数，此时，计数器为0，
 - ◆ 8 个 LED 都为关闭状态（LEDOut = 8'b0000_0000）
- 当SW3 = 1 时，开始计数；
- 使用滑动开关 SW0，作为设置开关，
 - ◆ 当SW3 = 0 时，即，停止计数时，使用SW0选择计数方式
 - ◆ 当 SW0 = 0时，8位计数器每秒计数，从 0 到127，循环反复
 - ◆ 当 SW0 = 1时，计数器为两个四位计数器：
 - ◆ 高四位：0~9，每秒计数，从 0 到9，循环反复。
 - ◆ 0~9，每1/10秒计数，从 0 到9，循环反复。
- 计数过程中，不可使用SW0进行计数方式转换
 - ◆ 必须使用SW3停止计数，然后，再进行计数方式转换

实验三（1）



□ 序列检测模块设计

- 检测串行输入数字序列 d 中出现的指定的序列模式：10110
- 当在输入序列中检测到“10110”时，则，发现标志（flag）输出 1，否则，置0；

□ 不支持重叠形式的有效的序列，

- 当指定序列模式重叠形式出现时，只有第一个序列有效，即：

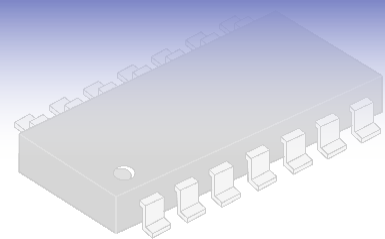
□ **d: 0101_1011_0110_1011_0100**

□ **flag: 0000_0100_0001_0000_1000**

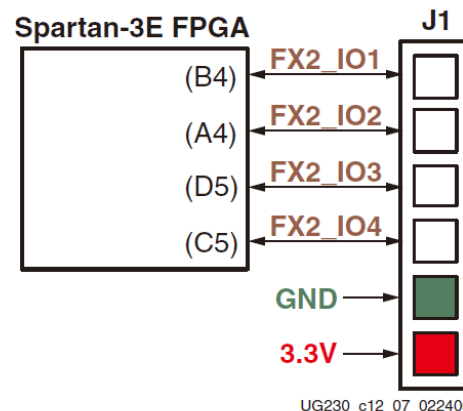
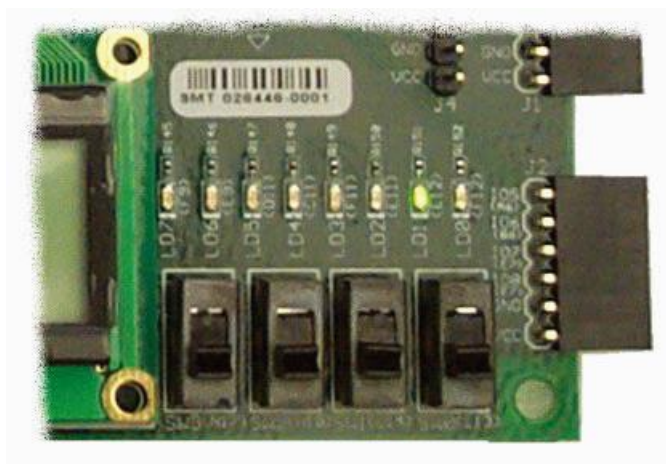
□ 实验要求：

- 分别采用 Mealy型、Moore型FSM实现序列检测器

实验三 (2)

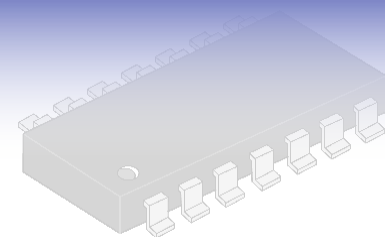


- ❑ 序列 d 中出现: 10110, 标志: flag= 1, 否则, 置0;
- ❑ 输入/输出端口
 - ❑ 使用在 Spartan-3E FPGA Starter Kit Board 上的LED0作为检出标志 flag;
 - ❑ 使用滑动开关SW3 作为复位开关;
 - ◆ a) 当SW3 = 0 时, 复位;
 - ◆ b) 当SW3 = 1 时, 开始检测;
 - ❑ 使用开发板连接端口 6-pin header J1的第1个管脚 J1<0>作为输入端口 d;
 - ◆ NET "J1<0>" LOC = "B4" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 6 ;



FPGA Connections to the J1 Accessory Header

Xilinx FPGA设计步骤



❑ 建立工程：选择FPGA器件

- ❑ 编写 Verilog设计文件
- ❑ 编写对设计模块进行仿真测试台模块 testbench

❑ 行为仿真

- ❑ 启动 ModelSim 进行功能仿真

❑ 使用综合工具 XST进行综合

- ❑ 翻译产生描述基本门、元件组成和连接的网表文件

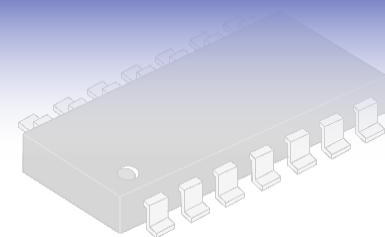
❑ FPGA实现 (Implement)

- ❑ 转换——将多个设计文件合并为一个网表
- ❑ 映射——将网表表示的逻辑电路映射到物理元件中
 - ◆ 物理元件
 - CLB——Configurable logic block
 - IOB——Input/Output Block
- ❑ 布局布线——将编程实行的功能部件放到FPGA/CPLD器件中，并将它们连接起来，同时提取时序数据

❑ 后仿真

- ❑ 后仿真——根据实际的时序数据进行仿真

小结



❑ 实验目标

- ❑ 使用 Verilog HDL，在 Xilinx FPGA 上设计实现基本功能模块

❑ 实验内容

- ❑ 基于 Xilinx ISE 集成开发环境建立工程
- ❑ 基于 ModelSim 和编译后 Xilinx FPGA 库
- ❑ 完成两种仿真：
 - ◆ 行为仿真：验证 Verilog 设计文件的功能正确性
 - ◆ 后仿真：验证综合、实现后的 Verilog 设计的正确性