**【原创】Xilinx ISE14.7 安装教程**

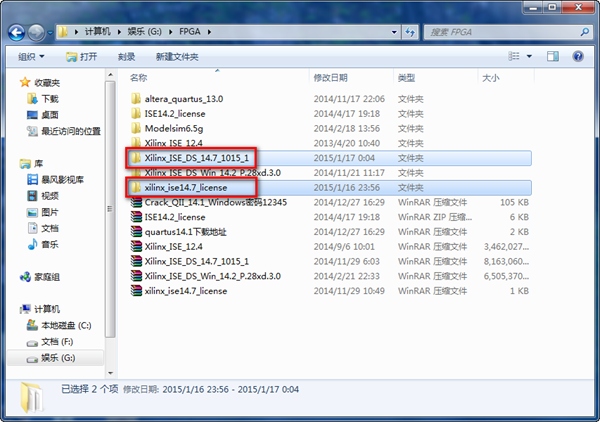
[0赞](javascript:void(0);)

发表于 2015/3/7 14:58:55 阅读（104202） 评论（3）

在软件安装之前，得准备好软件安装包，可从Xilinx官网上下载：

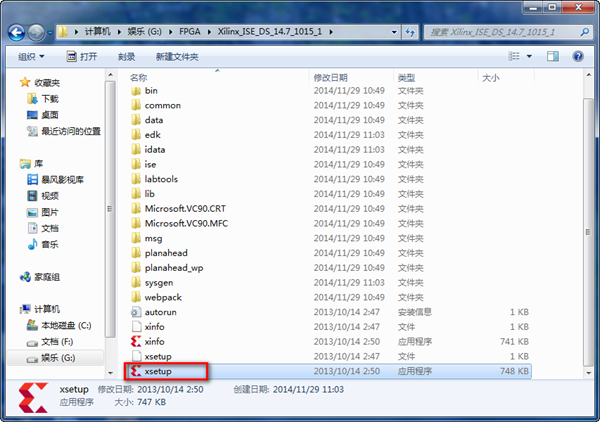
<http://china.xilinx.com/support/download/index.html/content/xilinx/zh/downloadNav/design-tools.html>。

下载好的软件如下所示：

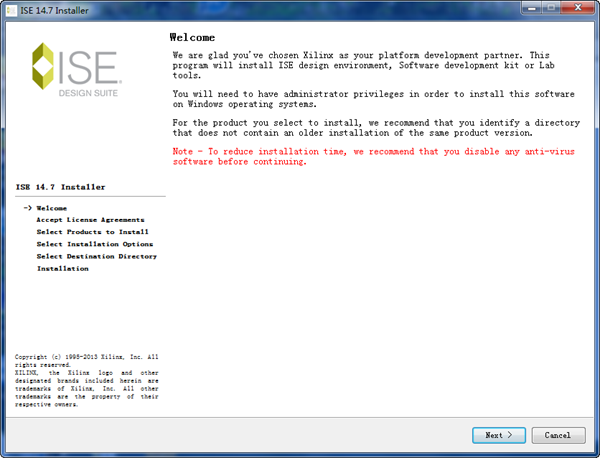
[](http://files.chinaaet.com/images/blog/2015/03/07/6061609634346.png)

接下来开始安装ISE14.7软件：

（1）在安装包目录下双击xsetup.exe，此时启动软件的安装向导。

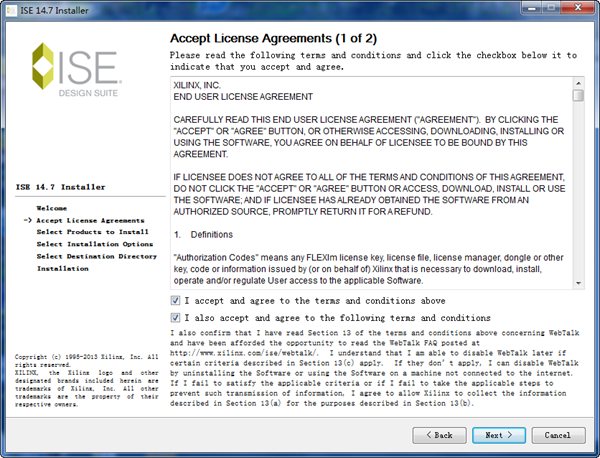
[](http://files.chinaaet.com/images/blog/2015/03/07/6061831314996.png)

[](http://files.chinaaet.com/images/blog/2015/03/07/6062014307248.png)

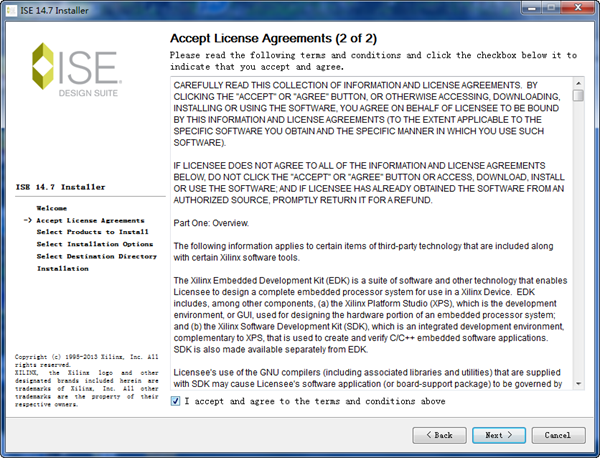
[](http://files.chinaaet.com/images/blog/2015/03/07/6062287923372.png)

这是安装欢迎界面，直接Next~~

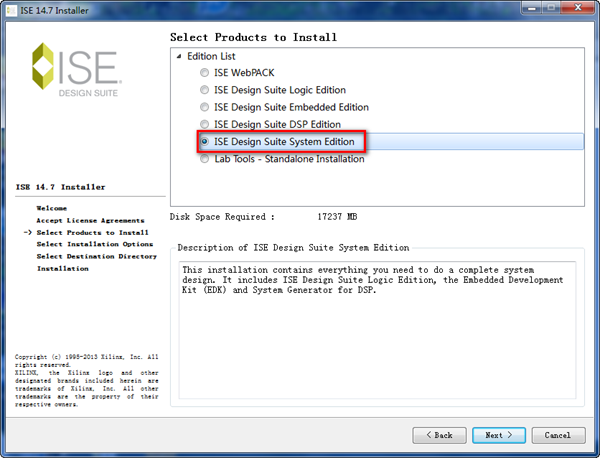
（2）选中复选框，表示接受条目（必选，否则无法进行下一步），Next~~

[](http://files.chinaaet.com/images/blog/2015/03/07/6062405867923.png)

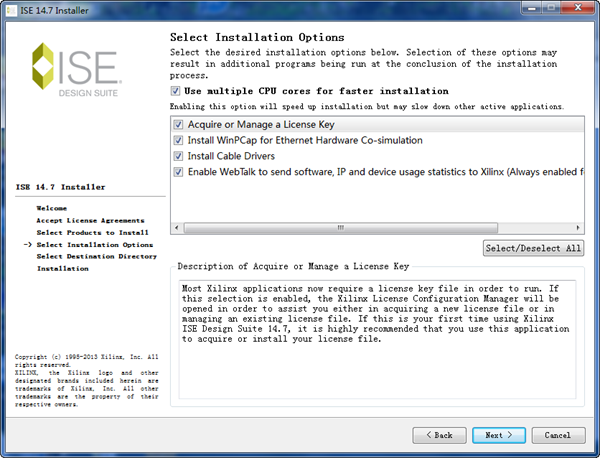
（3）同样必须接受条目，Next~~

[](http://files.chinaaet.com/images/blog/2015/03/07/6062538629659.png)

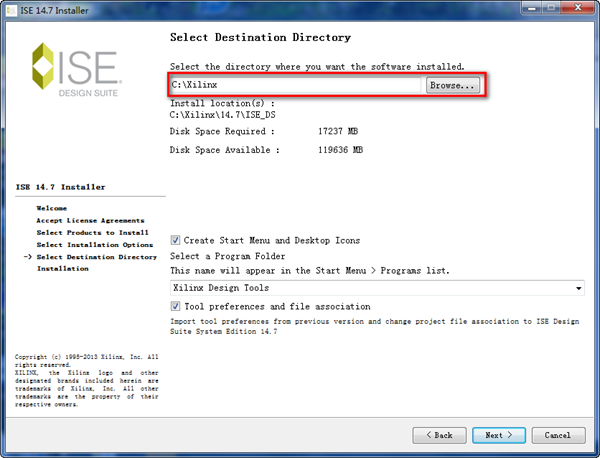
（4）选择要安装的软件类型，根据大家需求进行选择，这里选“ISE Design Suite System Edition”，Next~~

[](http://files.chinaaet.com/images/blog/2015/03/07/6062691347228.png)

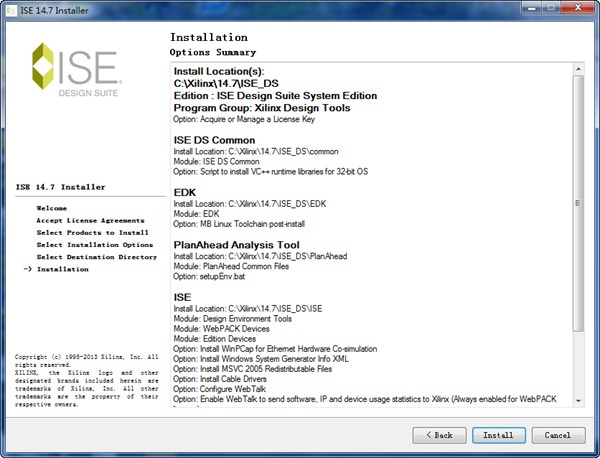
（5）什么都不做，直接Next~~

[](http://files.chinaaet.com/images/blog/2015/03/07/6062923167854.png)

（6）选择安装路径，根据大家磁盘情况进行设置，这里为C盘，Next~~

[](http://files.chinaaet.com/images/blog/2015/03/07/6063693491482.png)

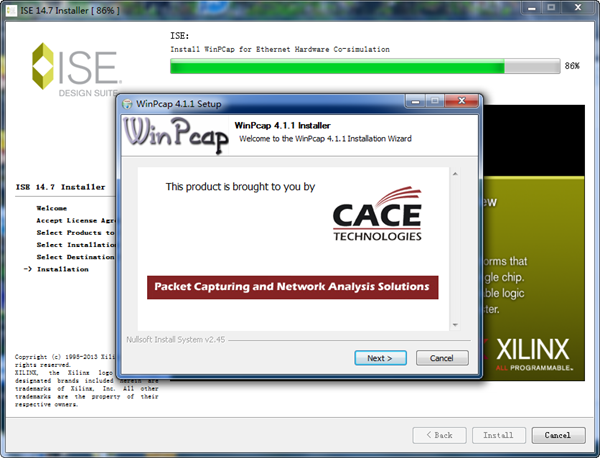
（7）这是对前面的设置进行的总结页面，点“Install”进行安装。

[](http://files.chinaaet.com/images/blog/2015/03/07/6063815951149.png)

[](http://files.chinaaet.com/images/blog/2015/03/07/6065445705075.png)

这个安装过程是一个漫长的过程，你得耐心等待，也可以找点事情做（我就去饭堂吃饭了，呵呵）

（8）当安装进程到达86%时会弹出一个对话框，叫你安装跟网络通信有关的软件，如下所示：

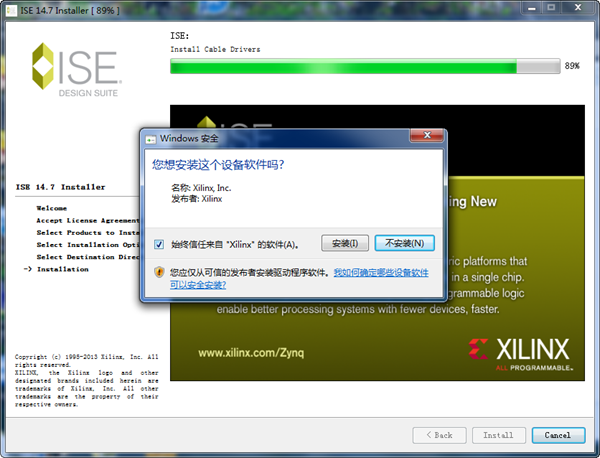
[](http://files.chinaaet.com/images/blog/2015/03/07/6067503979023.png)

这里我们对它进行安装，直接Next，I Agree，Install，Finish~~

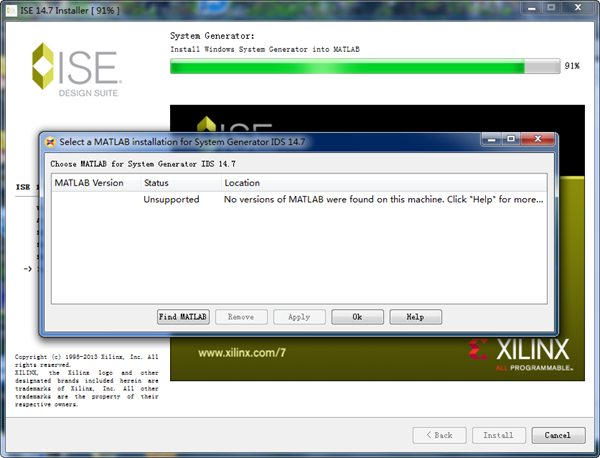
（9）此时出现了一个安装设备的对话框，选择“安装”。

[](http://files.chinaaet.com/images/blog/2015/03/07/6067694144348.png)

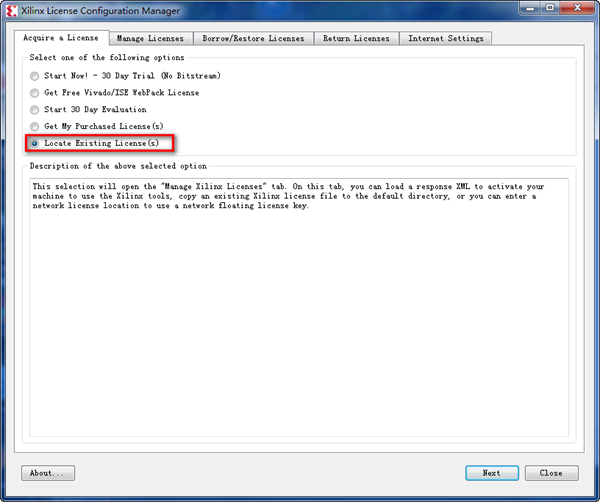
（10）同样选择“安装”。

[](http://files.chinaaet.com/images/blog/2015/03/07/6067722844447.png)

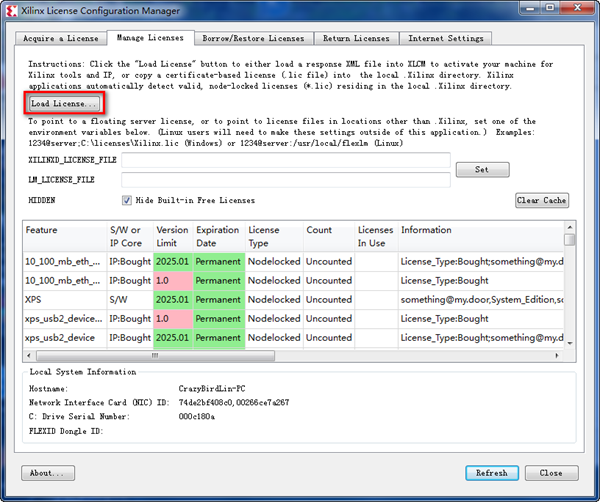
（11）弹出为System Generator关联MATLAB软件的对话框，大家电脑有装过合适版本的MATLAB，可以对它进行关联，或者以后再关联，这里选择“Ok”跳过。

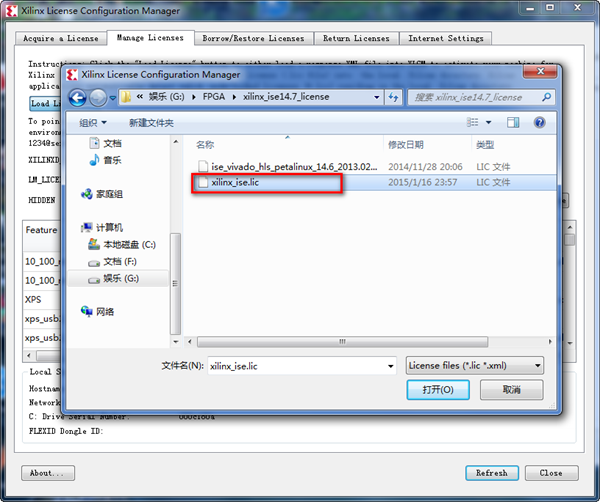
[](http://files.chinaaet.com/images/blog/2015/03/07/6067769337826.png)

（12）接下来配置license。由于我的电脑里已有license，故选择“Locate Existing License”，Next~~

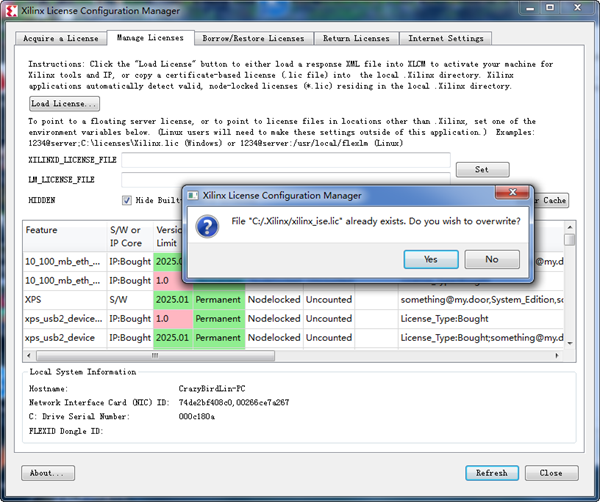
[](http://files.chinaaet.com/images/blog/2015/03/07/6067806625356.png)

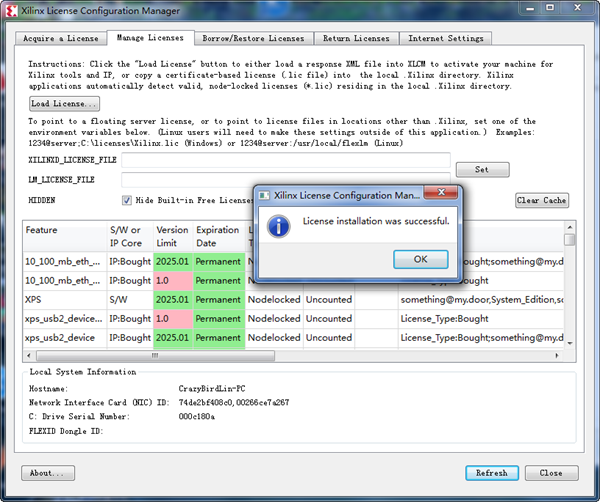
（13）点击“Load license”。

[](http://files.chinaaet.com/images/blog/2015/03/07/6067898035086.png)

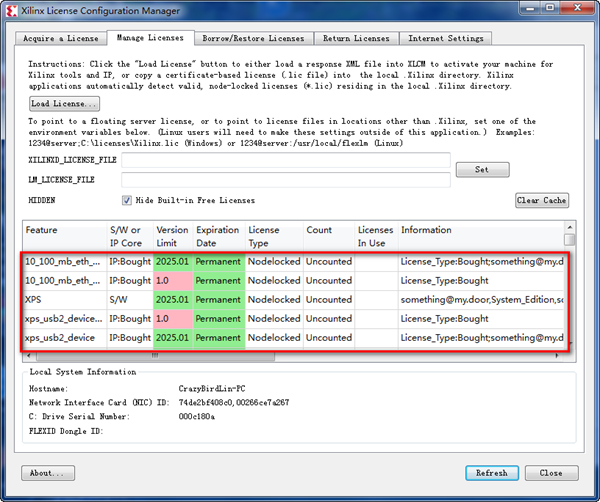
[](http://files.chinaaet.com/images/blog/2015/03/07/6067923464797.png)

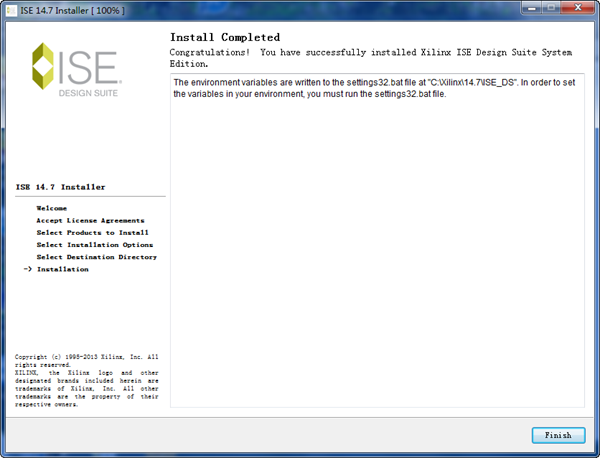
选择“打开”后，弹出以下对话框，选择“Yes”、“OK”~~

[](http://files.chinaaet.com/images/blog/2015/03/07/6067950459371.png)

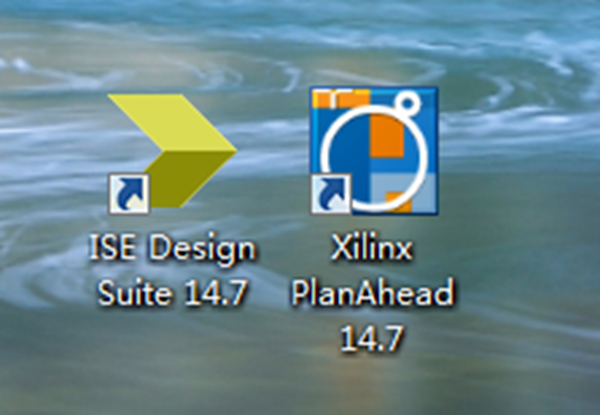
[](http://files.chinaaet.com/images/blog/2015/03/07/6068017537662.png)

（14）加载license后，直接“Close”、“Finish”完成安装~~

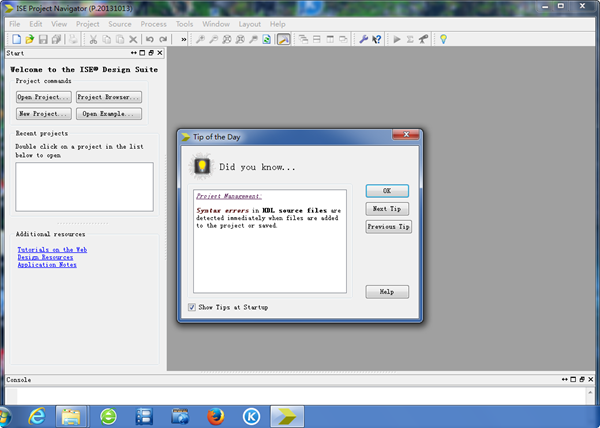
[](http://files.chinaaet.com/images/blog/2015/03/07/6068044671298.png)

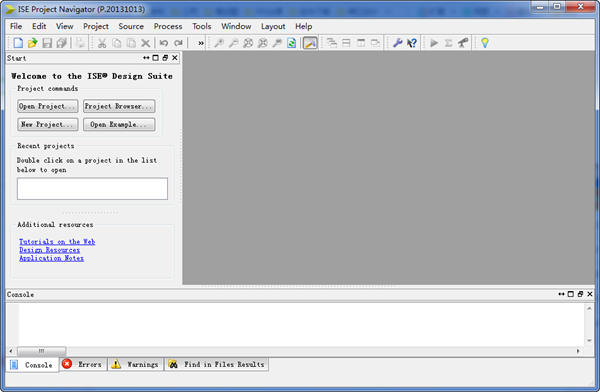
[](http://files.chinaaet.com/images/blog/2015/03/07/6068066208149.png)

（15）此时桌面出现了两个快捷方式，双击“ISE Design Suite 14.7”开始启动软件~

[](http://files.chinaaet.com/images/blog/2015/03/07/6068093039766.png)

[](http://files.chinaaet.com/images/blog/2015/03/07/6068120024662.png)

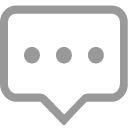
[](http://files.chinaaet.com/images/blog/2015/03/07/6068158551368.png)

[](http://files.chinaaet.com/images/blog/2015/03/07/6068187418640.png)

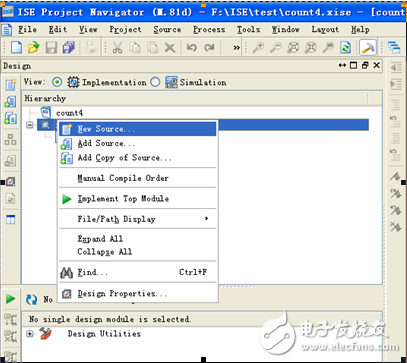
（16）现在就可以开始使用ISE了，呵呵~~

# ISE联合modelsim功能仿真和综合后仿真

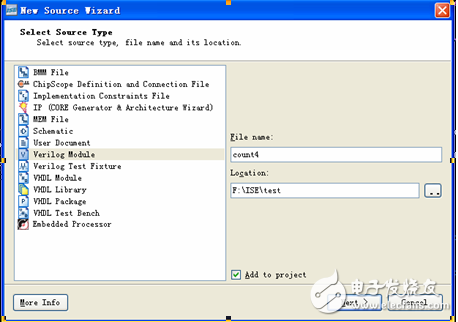
[Hx](http://bbs.elecfans.com/user/2351518/)•来源：网络整理•作者：佚名 • 2017年02月10日 15:48 • 2013次阅读

[[](http://www.elecfans.com/emb/fpga/20170210483268.html#comment) 0](http://www.elecfans.com/emb/fpga/20170210483268.html#comment)

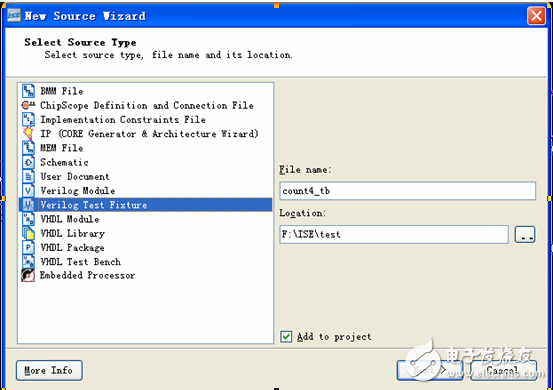
1、代码输入(1)、新建一个ISE工程，名字为count4。(2)、新建一个verilog文件

[](http://www.elecfans.com/uploads/allimg/170210/15531111A_0.png)

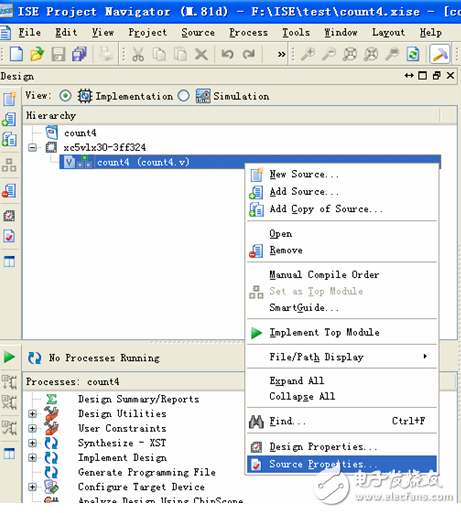
(3)、选择verilog module 输入file name为count4，单击next默认知道finish。

[](http://www.elecfans.com/uploads/allimg/170210/1553422363_0.png)

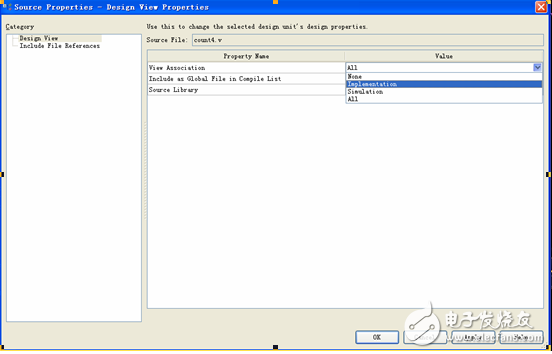
(4)、在count4.v文件中输入以下代码module count4(out,reset,clk    );        output [3:0] out;        input reset,clk;        reg [3:0] out;        always@(posedge clk) begin              if(reset)                     out<=0;              else                     out<=out+1;        endendmodule(5)、新建一个testbench文件（综合时，不参与综合），和第（2）步骤相同(6)、选择 verilog Test Fixture。

[](http://www.elecfans.com/uploads/allimg/170210/1553054T2_0.png)

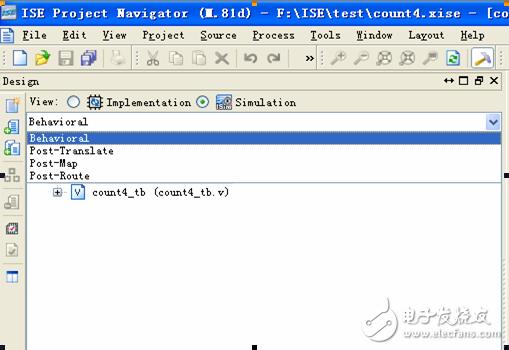
(7)、创建完成后，输入以下代码module count4\_tb;             reg clk,reset;       wire [3:0] out;       parameter DELY=100;       count4 mycount(.out(out),.reset(reset),.clk(clk));       //count4 mycount(out,reset,clk);   若简写，功能仿真正确，时序仿真会因为端口不匹配，//会出错       always #(DELY/2) clk=~clk;       ini[TI](http://bbs.elecfans.com/zhuti_715_1.html)al begin              clk=0;              reset=0;              #DELY reset=1;              #DELY reset=0;              #(DELY\*200) $finish;       end                    ini[TI](http://bbs.elecfans.com/zhuti_715_1.html)al $monitor($[TI](http://bbs.elecfans.com/zhuti_715_1.html" \o "TI社区" \t "_blank)me,,,"clk=%d reset=%d out=%d",clk,reset,out);endmodule注：可以修改文件的属性，是否为testbench或者为verilog文件。右击要修改的文件。选择source proper[TI](http://bbs.elecfans.com/zhuti_715_1.html)es

[](http://www.elecfans.com/uploads/allimg/170210/15513b058_0.png)

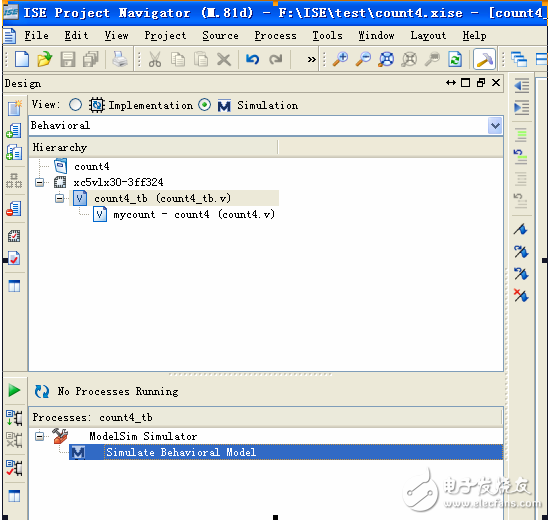
修改属性，simulation为testbench   .implementation为正常的verilog文件

[](http://www.elecfans.com/uploads/allimg/170210/15520MJ9_0.png)

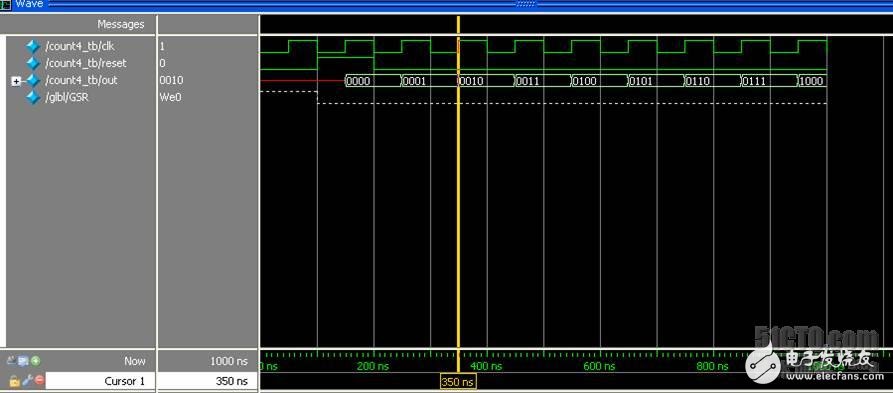
 2、功能仿真功能仿真放在综合前面，是因为大型程序综合需要很长的时间，而功能仿真不需要综合，可以先功能仿真，确保代码的正确性。功能仿真正确后，再综合，然后进行综合后仿真。（1）、切换到simulation。选择behavioral。

[](http://www.elecfans.com/uploads/allimg/170210/1552123A8_0.png)

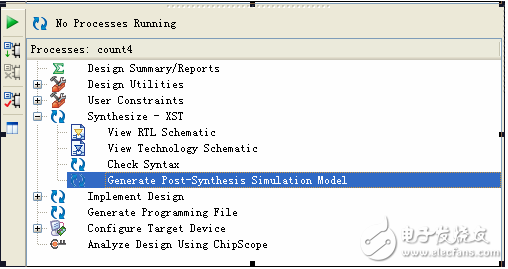
（2）、单击选中count4\_tb文件，然后双击simulate behavioral model。

[](http://www.elecfans.com/uploads/allimg/170210/1552345F1_0.png)

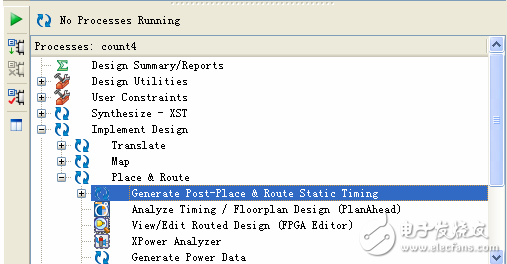
（3）、在modelsim，查看波形等内容。

[](http://www.elecfans.com/uploads/allimg/170210/15511124C_0.jpg)

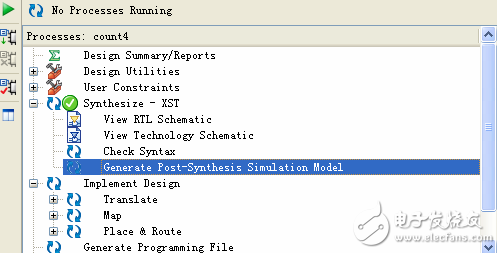
3、时序（综合后）仿真时序仿真将时延考虑进去，包括综合后产生的（与、或、非）门时延，还有布局布线产生的时延。综合（Synthesize），就是将HDL语言设计输入翻译成由与、或、非门和RAM、触发器等逻辑单元组成的网表。综合后可生成综合后仿真模型（Generate Post-Synthesis Simulation Model）。

[](http://www.elecfans.com/uploads/allimg/170210/1550125533_0.png)

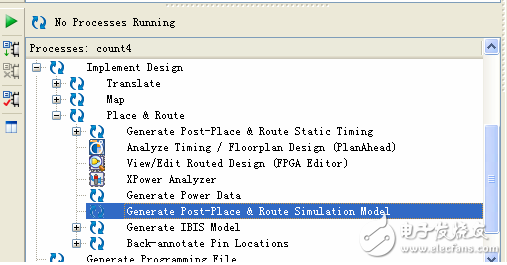
综合后，进行ISE的实现（Implement），包括翻译、映射、布局布线。在这三个过程中都可以生成一个仿真模型(翻译和映射不会产生延时，因此常用布局布线后产生的仿真模型进行时序仿真)

[](http://www.elecfans.com/uploads/allimg/170210/155030VU_0.png)

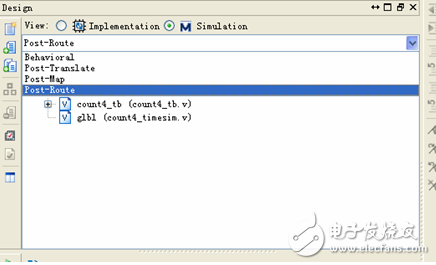
（1）、进行综合，双击 Synthesize – XST ，想生成 Post-Synthesis Simulation Model，双击Generate Post-Synthesis Simulation Model即可，会在工程文件夹下生成netgen\synthesis\count4\_synthesis.v等文件

[](http://www.elecfans.com/uploads/allimg/170210/155100cE_0.png)

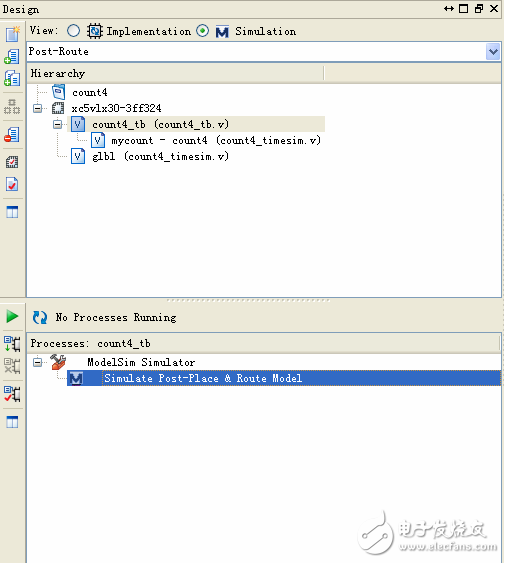
（2）、进行实现，双击 Implement Design ，完成后，双击Generate Post-Place & Route Simulation Model.。生成布局布线后仿真模型。

[](http://www.elecfans.com/uploads/allimg/170210/1550045163_0.png)

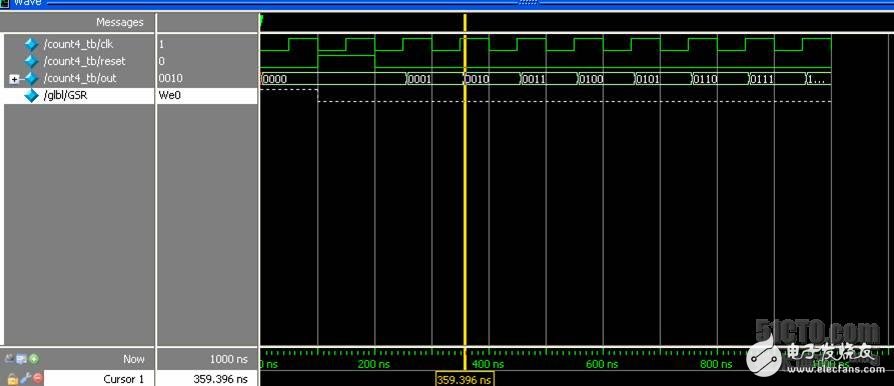
（3）、切换到 Simulation ,选中Post-route。

[](http://www.elecfans.com/uploads/allimg/170210/154Z0A94_0.png)

（4）、然后选中count4\_tb文件，双击下面的Simulate Post-Place&Route Model，启动modelsim。

[](http://www.elecfans.com/uploads/allimg/170210/154911E02_0.png)

（5）、在modelsim中观察仿真波形。可以看到输出out有明显的延时。

[](http://www.elecfans.com/uploads/allimg/170210/15493340L_0.jpg)

## 技术专区

# win10下安装ISE 14.7

win10下安装低版本ISE会出现闪退，本文推荐安装14.7版本，虽然也出现小问题，但阅读本文后你会感觉so easy

1.首先登陆Xilinx官网下载安装包，一共四个都要下载，并放在同一文件夹里（我放的是D盘）下之前先要注册一个xilinx账号，自己弄。

Ps: 这里有个坑：千万不要下载Version 14.7(Windows 10),如下图：

这个是xilinx为了兼容win10的各种限制用vm虚拟机做的阉割版，只支持斯巴达系列的芯片，不支持我们要用的Virtex. **所以千万别下！！！**

2. 下载好四个压缩文件后，放在一个目录下。

然后按照下面教程中的操作：<http://blog.chinaaet.com/crazybird/p/39693>

licence文件我会放在压缩包里，当你进行到第13步会发现加载licence时系统闪退，现在本文进入正题

3.修复方法：

**（1）第一步：**

找到xilinx安装文件下的子文件，我的是安装在C盘。

C:\Xilinx\14.4\ISE\_DS\ISE\lib\nt64

在这个文件夹中搜索文件 libPortability

会出来两个文件

1. libPortabilityNOSH.dll
2. libPortability.dll

将libPortability.dll重名为libPortability.dll.orig  
将 libPortabilityNOSH.dll 复制一份，然后将这个复制重命名为libPortability.dll

**（2）第二步：**

将第一步中的libPortabilityNOSH.dll复制一份放到xilinx安装文件夹下的子文件夹  
C:\Xilinx\14.4\ISE\_DS\common\lib\nt64

然后在上述文件中：

1. 将libPortability.dll重名为libPortability.dll.orig
2. 将 libPortabilityNOSH.dll重命名为libPortability.dll

这样就可以运行ise了，可以加载license了，也可以保存文件了。加载方式参考第二步中的教程。

PS：重新加载后找不到licence认证的地方？

点开桌面ISE design suite图标，它会自动提示你没有许可，你点确定就会跳到刚才安装页面的第十三步了。

然后就万事大吉了，大家可以体会ISE的乐趣了0.0

注：这篇文章很大部分是同学的功劳，我只是把它分享出来，帮助更多的人罢了