

# 2021 《FPGA 应用实验》实验报告

实验编号： 实验五

实验时间： 2021.4.6

实验名称： 使用 ChipScope Pro 分析 6 位计数器

班级： F1803603 学号： 518021910534 姓名： 尹俊同

## 1、实验平台

采用 Xilinx 公司的 FPGA 集成开发环境 Xilinx ISE Design Suite 10.1 sp3，实验开发板为 Xilinx Spartan-3E FPGA Starter Kit。

## 2、实验设计要求：

### (1) 功能描述

(0) 设计一个 7 分频电路模块，将开发板的时钟信号分频，获得的  $\text{clk\_div7} = 50\text{MHz}/7$  的时钟信号；

```
module clock_div7(output clk_div7, input clock, input rst_n );
```

这里， $\text{clk\_div7}$  是分频时钟信号输出；

$\text{clock}$  是系统时钟输出；

$\text{rst\_n}$  是异步复位；

(1) 设计一个 6 位计数器，在分频获得的频率近似为  $F = 7142857.14\text{Hz}$  的时钟信号控制下，进行计数。该计数器的输入/输出端口如下：

i)、输出端口：

$\text{count}$  —— 6 位计数器，连接 Spartan - 3E FPGA Starter Kit Board 上的 8 个 LED：LED7 ~ LED2。

ii) 输入端口：

$\text{clock}$  —— 连接 50MHz 的时钟晶振 (C9)；

$\text{rst\_n}$  —— 异步复位输入端口，低电平 (1'b0) 有效；连接开发版上 SW0，当  $\text{SW0} = 0$  (off) 时，计数器复位。

$\text{dir}$  —— 计数方向控制，高电平 (1'b1) 有效，连接开发版上 SW1；

a) 当计数器复位  $\text{SW0} = 0$  (off) 时，

如果  $\text{SW1} = 0$  (off) 时，计数器初始值： $\text{count} = 6'b0$ ；

如果  $\text{SW1} = 1$  (on) 时，计数器初始值： $\text{count} = 6'b'h3f$ ；

b) 当计数器复位  $\text{SW1} = 0$  (off) 时，计数器递增计数；

当计数器复位  $\text{SW1} = 1$  (on) 时，计数器递减计数；

```
module counter( output [5:0] count, input clock, input rst_n, input dir);
```

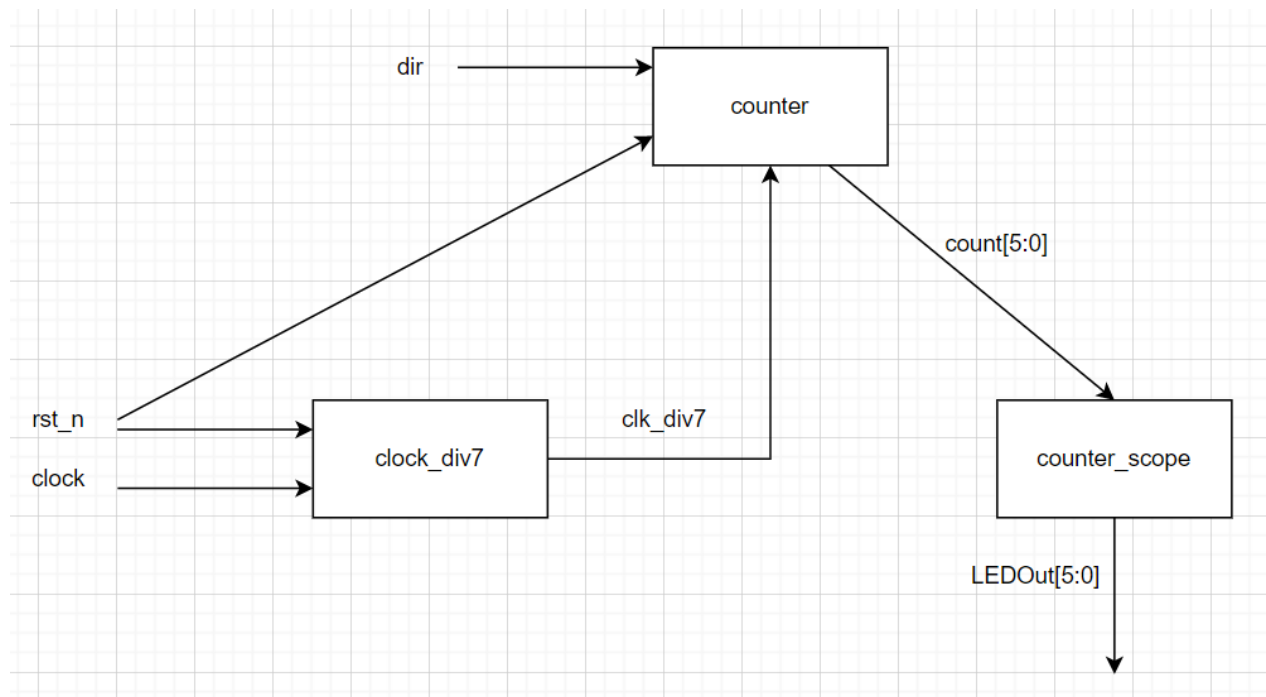
### (2) 使用 ChipScope Pro 分析设计

在设计添加 ICON 和 ILA。这里，ILA 的“Sample Data Depth”改为：2048，“Data Port Width”为：6，与  $\text{count}$  相连，“Trigger Port Width”设置为：2，与  $\text{count}[5:4]$  相连。

### (3) 设计中需要解决的问题

- 1) 设计 7 分频电路模块，提示：使用移位寄存器
- 2) 插入 ICON 和 ILA 模块，注意端口位宽和正确连接；
- 3) 使用 ChipScope Pro 观察分析采样信号，以验证 7 分频电路正确工作。

### 3、模块设计框图



### 4、实验原理：

#### 1、ChipScope Pro 介绍

ChipScope Pro 是用于分析调试 Xilinx FPGA 设计的片内逻辑的工具，ChipScope Pro 的主要功能是通过 JTAG 口，在线实时地读出 FPGA 的内部信号。基本原理是利用 FPGA 中未使用的 BlockRAM，根据用户设定的触发条件将要观测信号实时地保存到这些 BlockRAM 中，然后通过 JTAG 口传送到 PC 机，显示出时序波形。

ChipScope Pro Core Generator 的作用是根据设定条件生成在线逻辑分析仪的 IP 核，包括 ICON 核、ILA 核、VIO 等核，设计人员在原 HDL 代码中实例化这些核，然后进行布局布线、下载配置文件，就可以利用 ChipScope Pro Analyzer 设定触发条件、观察信号波形。

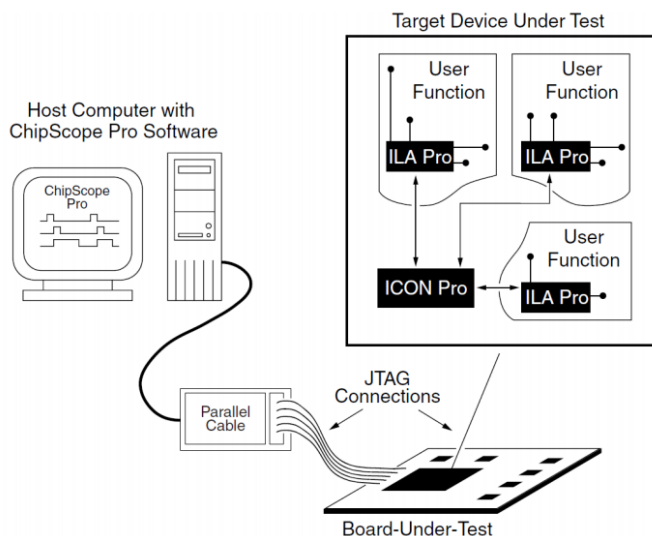


图 1、ChipScope Pro System Block Diagram

## 2、滑动开关

Spartan-3E FPGA Starter Kit 单板有 4 个滑动开关，如图 2-1 所示。滑动开关位于单板右下角，标签为 SW3 到 SW0。SW3 是最左边的交开关，SW0 是最右边的开关。

当 FPGA 引脚处于 UP 或 ON 位置时，开关将 FPGA 引脚连接到 3.3V，逻辑高。当 DOWN 或 OFF 位置时，开关将 FPGA 引脚连接到地，逻辑低。开关通常表现出约 2 毫秒的机械反弹，并且没有主动解除电路，尽管这样的电路可以很容易地添加到电路板上编程的 FPGA 设计中。

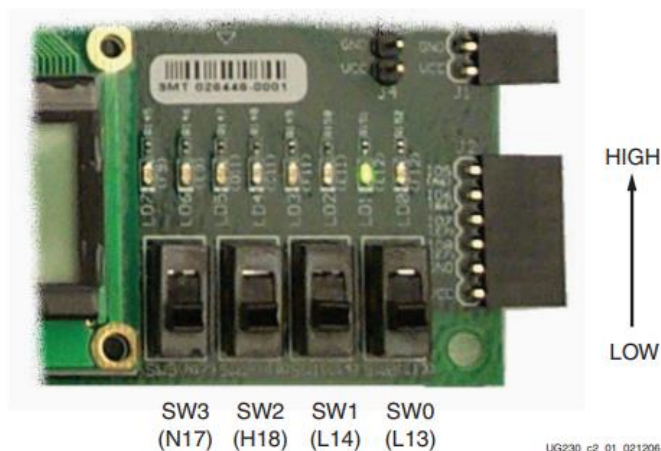


Figure 2-1: Four Slide Switches

图 2-2 提供了四个滑动开关的 UCF 约束，包括 I/O 引脚分配和使用的 I/O 标准。PULLUP 电阻不是必需的，但是当开关处于过渡中间时，它定义了输入值。

```
NET "SW<0>" LOC = "L13" | IOSTANDARD = LVTTTL | PULLUP ;
NET "SW<1>" LOC = "L14" | IOSTANDARD = LVTTTL | PULLUP ;
NET "SW<2>" LOC = "H18" | IOSTANDARD = LVTTTL | PULLUP ;
NET "SW<3>" LOC = "N17" | IOSTANDARD = LVTTTL | PULLUP ;
```

Figure 2-2: UCF Constraints for Slide Switches

## 3、50MHz 时钟晶振

如图 3-1 所示，Spartan-3E FPGA Starter Kit 单板支持三个主时钟输入源，它们都位于 Xilinx 标识的下方，靠近 spartan-3e 标识。该板包括一个板载 50 MHz 时钟振荡器。时钟可以通过 SMA 风格的连接器提供。FPGA 也可以通过 SMA 风格的连接器产生时钟信号或其他高速信

号。可选安装一个单独的 8 针 DIP 风格时钟振荡器在提供的插座。

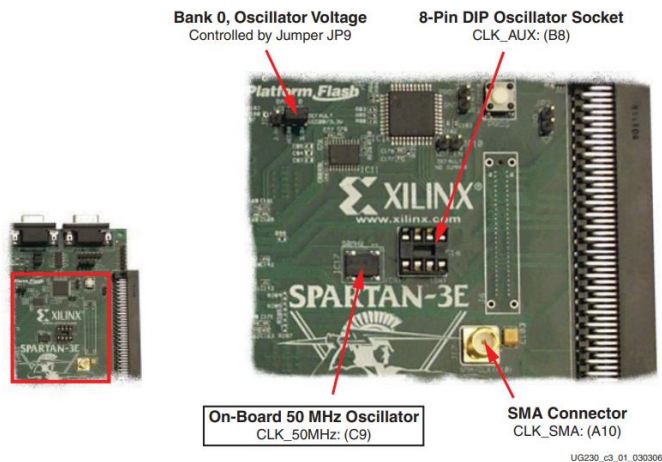


Figure 3-1: Available Clock Inputs

50MHz 时钟振荡器的 UCF 约束如下图。

```
NET "CLK_50MHZ" LOC = "C9" | IOSTANDARD = LVCMOS33 ;
NET "CLK_SMA" LOC = "A10" | IOSTANDARD = LVCMOS33 ;
NET "CLK_AUX" LOC = "B8" | IOSTANDARD = LVCMOS33 ;
```

Figure 3-2: UCF Location Constraints for Clock Sources

#### 4、LED

Spartan-3e FPGA Starter Kit 板有 8 个独立的表面安装 led 位于滑动开关上方，如图 2-10 所示。led 标记为 LED0 到 LED7。LED7 是最左边的 LED，LED0 是最右边的 LED。

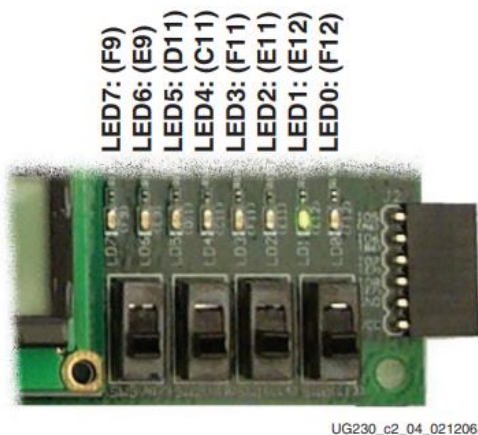


Figure 2-10: Eight Discrete LEDs

操作：每个 LED 的一端连接到地，另一端通过 390 欧限流电阻连接到 Spartan-3e 设备上的引脚。为了点亮单个 LED，需驱动相关的 FPGA 控制信号为高。

UCF 位置约束：图 2-11 提供了四个按钮开关的 UCF 约束，包括 I/O 引脚分配，使用的 I/O 标准，输出回转率和输出驱动电流。

NET "LED<7>"	LOC = "F9"	IOSTANDARD = LVTTL	SLEW = SLOW	DRIVE = 8 ;
NET "LED<6>"	LOC = "E9"	IOSTANDARD = LVTTL	SLEW = SLOW	DRIVE = 8 ;
NET "LED<5>"	LOC = "D11"	IOSTANDARD = LVTTL	SLEW = SLOW	DRIVE = 8 ;
NET "LED<4>"	LOC = "C11"	IOSTANDARD = LVTTL	SLEW = SLOW	DRIVE = 8 ;
NET "LED<3>"	LOC = "F11"	IOSTANDARD = LVTTL	SLEW = SLOW	DRIVE = 8 ;
NET "LED<2>"	LOC = "E11"	IOSTANDARD = LVTTL	SLEW = SLOW	DRIVE = 8 ;
NET "LED<1>"	LOC = "E12"	IOSTANDARD = LVTTL	SLEW = SLOW	DRIVE = 8 ;
NET "LED<0>"	LOC = "F12"	IOSTANDARD = LVTTL	SLEW = SLOW	DRIVE = 8 ;

**Figure 2-11: UCF Constraints for Eight Discrete LEDs**

## 5、Verilog 模块设计

### 1) 顶层模块

```

module counter(output [11:0] MSB12,
               output [3:0] cnt4b,
               input clock,
               input rst_n,
               input dir);
    reg [31:0] temp;
    always @(posedge clock, negedge rst_n)
    begin
        if (!rst_n) begin
            temp <= (dir) ? 32'hFFFF_FFFF : 32'b0;
        end
        else begin
            if (!dir) temp <= temp + 1'b1;
            else temp <= temp - 1'b1;
        end
    end
    assign MSB12 = temp[31:20],
    cnt4b = temp[3:0];
endmodule

```

### 2) 计数器模块

```

module counter_scope(output [7:0] LEDOut,
                    input clock,
                    rst_n,
                    dir);
    wire clk_5MHz;
    clock_div7 m_clk_div(.clk_div7(clk_5MHz), .clock(clock), .rst_n(rst_n));
    wire [11:0] MSB12;
    wire [3:0] cnt4b;

```

```

counter m_cnt(.MSB12(MSB12), .cnt4b(cnt4b),
.clock(clk_5MHz),.rst_n(rst_n), .dir(dir));
assign LEDOut = MSB12[7:0];
wire [3:0] VLED;
assign VLED = MSB12[11:8];
wire [35:0] CONTROL0;
wire [35:0] CONTROL1;
// Instantiate module
CNT_ICON m_icon ( // 开始 INST_TAG
    .CONTROL0(CONTROL0),
    .CONTROL1(CONTROL1)
);
wire [3:0] trig = VLED; // MSB12[11:8]
// Instantiate module
CNT_ILA m_ila ( // 开始 INST_TAG
    .CONTROL(CONTROL0),
    .CLK(clock),
    .DATA(cnt4b),
    .TRIG0(trig)
);
wire [3:0] din;
CNT_VIO m_vio (
    .CONTROL(CONTROL1),
    .ASYNC_IN(VLED),
    .ASYNC_OUT(din)
);
assign vrst = din[3:2];
assign vdir = din[1:0];
endmodule

```

### 3) 时钟分频模块

```

module clock_div7(output clk_div7,
    input clock,
    input rst_n);
reg [6:0] sr = 7'b111_0000;
reg en;
assign clk_div7 = en ? sr[0]:0;

always @(posedge clock or negedge rst_n)
begin
    if (!rst_n) begin

```



```

        en    <= 0;

    end

    else begin

        sr <= {sr[0],sr[6:1]};

        en <= 1;

    end

end

end

endmodule

```

## 6、试验仿真结果和分析

使用 ChipScope Pro 观察分析实例化的信号图如下，可知 DataPort[0]的长度为 7，周期是宽度为 1 的脉冲的 7 倍，验证了七分频电路实现正常。

