

**UNIVERSITY OF BATANGAS – LIPA CAMPUS  
COLLEGE OF ENGINEERING AND ARCHITECTURE  
COMPUTER ENGINEERING**

**Laboratory #3**

HDL

NAME: Dimple G. Valencia

STUDENT NUMBER: 2021083

DATE OF SUBMISSION: 12/20/2022

ENGR. CHARLES RAY JUANILLAS

---

PROFESSOR



## Result and Discussion:

```
Command Prompt
C:\iverilog\exercises\logic>iverilog -o experiment3 experiment3.v
C:\iverilog\exercises\logic>vvp experiment3
VCD info: dumpfile experiment3.vcd opened for output.
xxxx
part1 minterm: !A!B + !B!C + !C!A
a=0, b=0, c=0 : 111
a=0, b=0, c=1 : 110
a=0, b=1, c=0 : 101
a=0, b=1, c=1 : 100
a=1, b=0, c=0 : 011
a=1, b=0, c=1 : 010
a=1, b=1, c=0 : 001
a=1, b=1, c=1 : 000

part1 maxterm: (A+B+C)(A+B+C)
a=0, b=0, c=0 : 111
a=0, b=0, c=1 : 110
a=0, b=1, c=0 : 101
a=0, b=1, c=1 : 100
a=1, b=0, c=0 : 011
a=1, b=0, c=1 : 010
a=1, b=1, c=0 : 001
a=1, b=1, c=1 : 000

part2 minterm: (A+B+C!D)(A+B+C!D)(A+B+C!D)(A+B+C!D)(A+B+C!D)(A+B+C!D)(A+B+C!D)(A+B+C!D)
a=0, b=0, c=0, d=0 : 1111
a=0, b=0, c=0, d=1 : 1110
a=0, b=0, c=1, d=0 : 1101
a=0, b=0, c=1, d=1 : 1100
a=0, b=1, c=0, d=0 : 1011
a=0, b=1, c=0, d=1 : 1010
a=0, b=1, c=1, d=0 : 1001
a=0, b=1, c=1, d=1 : 1000
a=1, b=0, c=0, d=0 : 0111
a=1, b=0, c=0, d=1 : 0110
a=1, b=0, c=1, d=0 : 0101
a=1, b=0, c=1, d=1 : 0100
a=1, b=1, c=0, d=0 : 0011
a=1, b=1, c=0, d=1 : 0010
a=1, b=1, c=1, d=0 : 0001
a=1, b=1, c=1, d=1 : 0000

part2 maxterm: !A!B!C!D+!A!B!C!D+!A!B!C!D+!A!B!C!D+!A!B!C!D+!A!B!C!D+!A!B!C!D+!A!B!C!D
a=0, b=0, c=0, d=0 : 1111
a=0, b=0, c=0, d=1 : 1110
a=0, b=0, c=1, d=0 : 1101
a=0, b=0, c=1, d=1 : 1100
a=0, b=1, c=0, d=0 : 1011
a=0, b=1, c=0, d=1 : 1010
a=0, b=1, c=1, d=0 : 1001
a=0, b=1, c=1, d=1 : 1000
a=1, b=0, c=0, d=0 : 0111
a=1, b=0, c=0, d=1 : 0110
a=1, b=0, c=1, d=0 : 0101
a=1, b=0, c=1, d=1 : 0100
a=1, b=1, c=0, d=0 : 0011
a=1, b=1, c=0, d=1 : 0010
a=1, b=1, c=1, d=0 : 0001
a=1, b=1, c=1, d=1 : 0000

C:\iverilog\exercises\logic>gtkwave experiment3.vcd

GTKWave - experiment3.vcd
File Edit Search Time Markers View Help
From: 0 sec To: 48 sec Markers: -- Cursor: 2 sec
SST
Lab7TestBench
part2 minterm
a=0, b=0, c=0, d=0 : 1111
a=0, b=0, c=0, d=1 : 1110
a=0, b=0, c=1, d=0 : 1101
a=0, b=0, c=1, d=1 : 1100
a=0, b=1, c=0, d=0 : 1011
a=0, b=1, c=0, d=1 : 1010
a=0, b=1, c=1, d=0 : 1001
a=0, b=1, c=1, d=1 : 1000
a=1, b=0, c=0, d=0 : 0111
a=1, b=0, c=0, d=1 : 0110
a=1, b=0, c=1, d=0 : 0101
a=1, b=0, c=1, d=1 : 0100
a=1, b=1, c=0, d=0 : 0011
a=1, b=1, c=0, d=1 : 0010
a=1, b=1, c=1, d=0 : 0001
a=1, b=1, c=1, d=1 : 0000

C:\iverilog\
GTKWave Analy:
Append Insert Replace
[0] start time
[48] end time.
```



