

实验一--XXXXXX

姓名：张云策 学号：3200105787 学院：云峰学园

课程名称：计算机系统 1 同组学生姓名：/

实验时间： 实验地点：紫金港东 4-509 指导老师：吴磊

一、 实验目的和要求

掌握四位全加器的电路逻辑

掌握七段管的译码器的电路逻辑

二、 实验内容和原理

2.1 实验内容

用 Logisim 设计完成七段数码管译码器和四位全加器。

2.2 设计模块

1 全加器将两个一位二进制数相加，同时考虑低位进位，它由两个半加器组成最简单一位全加器，然后由四个一位全加器组合，由上一位全加器的输出作为下一位全加器的低位进位值，组合成一个四位全加器。

2 七段管译码器由一个 4-7 译码器和七个 1 发光二极管组成。

三、 主要仪器设备

Logisim

四、 操作方法与实验步骤

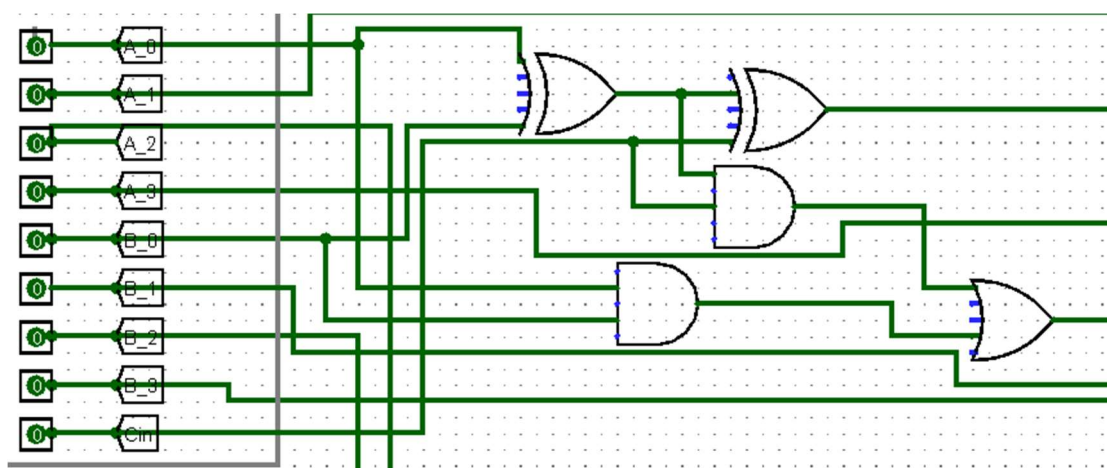
4.1 操作方法

说明：Lab3 非必需，后续针对上板实验需要在该部分说明显示出相应结果的调试方法，例如 Lab2 的 Demo，该部分简要描述诸如“拨动 0 号开关，开关上方 LED 灯亮起”等板上实验操作以及对应现象。

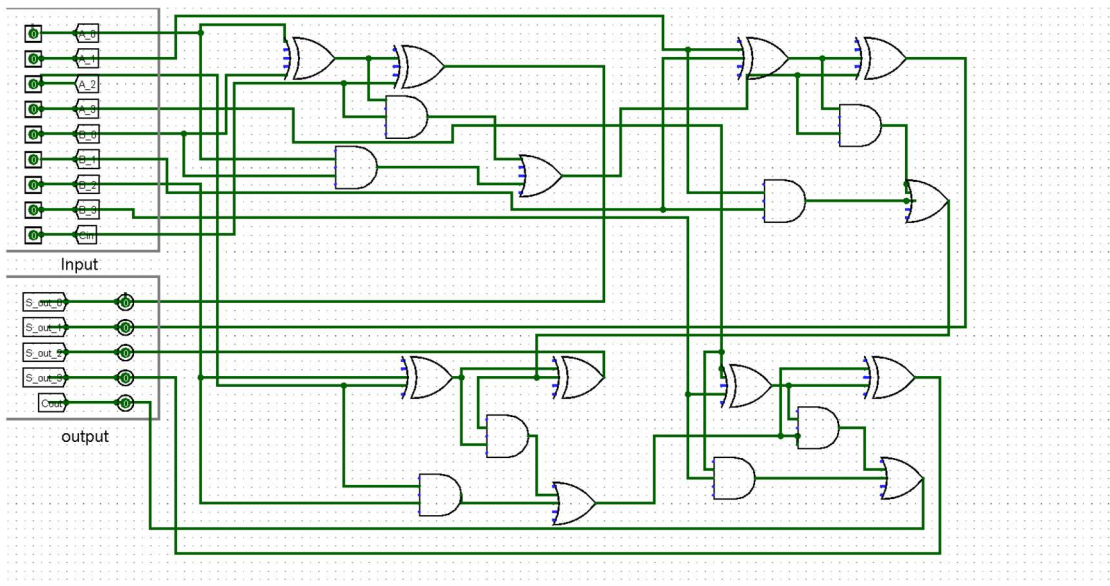
4.2 实验步骤

实验一

1. 利用 logisim 软件打开 full_adder.cric 文件
2. 文件中表明该模块的输入输出端口等信息。
3. 先行构建一个一位全加器



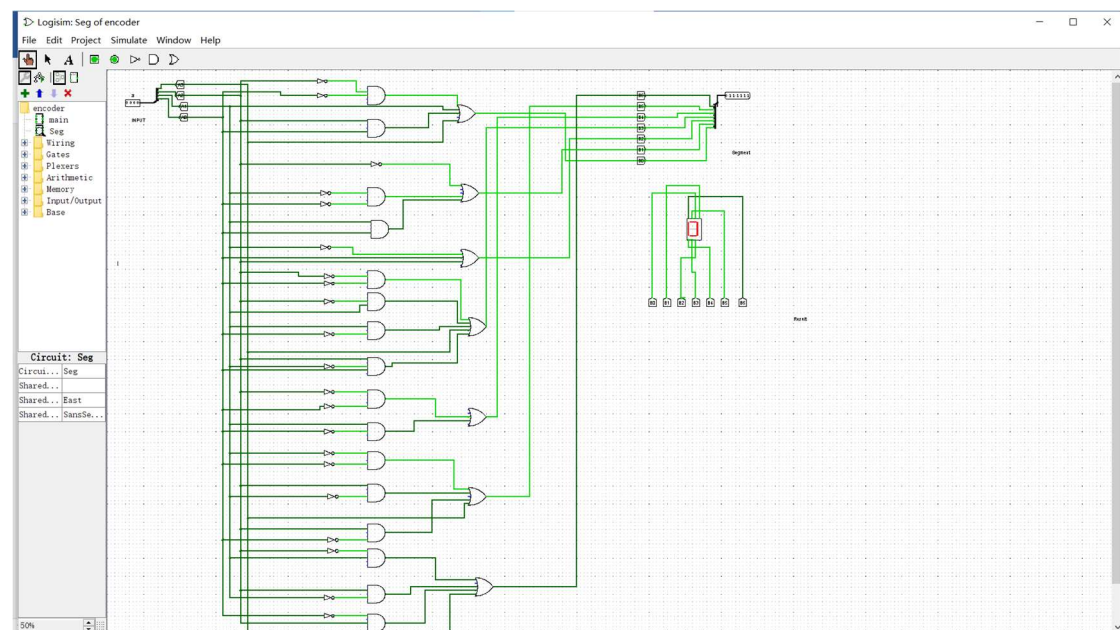
4. 然后利用第一个一位全加器的溢位值作为下一个一位全加器的 cin 值，如此再构建三个一位全加器。



5. 最终，进行实验测试，发现结果符合二进制加法，因测试结果较多，故不附图。

实验二

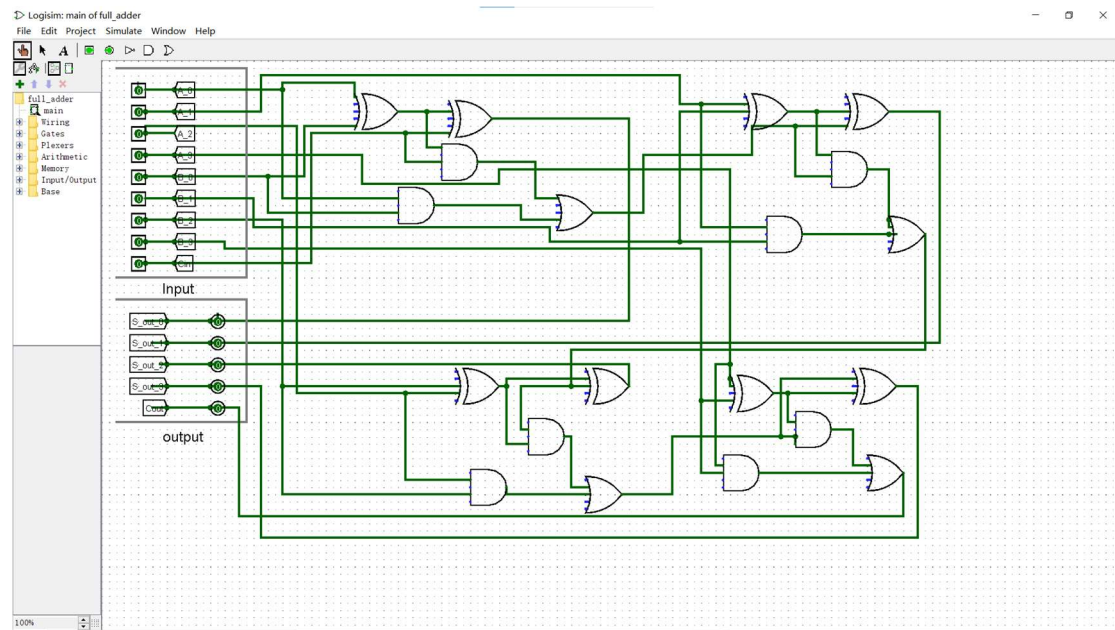
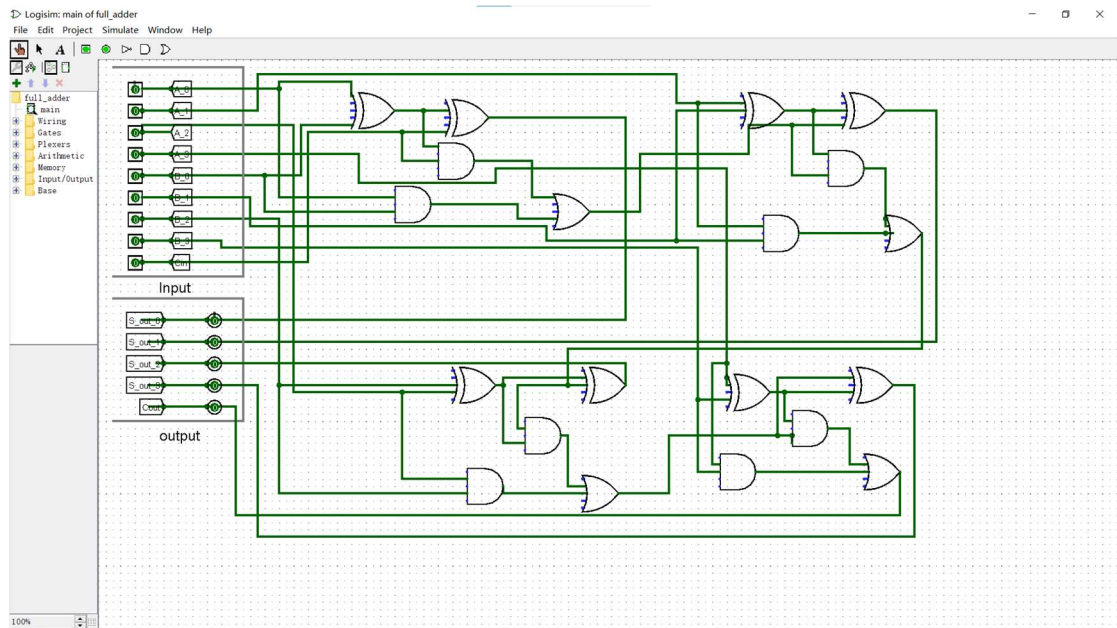
1. 利用真值表，设计一个四位二进制数表示七个输出结果的逻辑电路；其中七个二极管可以形象的表示出从 0 到 9 十个阿拉伯数字的形状。
2. 利用真值表的结果，利用非门，与门，或门构建电路。



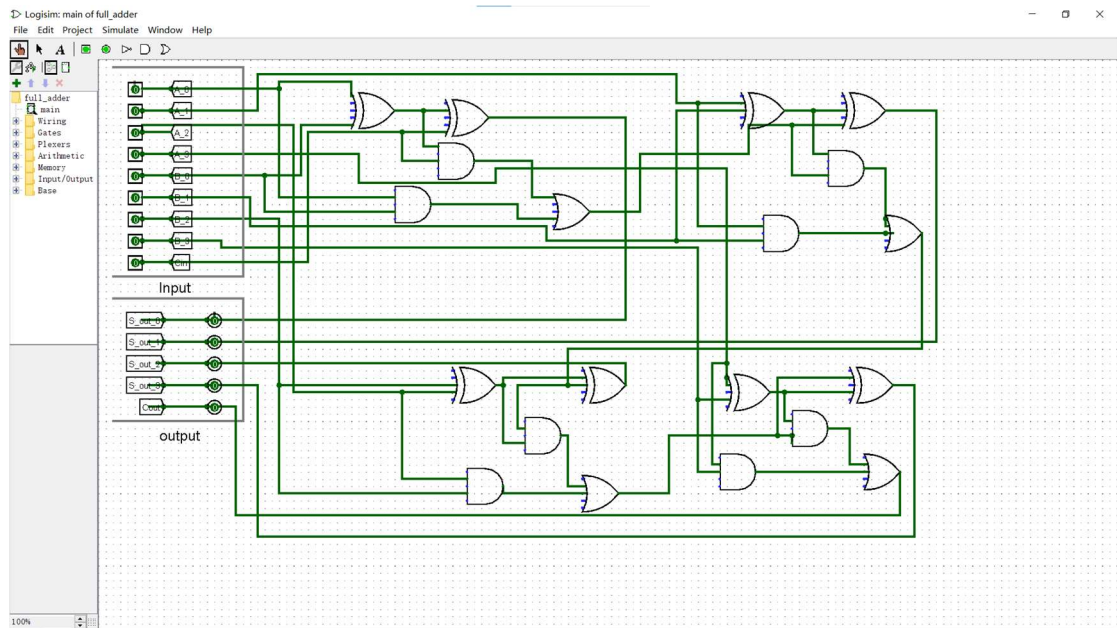
五、 实验结果与分析

说明：展示 Lab3 中基于 Logisim 的实验，本部分需展示设计完成的门级电路截图，以及更改输入数值后，对应的输出结果截图。针对后续基于 Vivado 的实验，本部分需包括仿真波形图截图、仿真激励代码和板上验证照片三个部分。

实验一：

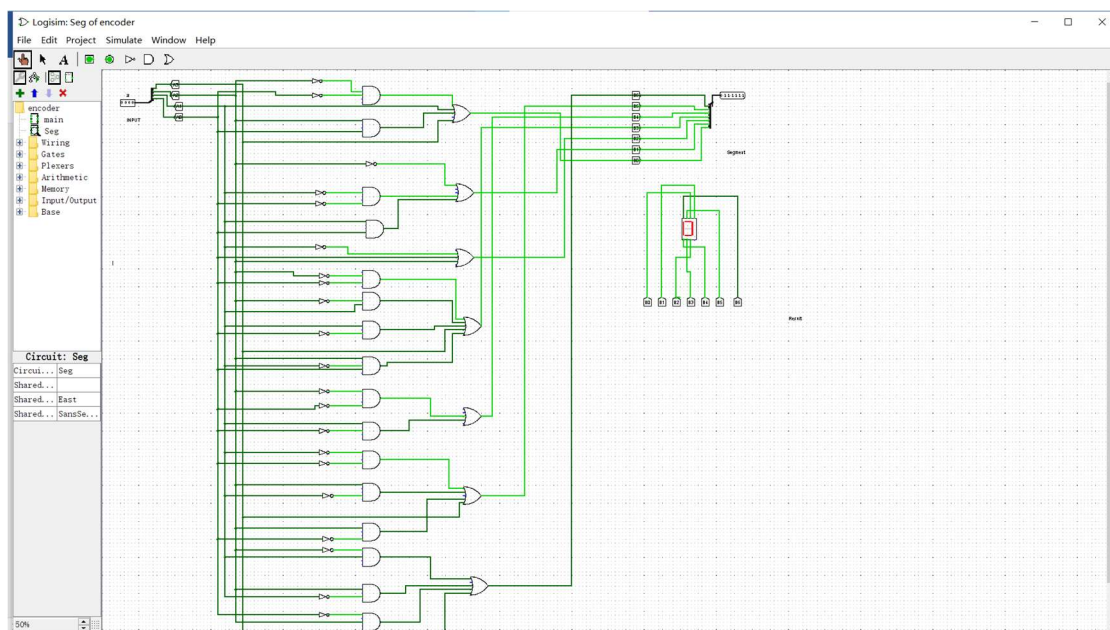


$$0010+0010=0100$$

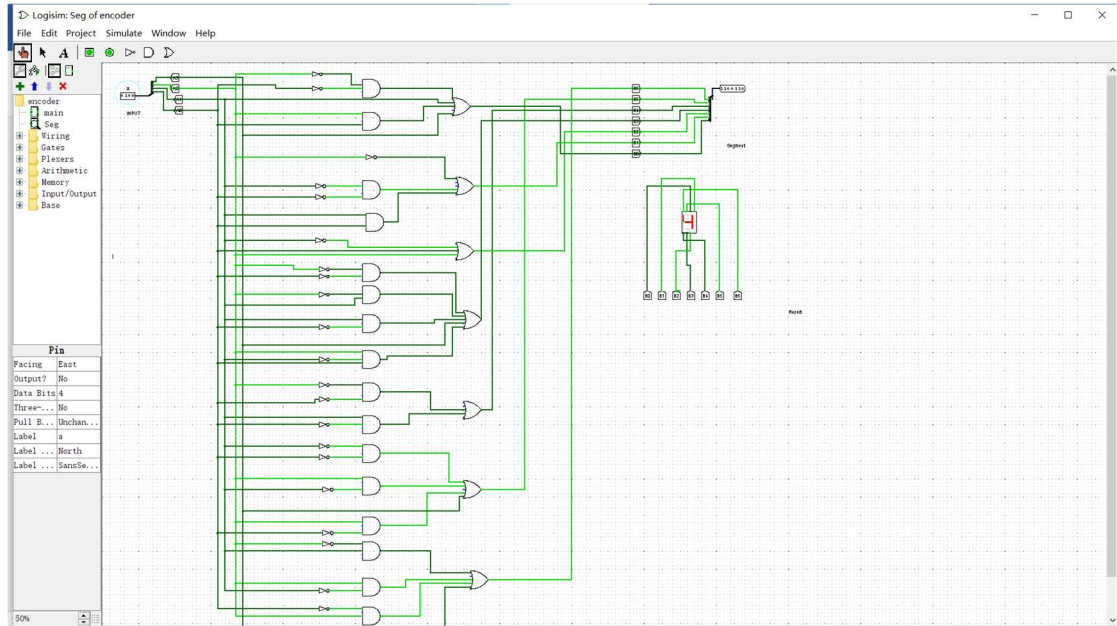


1111+1111=11110 (第一个“1”溢出)

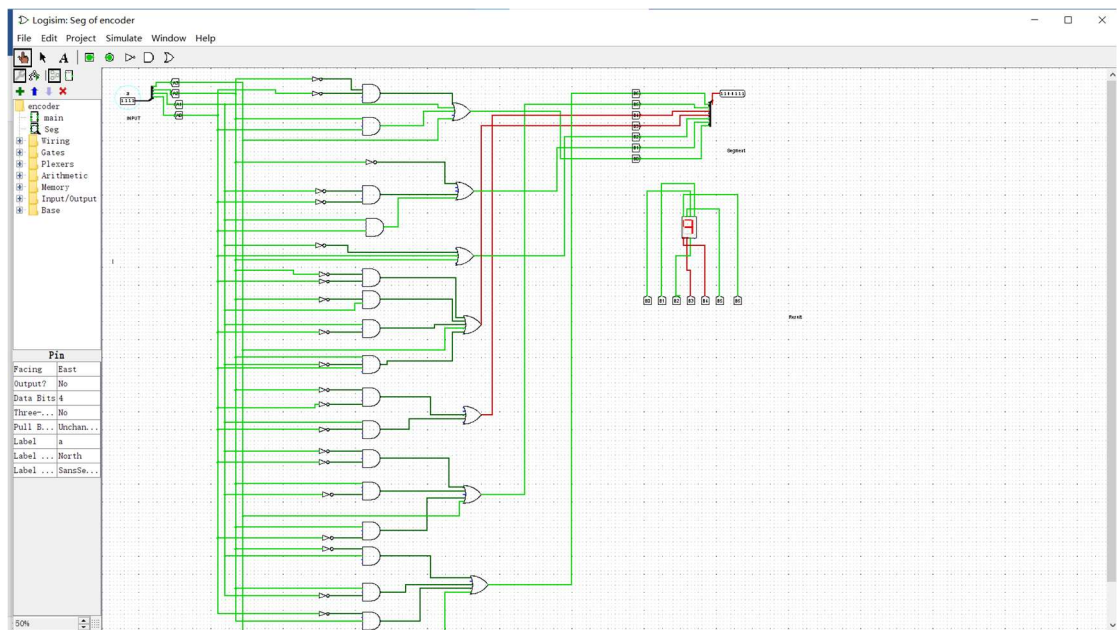
实验二:



输入为 0000 时, 显示 0;



输入为 0100 时，显示 4；



输入为 1111 时，显示 9。

六、 讨论、心得

坦言之，这次实验个人感觉入门时很困难，尤其是无法很好的将自己的想法转换为逻辑电路的表达形式，而且就像是在 lab2 中第一次使用 Verilog 语言一样，遇到了很多不解和困惑的地方，都是通过网络解决的，做完 lab3 之后，对逻辑电路有了更深的认识，希望以后能够不会像这样感到无从下手。

之前在周亚金老师下，读过《编码——》一书，也让我得到了很多启发，不过寒假时没有读的很懂，所以希望能够在以后有时间再看一遍。