

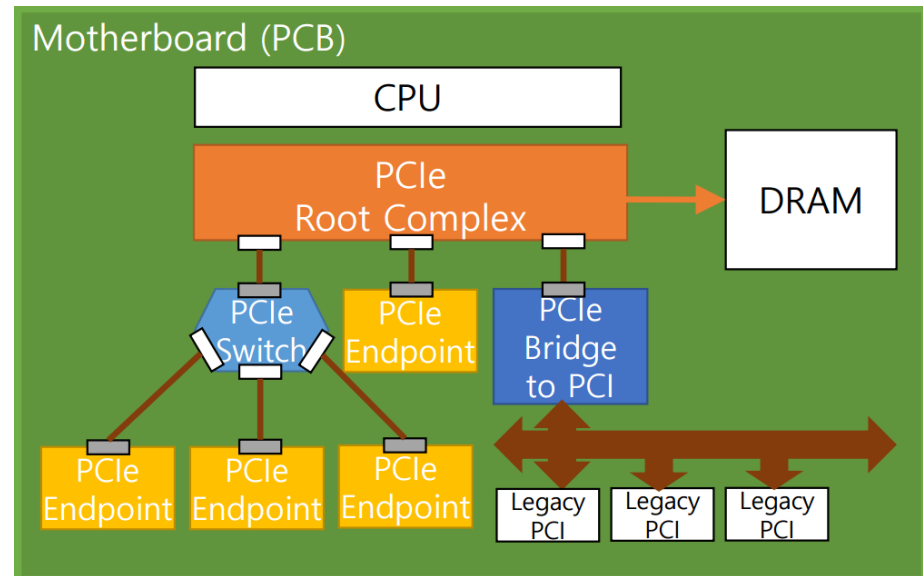


PCIe Data Link Layer [Flow Control]

Team 03 – 고보성, 조재우, 김원규, 정찬호

Contents

1. Data Link Layer Overview
2. Flow Control
3. DLLPs
4. Data Integrity Mechanisms



Data Link Layer Overview

PCIe의 흐름을 택배 시스템으로 이해하자면...



→ **DLL**
신뢰성있는 전송을 책임지는
택배기사



TLP

Virtual Channel



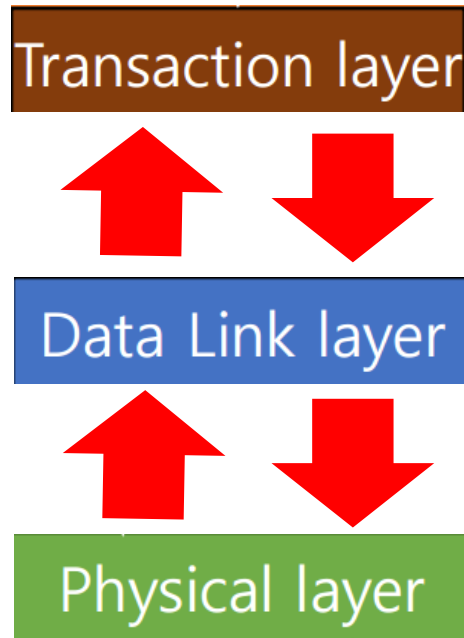
PCIe 1
Root complex



PCIe 2
End point

PCIe 요소	택배 비유
LCRC	손상감지 스티커
# SEQ	운송장 번호
ACK/ NAK DLLP	수신 확인 메세지
buffer	백업용 보관함

Data Link Layer Overview



- 트랜잭션 계층과 물리 계층 사이의 중간 계층 역할
- TLP의 신뢰성 있는 전송을 보장

➤주요기능

- ①LCRC를 통한 **Data Integrity** 확인
- ②Seq #로 순서 관리 및 손실 감지
- ③ACK/NAK DLLP로 전송 상태 응답
- ④재전송 버퍼를 활용한 오류 복구

➤특징

- **Point to Point**(Link 단위) 전송 제어

DLLP

- **Data Link Layer Packet [DLLP]**

- DLLP는 Data Link Layer에서 생성되는 제어용 경량 패킷으로, 송신단과 수신단 간의 상태 정보를 주고받기 위해 사용
- 송신 측과 수신 측의 **Data Link Layer 사이**에서 직접 주고받는 제어 패킷
- 종류도 여러가지가 있다. (Ack, Nak, update Flow Control, PM, Vendor specific)

- **DLLP ≠ TLP**

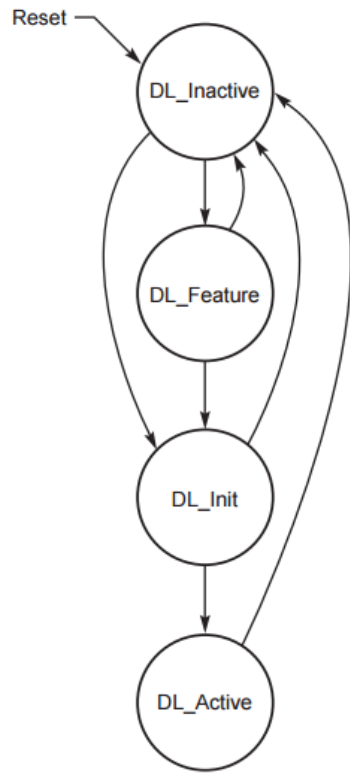
- 데이터를 실어나르는 TLP와 달리, DLLP는 **Link 관리**를 위한 메시지
- 오류 시 처리 방식이 다름 / **패킷 폐기**

- **DLLP에도 CRC가 붙을까?**

- DLLP 역시 전송 중 손상을 감지하기 위해 **16비트 CRC**를 포함

DLCMSM

Data Link Control & Management State Machine



- Data Link Layer가 Physical Layer과의 연결 상태를 추적하고, Transaction Layer와 연동하여 링크를 초기화/관리하는 상태머신

State

DL_Inactive	Physical Layer reporting Link is non-operational or nothing is connected to the Port
DL_Feature	Physical Layer reporting Link is operational, perform the Data Link Feature Exchange
DL_Init	Physical Layer reporting Link is operational, initialize Flow Control for the default Virtual Channel (VC0)
DL_Active	Normal operation mode

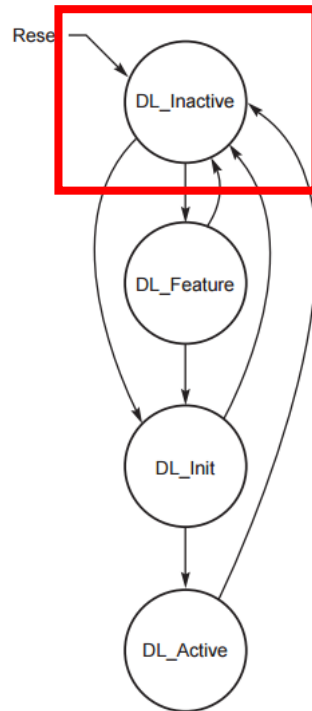
Status output

DL_ Down	Data Link Layer is not communicating with the component on the other side of the Link.
DL_ Up	The Data Link Layer is communicating with the component on the other side of the Link.

< State Machine diagram >

DLCMSM

DL_Inactive



Rules of DL_Inactive

Description: link is non- operational

Behavior on entry:

- ① Data Link Layer 내부 상태 초기화
- ② Replay Buffer 비움
- ③ Feature Exchange 관련 플래그 초기화

Behavior while in this state:

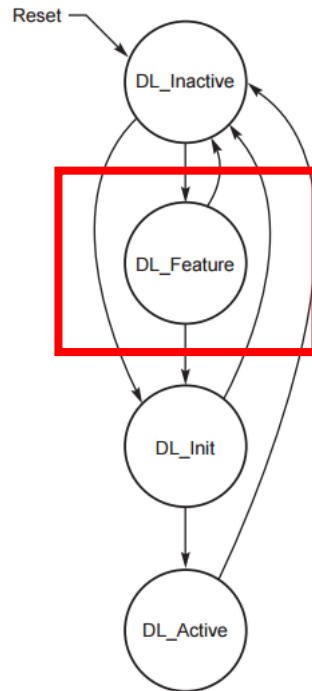
- ① DL_Down 상태 보고
- ② TLP 및 DLLP 전송/수신 금지
- ③ 상위 계층은 outstanding TLP 폐기 (Hot-remove 효과)

Transition Conditions:

- DL_Feature : Feature Exchange 지원/ LinkUp/ SW에서 링크 활성화
- DL_Init : Feature Exchange 미지원/ LinkUp/ SW에서 링크 활성화

DLCMSM

DL_Feature



Rules of DL_Feature

Description: perform feature exchange protocol

Behavior while in this state:

- ① Feature DLLP 주고받음
- ② 여전히 DL_Down 상태로 간주
- ③ TLP 수신 시 폐기, ACK는 하지 않음

Transition Conditions:

- DL_Inactive : LinkUp=0으로 떨어짐
- DL_Init : 기능 교환 성공 or 상대가 미지원

DLCMSM

DL_Init

Rules of DL_Init

Description: Initialize Flow Control(3.4) for the default Virtual Channel

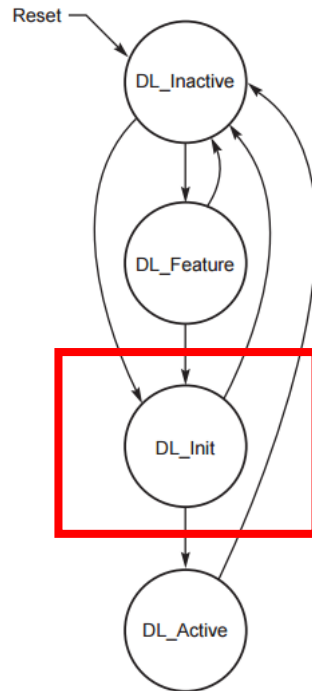
Behavior while in this state:

- ① InitFC1, InitFC2 DLLP 전송
- ② FC_INIT1 중에는 DL_Down, FC_INIT2 진입 시 DL_Up
- ③ TLP 수신 시 폐기 (ACK 안 함)

(InitFC1 → 수신 → Flag FI1 set → InitFC2 전송 → FI2 set → DL_Active 진입)

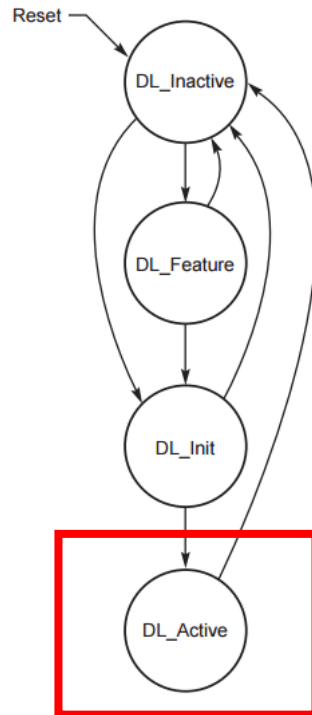
Transition Conditions:

- DL_Active: Flow Control 초기화 성공 + LinkUp 유지
- DL_Inactive: LinkUp = 0



DLCMSM

DL_Active



Rules of DL_Active

Description: normal operation mode

Behavior while in this state:

- ① TLP/DLLP 자유롭게 주고받음
- ② DL_Up 상태 보고

Transition Conditions:

→ DL_Inactive: LinkDown 발생 시

단, 아래와 같은 예외적 상황에서는 오류로 간주하지 않음:

SW에 의한 링크 비활성화 (Link Disable)

Secondary Bus Reset 설정됨

PME_Turn_Off 메시지 발생

Hot-Plug 상황 (슬롯 제거 등)

Switch 포트 상위에서 이벤트 발생

Data Link Feature Exchange

- 선택적(Optional) 기능 교환 프로토콜
- 목적:
 - local(master) 포트와 리모트(slave) 포트가 지원하는 데이터 링크 기능 정보를 교환
 - ECRC 및 Scaled Flow Control과 같은 향상된 기능들을 양쪽 포트가 모두 지원하는지 확인하고, 활성화 가능 여부를 결정하기 위한 규약
(기능 간 불일치로 인한 통신 오류를 방지하기 위해 사전에 지원 기능 정보를 교환하는 메커니즘)
- 이 기능을 지원하는 포트는 'Data Link Feature Extended Capability'를 가짐
PCIe Configuration Space에 Data Link Feature 관련 레지스터 세트를 구현

Data Link Feature Exchange

동작조건

DL_Feature status 진입 시:
-Remote 관련 필드 클리어

DL_Feature status 동안:
- TLP 전송 차단
- 최소 34 μ s마다 Data Link Feature DLLP 전송
- Feature DLLP 수신 시,
①Valid bit clear → 상대 정보 저장
②Valid bit Set

- 종료 조건:
InitFC1 DLLP 수신
MRInit DLLP 수신
Feature Ack bit가 Set된 DLLP 수신

기능 활성화 조건

① 각 기능은 Feature Supported 필드의 비트로 표현

② 특정 기능이 활성화되기 위한 조건:
Local 필드의 해당 비트가 Set
Remote 필드의 해당 비트도 Set

∴ 양쪽 포트가 모두 해당 기능을 지원해야 활성화됨

Data Link Feature Exchange

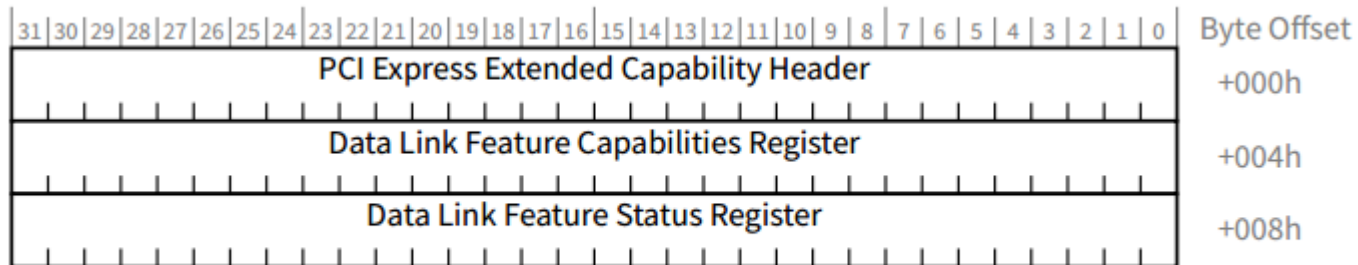


Figure 7-74 Data Link Feature Extended Capability

Data Link Feature Exchange 기능을 지원하기 위해 PCIe 장치는 위와 같은 확장 레지스터를 가짐

Register	역할	Offset
PCI Express Extended Capability Header	해당 확장 기능의 ID와 구조 정보	+000h
Data Link Feature Capabilities Register	로컬 포트(Local)가 지원하는 기능	+004h
Data Link Feature Status Register	상대 포트(Remote)의 기능 수신 정보 저장	+008h

Data Link Feature Exchange

①

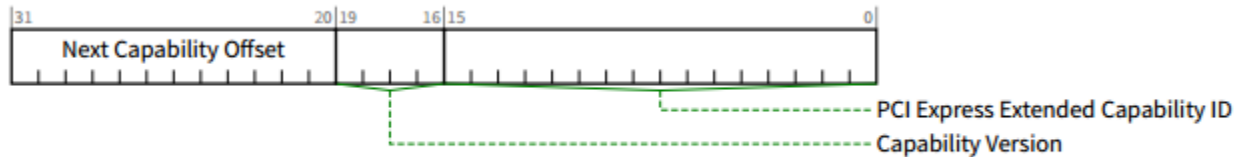


Figure 7-75 Data Link Feature Extended Capability Header

②

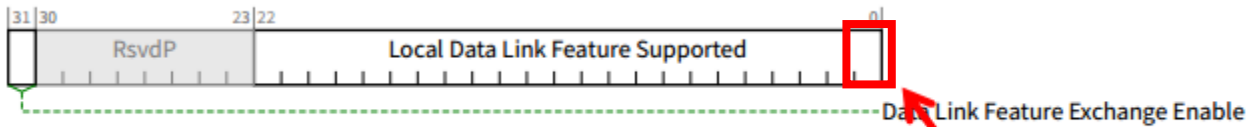


Figure 7-76 Data Link Feature Capabilities Register

③

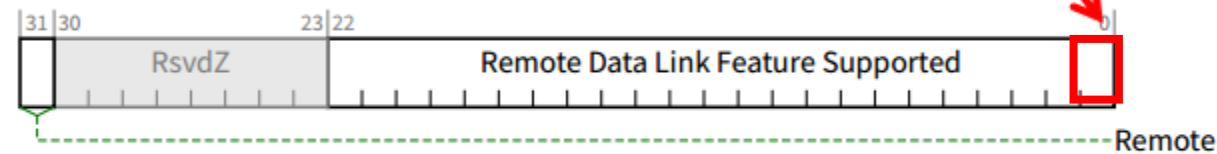
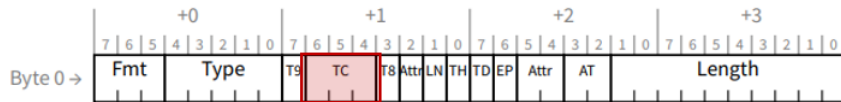


Figure 7-77 Data Link Feature Status Register

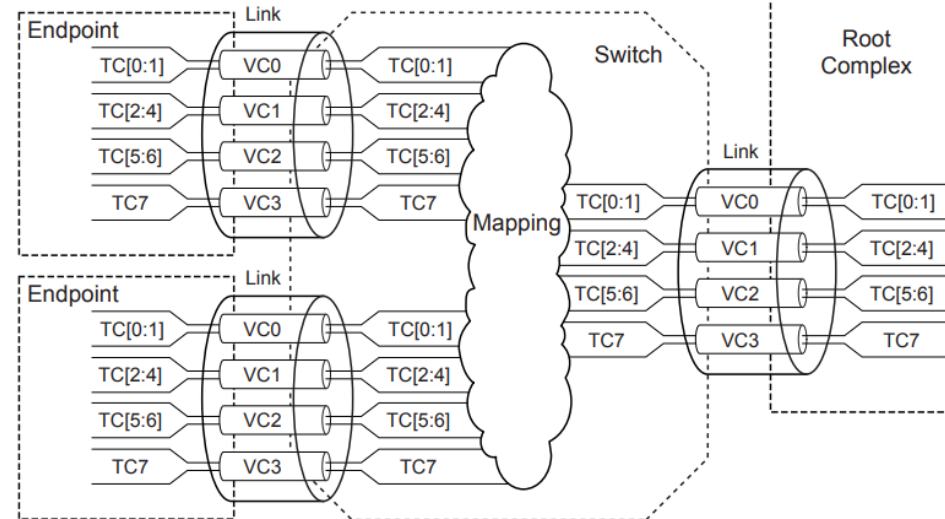
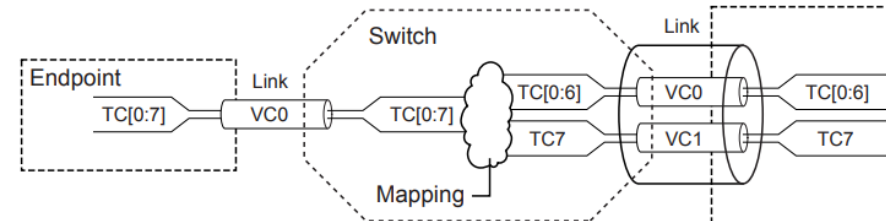
Scaled FC 지원여부 bit field
-Feature DLLP로 통신

2. Flow Control

Virtual Channel



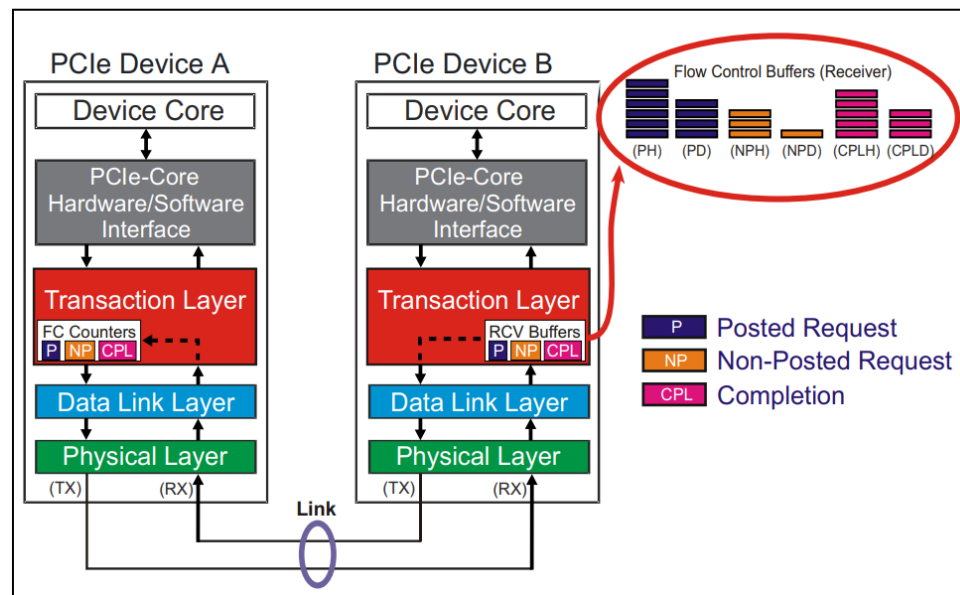
- TC(Traffic Class): 패킷 전송의 우선 순위를 결정
- 0~7까지의 TC값에 따라 VC(Virtual Channel)이 정해짐
- 각 VC마다 Flow control 존재



Flow Control 개요

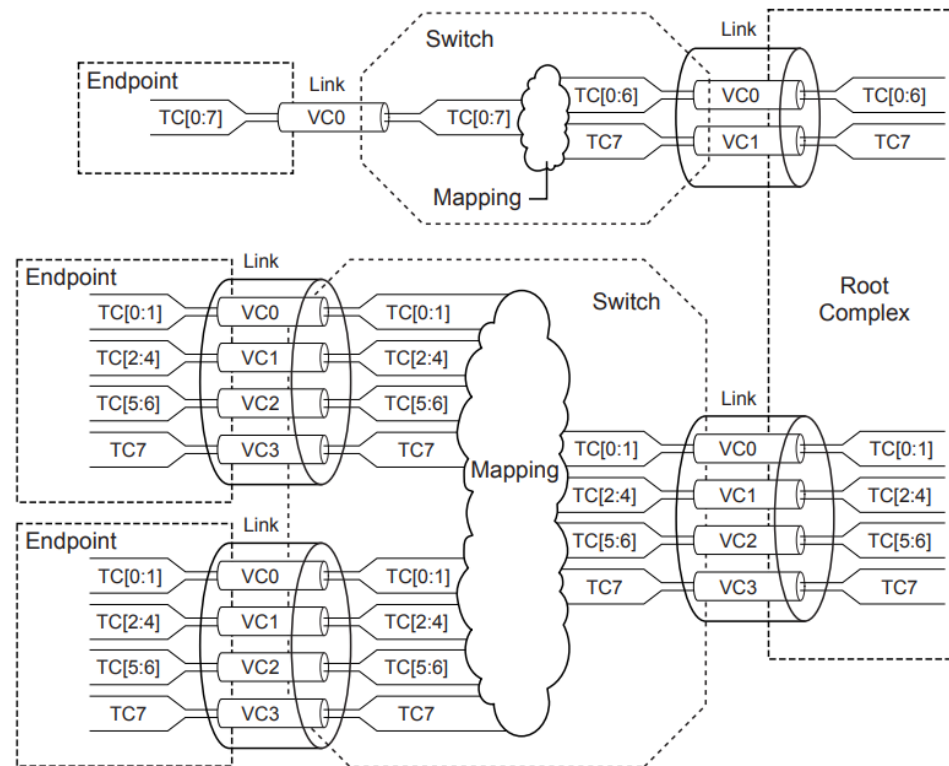
- 수신 측 버퍼 오버플로우 방지
- Credit – base 방식
 - data / header credit
- Transaction Layer의 데이터 요구를 효율적 처리 – DLLP 사용

Figure 6-2: Flow Control Buffer Organization



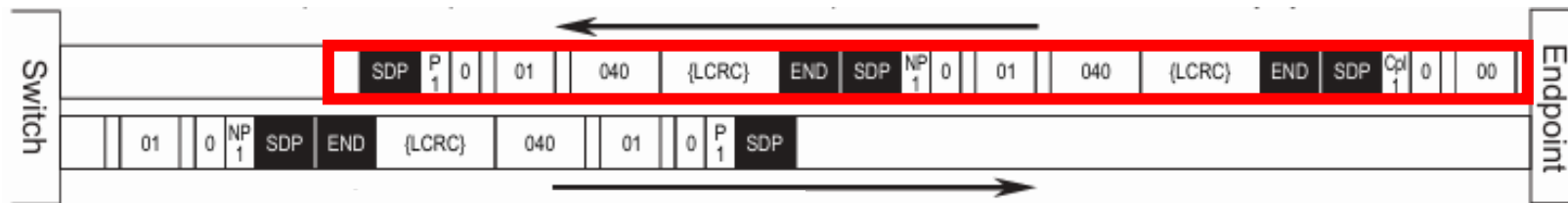
Flow Control Initialization

- 전원을 켜거나, interconnect reset 수행 후 진행.
- VCx가 사용되기 전에 완료.
- State Machine – 2 state 구성 (FC_INIT1, FC_INIT2)



Flow Control Initialization

FC_INIT1 State 개요

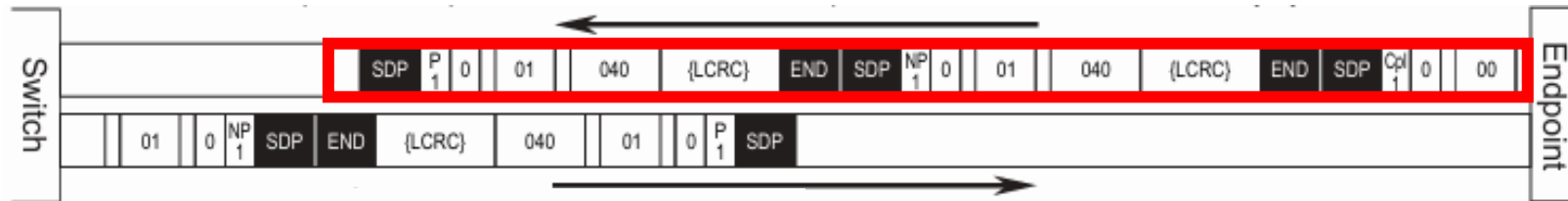


< INITFC1_DLLP 전송 >

- 수신 측 크레딧 정보 전달
- 송신 측에서 각 크레딧 값이 기록되면 FI1_flag =1 설정 -> FC_INIT2 State 전환

Flow Control Initialization

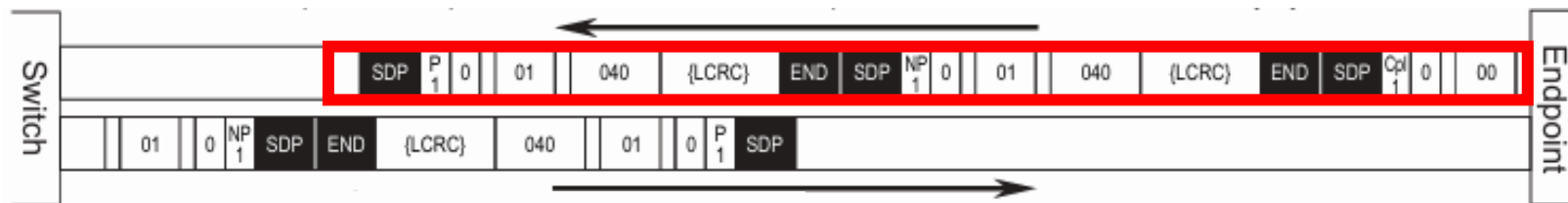
FC_INIT1 State 특징



- VC0 = DL_INIT 상태 진입 / VCx = VC가 활성화 될 때 -> 시작
- TLP 전송 X

Flow Control Initialization

FC_INIT1 State 특징



- INITFC1 DLLP 전송 순서
InitFC1-P(Posted Request) -> NP(Non-Posted Request) -> CPI(Completion)
- 최소 34μs 마다 전송 (Recovery, Configuration LTSSM 상태에는 제외)
- 자주 반복 전달이 권장

Flow Control Initialization

FC_INIT1 State 특징

- Scaled Flow Control 활성화 -> HdrScale/DataScale Field에 01,10,11 표시
- Scaled Flow Control 비활성화 -> 00 표시

Flow Control Initialization

Scaled Flow Control

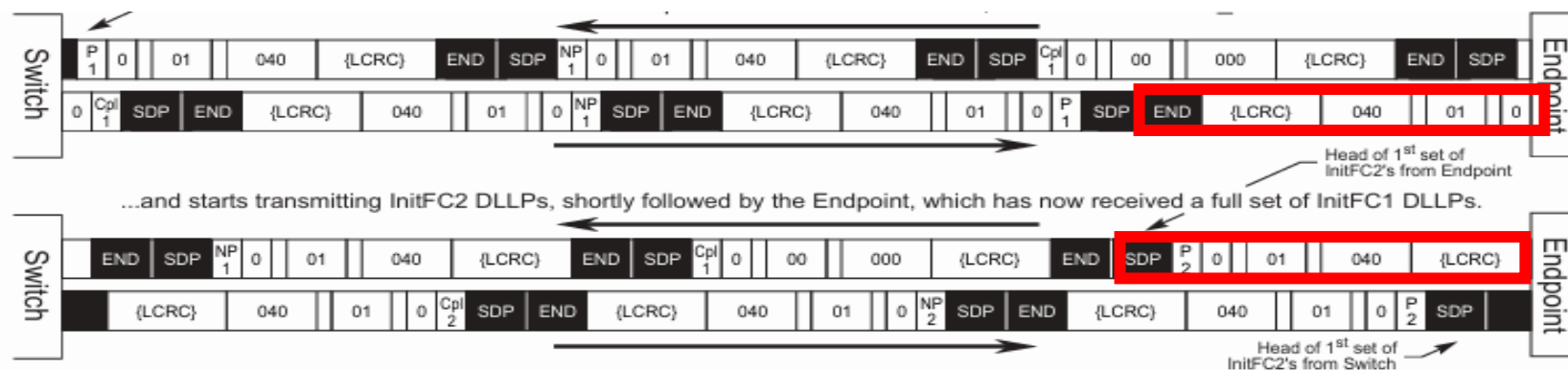
- 기본 설정 → 최대 Header Credit = 127(8비트) / 최대 Data Credit = 2047(12비트)
→ Link Round Trip Time 고려 시 성능 저하 가능성

Table 3-2 Scaled Flow Control Scaling Factors

Scale Factor	Scaled Flow Control Supported	Credit Type	Min Credits	Max Credits	Field Width	FC DLLP field	
						Transmitted	Received
00b	No	Hdr	1	127	8 bits	HdrFC	HdrFC
		Data	1	2,047	12 bits	DataFC	DataFC
01b	Yes	Hdr	1	127	8 bits	HdrFC	HdrFC
		Data	1	2,047	12 bits	DataFC	DataFC
10b	Yes	Hdr	4	508	10 bits	HdrFC >> 2	HdrFC << 2
		Data	4	8,188	14 bits	DataFC >> 2	DataFC << 2
11b	Yes	Hdr	16	2,032	12 bits	HdrFC >> 4	HdrFC << 4
		Data	16	32,752	16 bits	DataFC >> 4	DataFC << 4

Flow Control Initialization

FC_INIT2 State



< INITFC2_DLLP 전송 >

- 수신 측 크레딧 정보를 송신 측에서 다시 전달
- 양측에 INITFC2_DLLP가 적어도 1개 이상 들어오면 FI2_flag =1 설정 -> 초기화 완료

Flow Control Initialization

FC_INIT2 State 특징

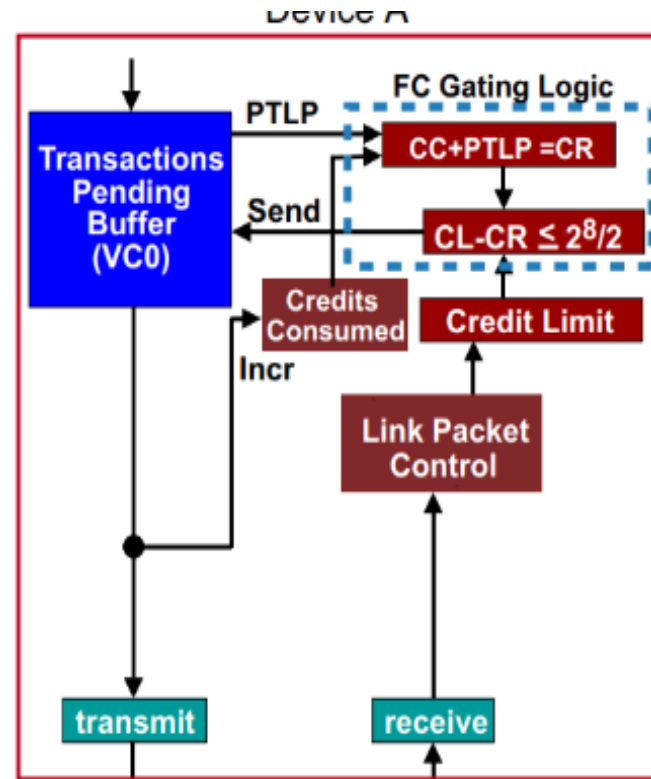
- 초기화가 성공적으로 이루어졌음을 확인
- FC_INIT1 DLLP와 조건 동일

Flow Control Element

송신측 요소

- Transactions Pending Buffer: 같은 VC에서 보낼 transaction을 보관
- Credits Consumed counter: 이 buffer에서 보낸 모든 transaction의 credit합을 포함
- Credit Limit counter: 수신자에서 사용 가능해진 flow control credit을 업데이트
- Flow Control Gating Logic: 수신자가 보류 중인 TLP를 수락할 수 있는 충분한 flow control credit을 가지고 있는지 여부를 결정하는 계산을 수행

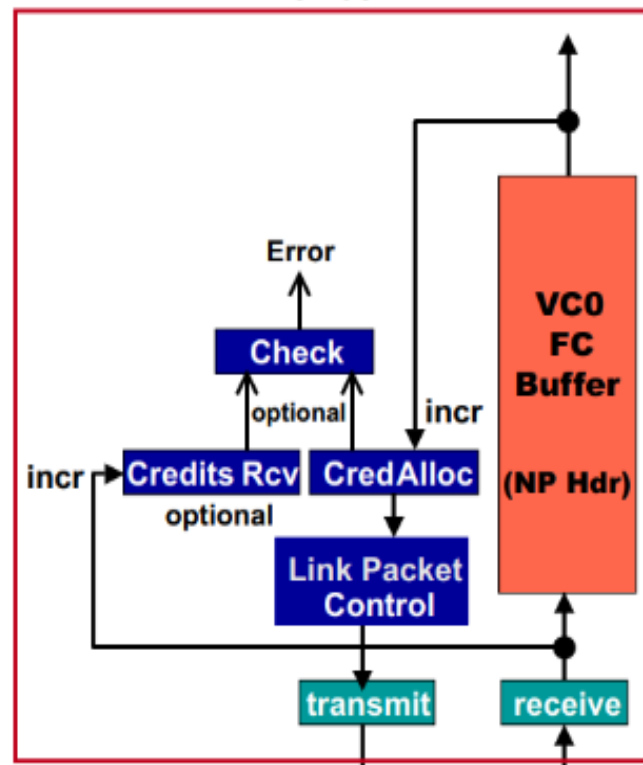
$$CL - (CC + PTLP) \bmod 2^{[FieldSize]} \leq 2^{[FieldSize]}/2$$



Flow Control Element

수신측 요소

- Flow Control Buffer: 들어오는 header나 data를 저장
- Credit Allocated: 사용 가능한 총 flow control credit을 확인



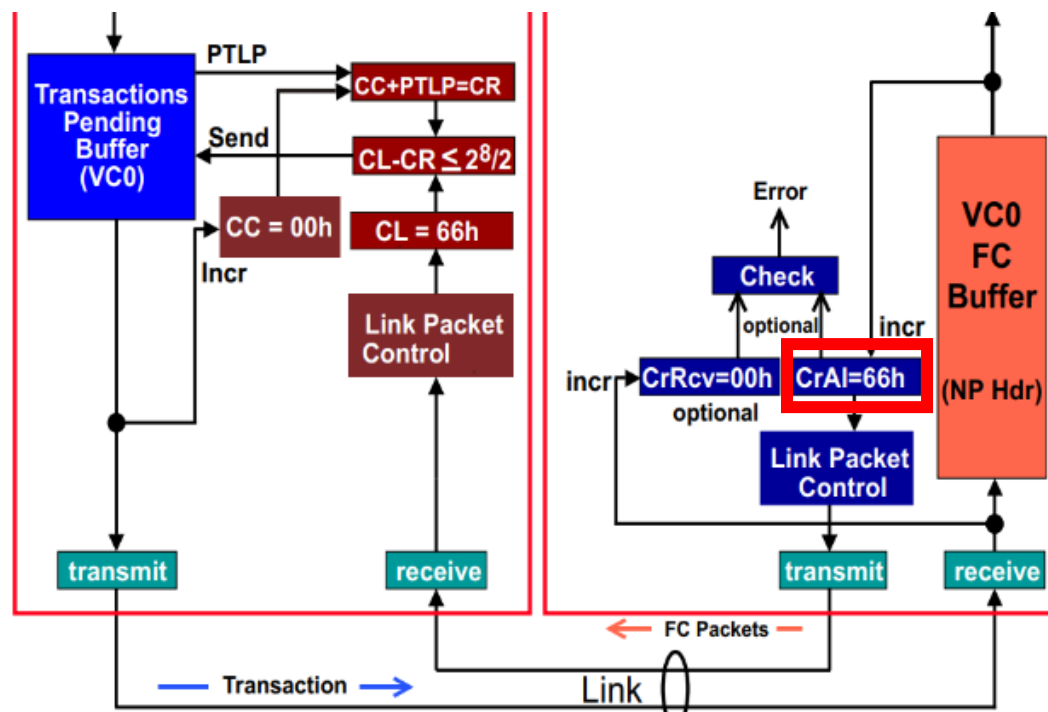
Flow Control Exemple

<수신 측 조건>

- FC buffer = 2KB (2048B)
- Credit = 5DW (20B)
→ Credit allocated = 102d
→ 66h

<Initiation 이후>

- Credit Limit = 66h



Flow Control Exemple

<TLP 준비>

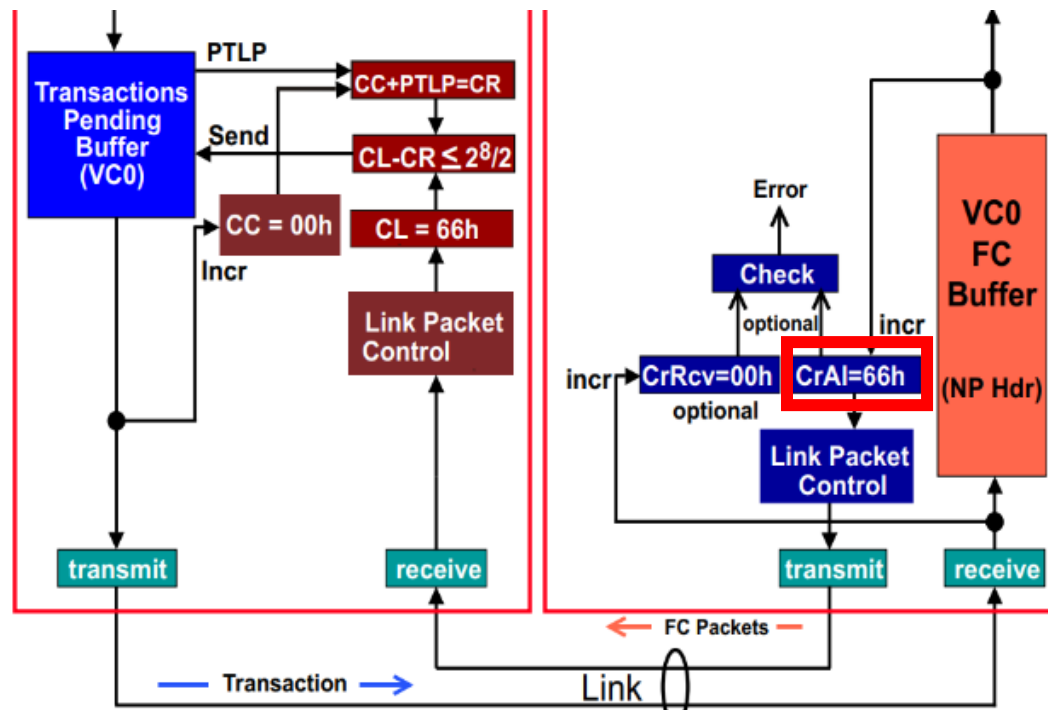
Credits Consumed = 00h

PTLP = 01h

CR = 01h

65h < 128d → 문제 없음!

$$CL - (CC + PTLP) \bmod 2^{[FieldSize]} \leq 2^{[FieldSize]}/2$$



Flow Control Exemple

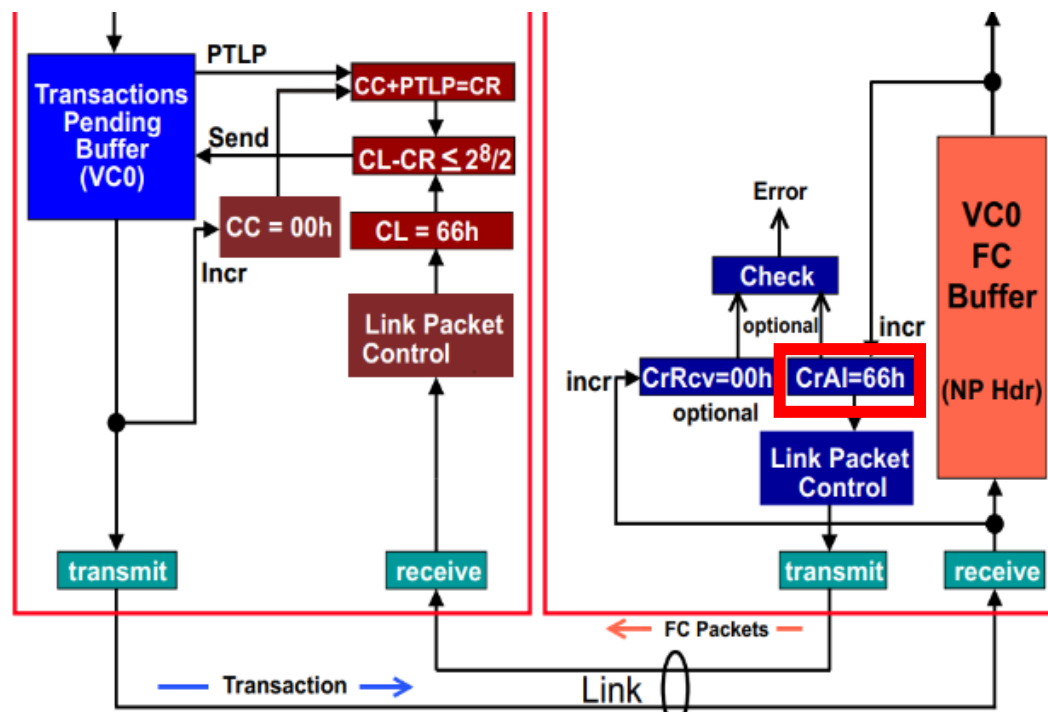
<TLP 전송 >

Credits Consumed = 01h

PTLP = 00h

Credit Allocated = 65h

Credit Limited = 65h

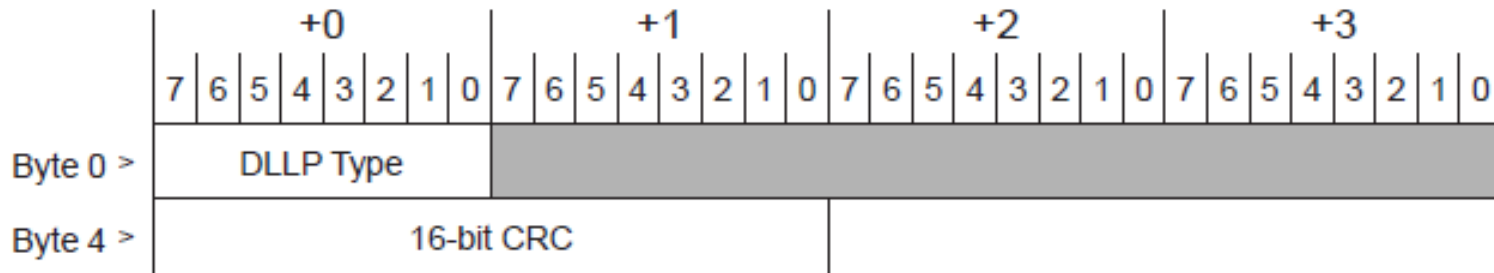


3. DLLPs

Data Link Layer Packets (DLLPs)

- Ack DLLP : 정상적으로 수신된 TLP의 Sequence number를 송신자에게 돌려보내서, 오류 없이 잘 도착했음을 알림
- Nak DLLP : 수신 과정에서 오류가 발생한 TLP의 Sequence number를 송신자에게 돌려보내서, 재전송이 필요함을 알림
- InitFC1, InitFC2, UpdateFC DLLPs : Flow Control을 위해 사용
- PM DLLP : 전력 관리 (Power Management)를 위해 사용
- Vendor-specific DLLP : 제조사 특화 기능을 위해 사용
- NOP DLLP : 아무 기능 없음, 수신 측에서 무시됨

DLLP Rules (1/2)



OM14303A

Figure 3-4 DLLP Type and CRC Fields

- **DLLP Type** : 해당 DLLP가 어떤 용도로 사용되는지 나타냄
- **16-bit CRC** : DLLP의 데이터 무결성을 위해 사용됨

DLLP Rules (2/2)

- **Reserved field:** 현재 버전의 규격에서는 사용되지 않는 필드.
 - 이후 규격이 업그레이드되거나 기능이 추가될 때 사용하기 위해 남겨두는 공간
 - 해당 필드는 0으로 채워져 있어야 하며 수신자는 이 필드를 무시 해야함
 - 만약 임의로 사용할 경우 통신 장애, 미래 규격과의 충돌 문제등이 발생할 수 있음

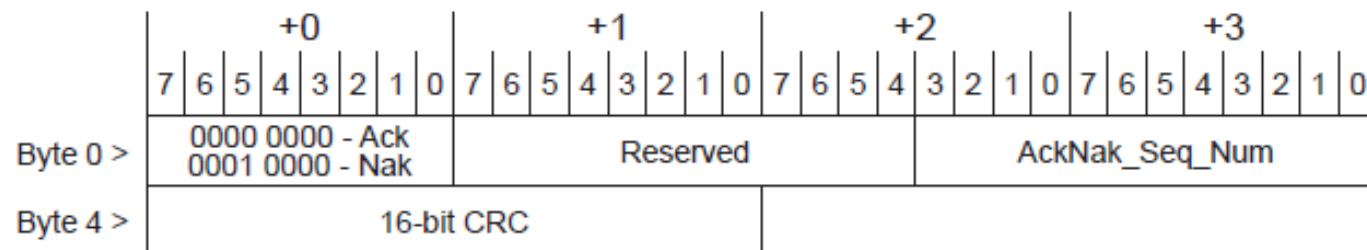
DLLP Type Encodings

Table 3-3 DLLP Type Encodings

Encodings (b)	DLLP Type
0000 0000	Ack
0000 0001	MRInit - See the MR-IOV Specification ⁴⁹
0000 0010	Data_Link_Feature
0001 0000	Nak
0010 0000	PM_Enter_L1
0010 0001	PM_Enter_L23
0010 0011	PM_Active_State_Request_L1
0010 0100	PM_Request_Ack
0011 0000	Vendor-specific
0011 0001	NOP
0100 0v ₂ v ₁ v ₀	InitFC1-P (v[2:0] specifies Virtual Channel)
0101 0v ₂ v ₁ v ₀	InitFC1-NP

0110 0v ₂ v ₁ v ₀	InitFC1-Cpl
0111 0v ₂ v ₁ v ₀	MRInitFC1 (v[2:0] specifies Virtual Link) - See the MR-IOV Specification ⁵⁰
1100 0v ₂ v ₁ v ₀	InitFC2-P
1101 0v ₂ v ₁ v ₀	InitFC2-NP
1110 0v ₂ v ₁ v ₀	InitFC2-Cpl
1111 0v ₂ v ₁ v ₀	MRInitFC2 - See the MR-IOV Specification ⁵¹
1000 0v ₂ v ₁ v ₀	UpdateFC-P
1001 0v ₂ v ₁ v ₀	UpdateFC-NP
1010 0v ₂ v ₁ v ₀	UpdateFC-Cpl
1011 0v ₂ v ₁ v ₀	MRUpdateFC - See the MR-IOV Specification ⁵²
All other encodings	Reserved

DLLP Format for Ack and Nak

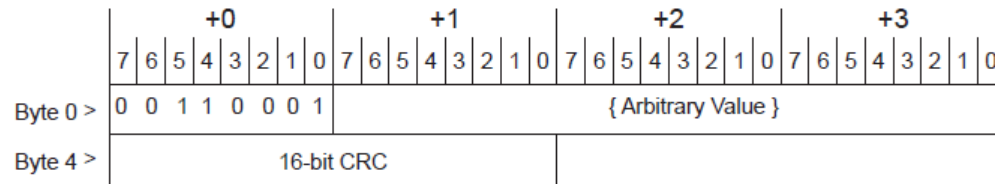


OM13781A

Figure 3-5 Data Link Layer Packet Format for Ack and Nak

- Seq_Num : sequence number를 통해 어떤 TLP에 대한 Ack, Nak인지 나타냄

DLLP Format for NOP

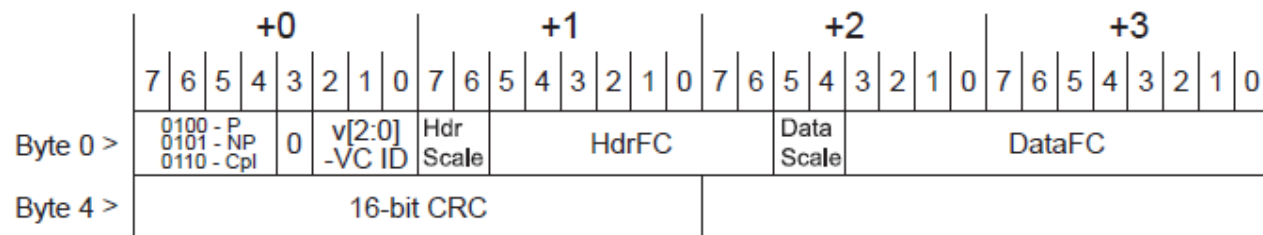


NOPDataLinkPktFmt

Figure 3-6 NOP Data Link Layer Packet Format

- 정상 동작 상태 확인을 위한 패킷
 - 시스템 연결이 끊기지 않았는지 확인
 - 연결 상태 유지
 - 디버깅/검증 시 각 블록이 원하는대로 동작하는지 확인
- 수신자는 데이터 무결성을 확인한 후 해당 DLLP를 아무 조치 없이 폐기해야 함

DLLP Format for InitFC1,2, UpdateFC (1/8)



OM13782B

Figure 3-7 Data Link Layer Packet Format for InitFC1

- P(Posted) : 응답 필요 없음
- NP(Non-Posted) : 응답 필요함
- Cpl(Completion) : 응답 데이터

DLLP Format for InitFC1,2, UpdateFC (2/8)

- **HdrFC field** : 특정 타입(P, NP, Cpl)으로 명시된 header에 대한 FC Credit 값을 포함
- **DataFC field** : 특정 타입으로 명시된 payload에 대한 FC Credit 값을 포함
- **Credit** : PCIe에서 데이터가 전송될 때 사용되는 “허용된 용량” 또는 “허용된 횟수”의 개념
 - credit 값을 통해 송신자는 수신자에게 얼마나 많은 데이터를 보낼 수 있는지를 파악하고 이를 기준으로 데이터를 전송하게 됨
 - credit이 없을 경우 송신자는 credit이 업데이트(UpdateFC)되기를 기다림

DLLP Format for InitFC1,2, UpdateFC (3/8)

Table 3-4 HdrScale and DataScale Encodings

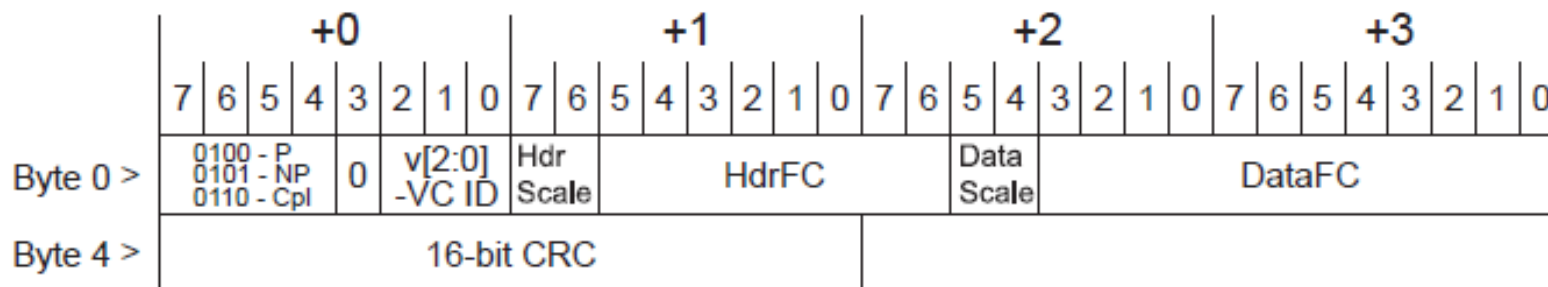
HdrScale or DataScale Value	Scaled Flow Control Supported	Scaling Factor	HdrFC DLLP Field	DataFC DLLP Field
00b	No	1	HdrFC[7:0]	DataFC[11:0]
01b	Yes	1	HdrFC[7:0]	DataFC[11:0]
10b	Yes	4	HdrFC[9:2]	DataFC[13:2]
11b	Yes	16	HdrFC[11:4]	DataFC[15:4]

- HdrScale field : 명시된 타입의 header에 대한 credit 값의 Scaling factor를 나타냄
- DataScale field : 명시된 타입의 payload data에 대한 credit 값의 Scaling factor를 나타냄

DLLP Format for InitFC1,2, UpdateFC (4/8)

- UpdateFC DLLP를 전송할 때, 송신자는 다음과 같은 경우에만 0이 아닌 HdrScale 및 DataScale field를 설정할 수 있음
 - 송신자 자신이 Scaled Control을 지원하며, 해당 VC에 대한 이전의 InitFC1 및 InitFC2 DLLP에서 0이 아닌 HdrScale 및 DataScale 값을 이미 수신한 경우
- 즉, 자신과 상대방 둘 다 Scaled Flow Control을 지원할 때만 Scaling이 가능함

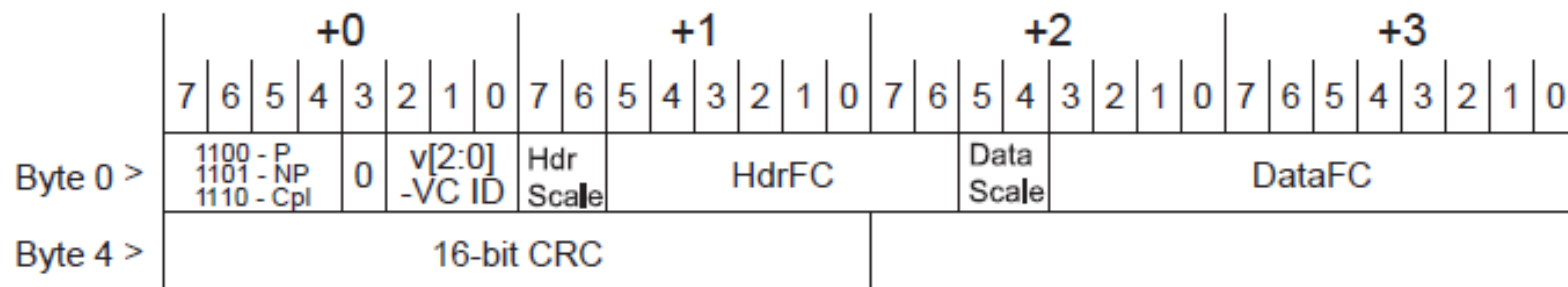
DLLP Format for InitFC1,2, UpdateFC (5/8)



OM13782B

Figure 3-7 Data Link Layer Packet Format for InitFC1

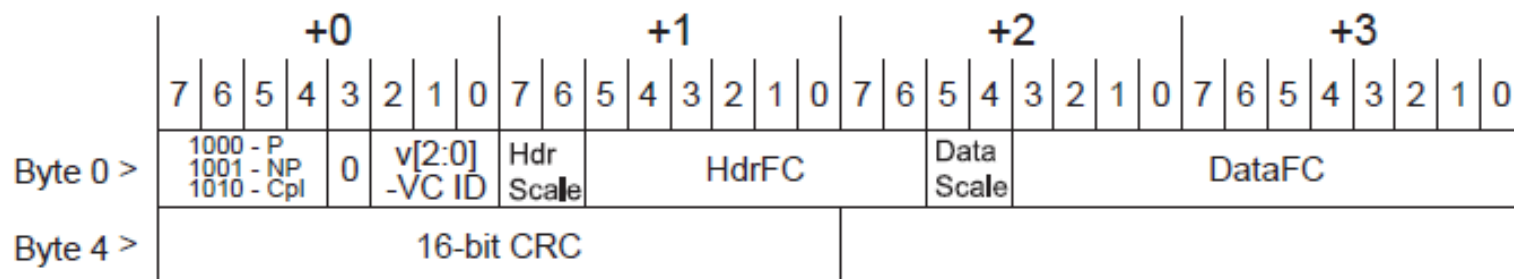
DLLP Format for InitFC1,2, UpdateFC (6/8)



OM13783B

Figure 3-8 Data Link Layer Packet Format for InitFC2

DLLP Format for InitFC1,2, UpdateFC (7/8)



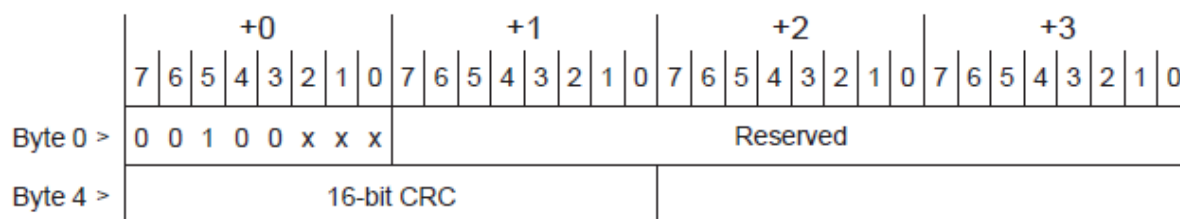
OM13784B

Figure 3-9 Data Link Layer Packet Format for UpdateFC

DLLP Format for InitFC1,2, UpdateFC (8/8)

- Data Link Layer는 Virtual Channel의 FC Credit을 초기화할 때 DLLP 전송을 준비하고, 이후 Transaction Layer가 FlowControl 초기화를 완료하면 그때 DLLP를 전송함
- Data Link Layer는 DLLP를 수신할 때 무결성을 확인함(CRC 검사)
 - 검사를 통과하면, DLLP의 정보를 Transaction Layer로 전달
 - 검사를 통과하지 못하면, 해당 DLLP는 버려짐
- InitFC1, InitFC2 DLLP는 오직 VC 초기화 목적으로만 사용됨

DLLP Format for Power Management

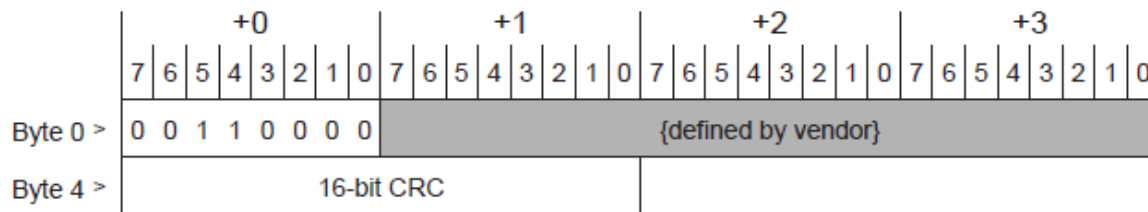


OM14304A

Figure 3-10 PM Data Link Layer Packet Format

- 전력 관리용 DLLP이고, PCIe 디바이스 간 전력 상태를 전환하는 데 사용됨

DLLP Format for Vendor-specific

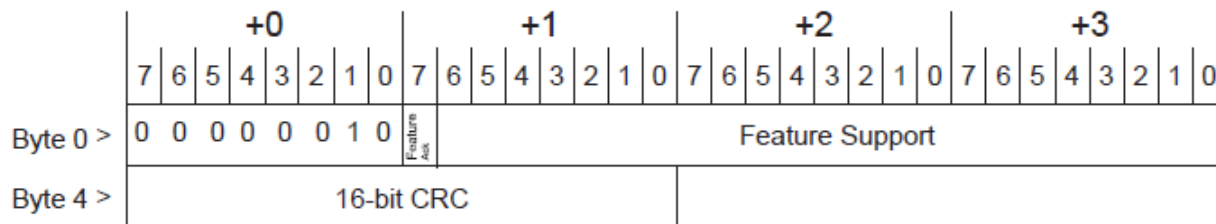


OM14305A

Figure 3-11 Vendor-specific Data Link Layer Packet Format

- 제조사 특화 기능을 위한 **DLLP**이고, 제조사에 의해 정의됨
- 수신 측에서 특정한 설정이 없다면 일반적으로 무시됨

Data Link Feature DLLP Format



DataLinkFeatureDLLP

Figure 3-12 Data Link Feature DLLP Format

- 해당 DLLP는 두 PCIe port 간에 “서로 어떤 기능을 지원하는지 협상하기 위한 신호”로 사용되며, 서로의 지원 여부를 명확히 확인하기 위해 정보를 교환함
- **Feature Ack** : 상대방의 기능 지원 정보를 정상적으로 수신했음을 나타냄
- **Feature Support** : 송신 측에서 지원하는 기능을 상대방에게 알려줌

DLLP와 관련된 특징 및 규칙

- DLLP는 Physical Layer에 전송될 때나, 수신될 때 TLP와 명확히 구분됨
- DLLP의 무결성을 확인하기 위해 16-bit CRC를 사용하여 오류를 검출
- CRC를 이용하는 방법
 - 송신자는 DLLP를 만들고, CRC 값을 계산해서 함께 보냄
 - 수신자는 받은 DLLP에 대해 다시 CRC를 계산해서, 받은 CRC 값과 비교함
 - 비교 결과 두 값이 다를 경우 해당 DLLP를 무시하거나 에러로 처리함

16-bit CRC 계산 규칙 (1/3)

- 사용되는 다항식 : 100Bh (CRC 생성 다항식 $X^{12} + X^3 + X + 1$)
- 초기값 : FFFFh (16비트 전부 1)
- DLLP의 모든 bit를 LSB(Least Significant Bit)방식으로 CRC 계산
- 계산된 값을 보수 처리한 뒤 비트 순서를 바꿔 **CRC field**에 저장함
- bit 0~7이 상위 byte에 거꾸로, bit 8~15가 하위 byte에 거꾸로 저장됨
(다음 슬라이드 표 참고)

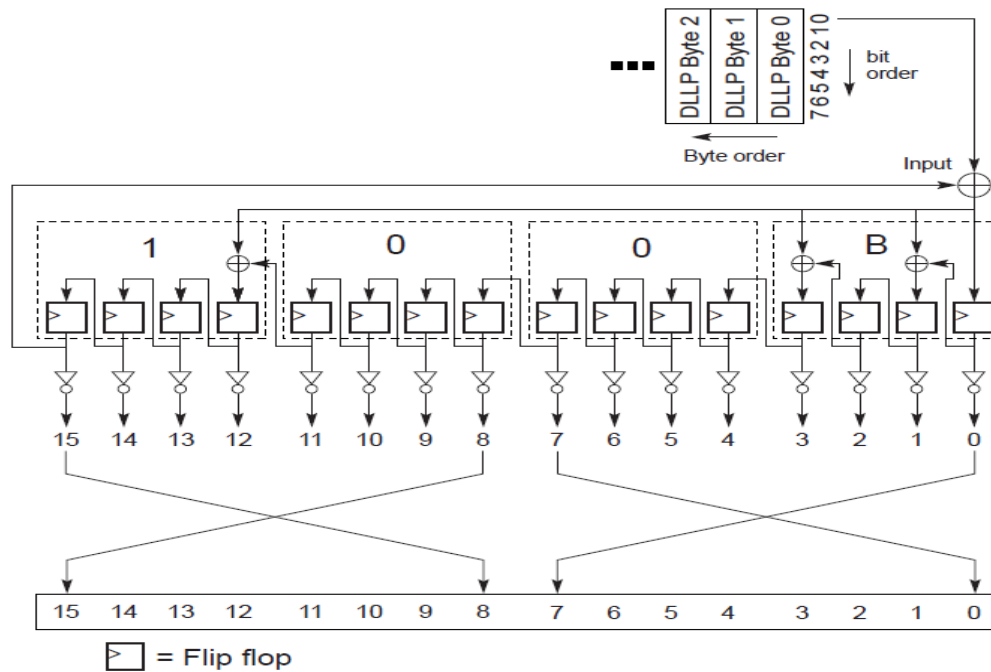
16-bit CRC 계산 규칙 (2/3)

Table 3-5 Mapping of Bits into CRC Field

CRC Result Bit	Corresponding Bit Position in the 16-Bit CRC Field
0	7
1	6
2	5
3	4
4	3
5	2
6	1
7	0

8	15
9	14
10	13
11	12
12	11
13	10
14	9
15	8

16-bit CRC 계산 규칙 (3/3)

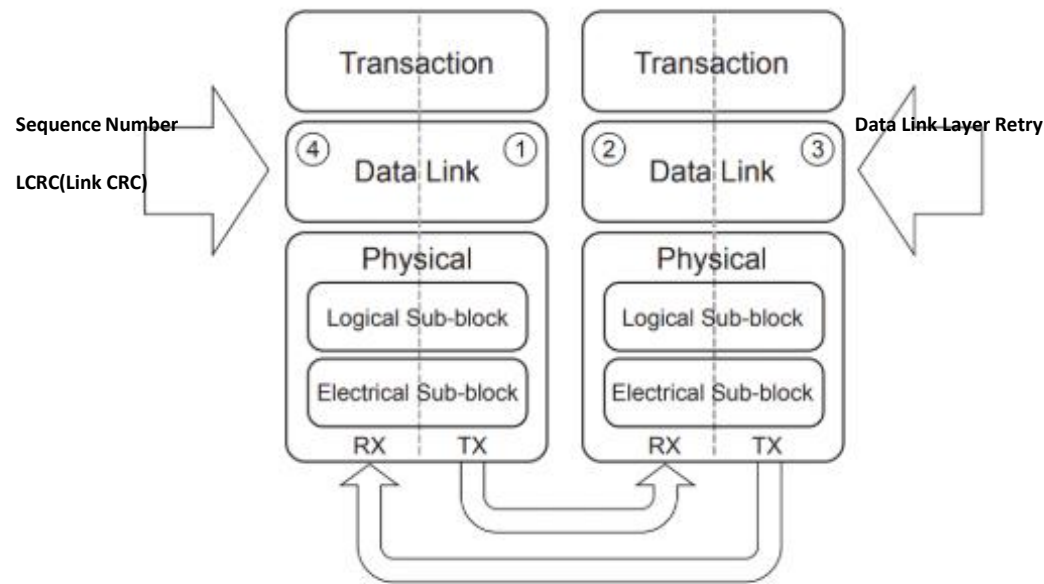


OM13785

Figure 3-13 Diagram of CRC Calculation for DLLPs

4. Data Integrity Mechansisms

Data Integrity Mechanisms

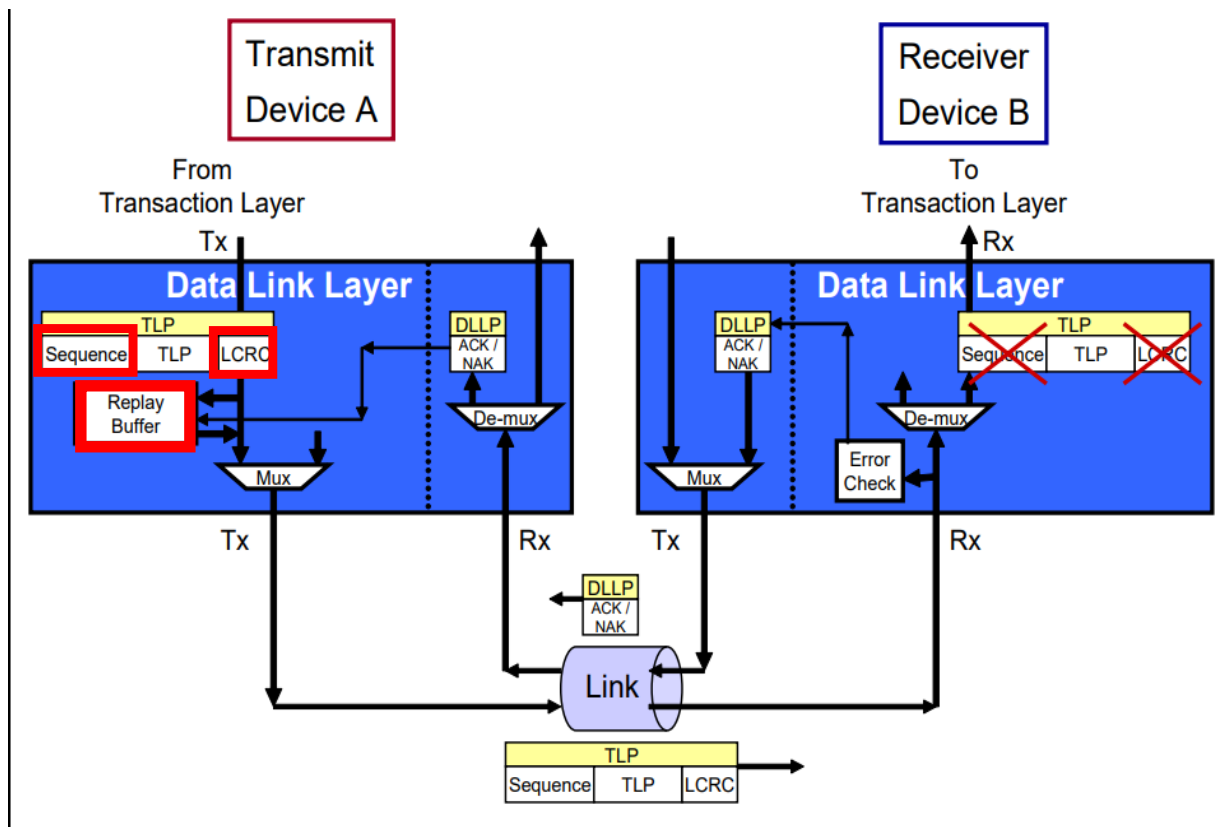


OM13778A

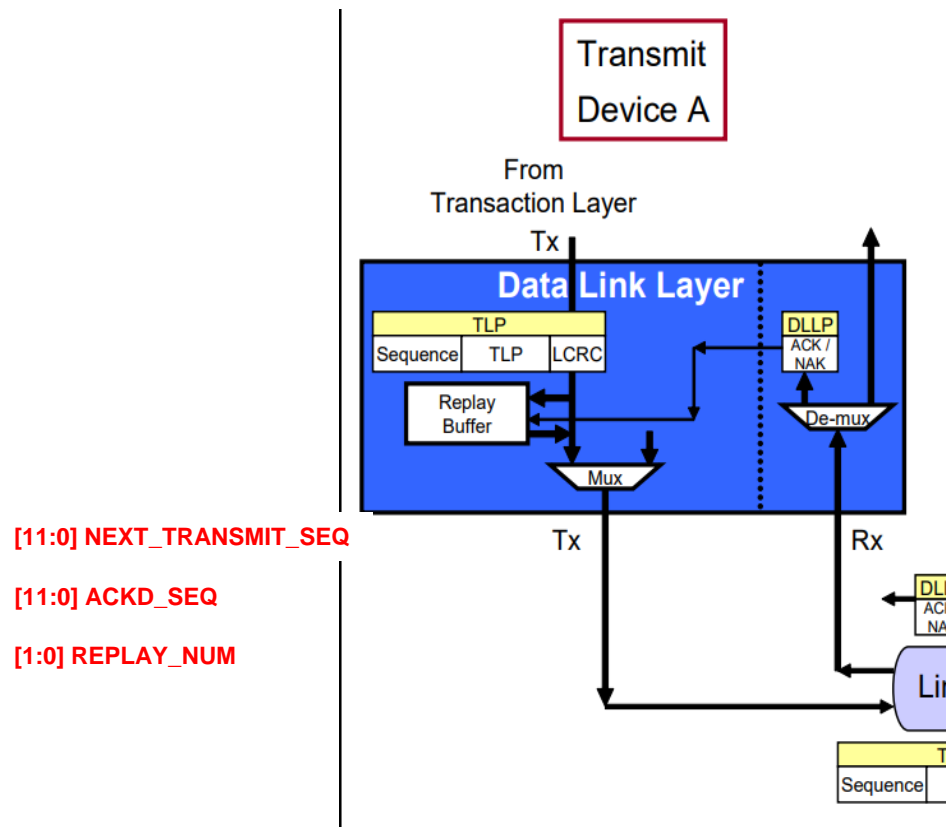
Figure 3-1 Layering Diagram Highlighting the Data Link Layer

Reference) PCI Express® Base Specification Revision 5.0

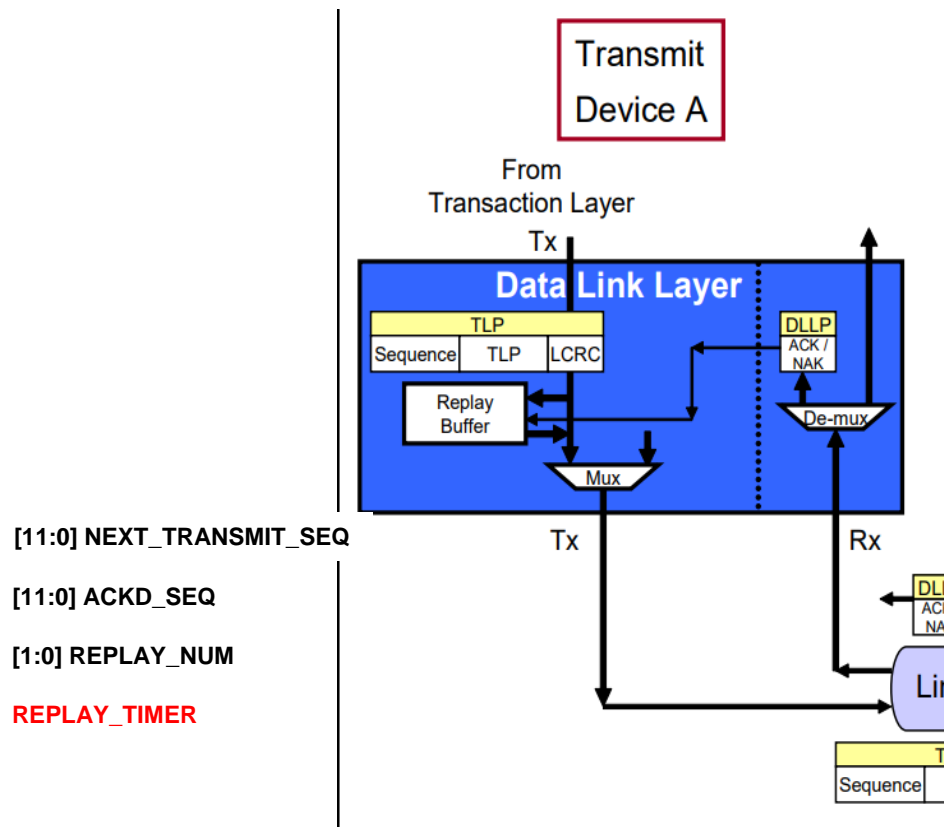
Data Integrity Mechanisms



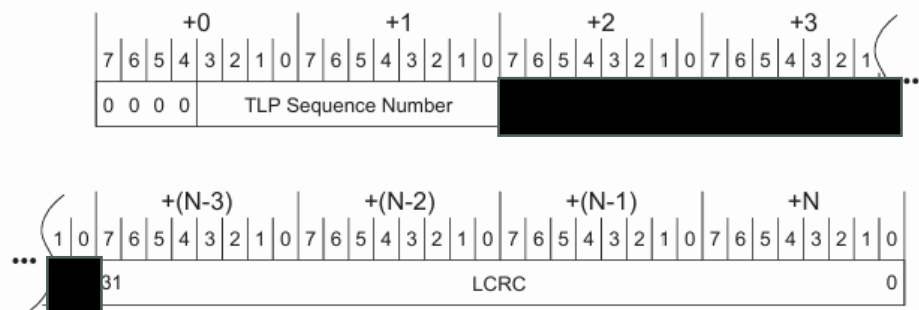
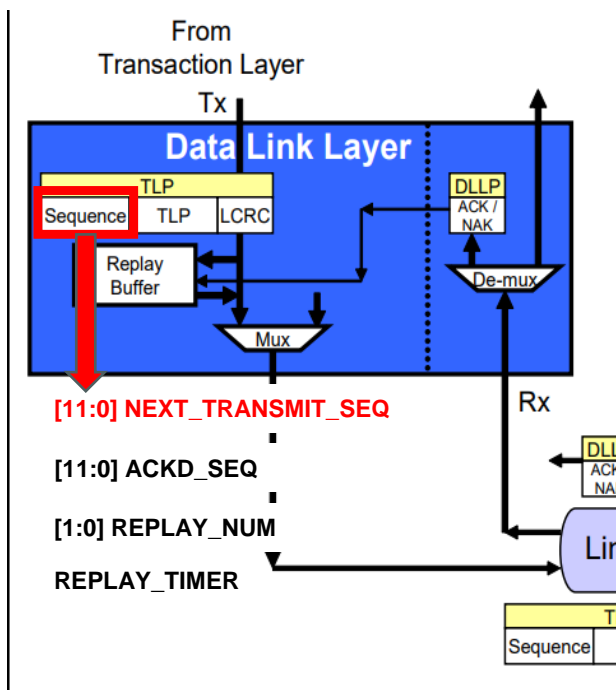
Counter



Timer



TLP 송신 준비 및 시퀀스 번호 적용



OM13786A

Figure 3-14 TLP with LCRC and TLP Sequence Number Applied

TLP 송신 준비 및 시퀀스 넘버 적용

송신 제한 규칙

-참인 경우 수신 중단

$$(NEXT_TRANSMIT_SEQ - ACKD_SEQ) \bmod 4096 \geq 2048$$

Equation 3-1 Tx SEQ Stall

-ACK 을 받지 못한 TLP가 많은 경우

NEXT_TRANSMIT_SEQ 업데이트

$$NEXT_TRANSMIT_SEQ := (NEXT_TRANSMIT_SEQ + 1) \bmod 4096$$

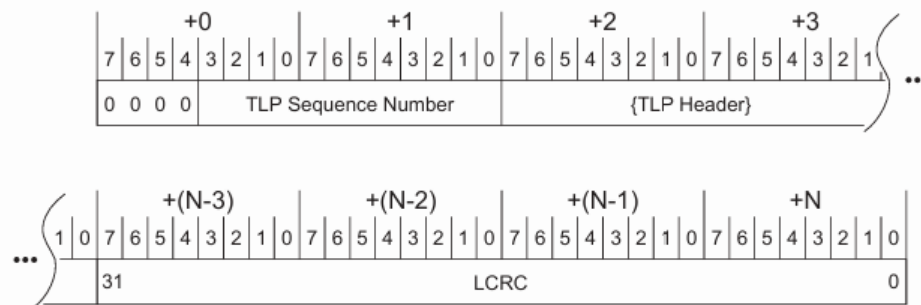
Equation 3-2 Tx SEQ Update

LCRC 계산 및 매핑

LCRC 계산 과정

- LCRC 값은 CRC-32 표준 Polynomial(04C1 1DB7h)을 사용하여 계산
- 초기값은 FFFF_FFFF로 설정됨
- LCRC는 TLP의 시퀀스 번호(Sequence Number)를 포함한 모든 필드를 기반으로 계산
- 결과값은 보수(complement) 처리된 후 32비트 필드에 매핑

$$04C1\ 1DB7_h = 0000\ 0100\ 1100\ 0001\ 0001\ 1101\ 1011\ 0111_2$$



OM13786A

$$x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1$$

nd TLP Sequence Number Applied

LCRC 계산 및 매핑

LCRC H|

100000100110000010001110110110111

10000000001000101101

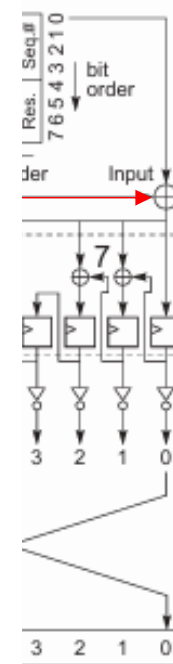
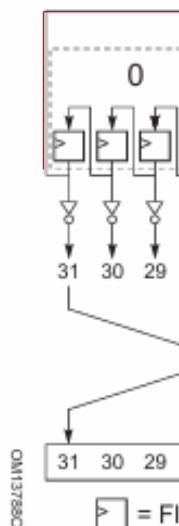
[illegible]
$$x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1$$


Figure 3-16 Calculation of LCRC



LCRC 계산 및 매핑

LCRC 비트 매핑 규칙

Table 3-6 Mapping of Bits into LCRC Field

LCRC Result Bit	Corresponding Bit Position in the 32-Bit LCRC Field
0	7
1	6
2	5
3	4
4	3
5	2
6	1
7	0
8	15
9	14
10	13
11	12

LCRC Result Bit	Corresponding Bit Position in the 32-Bit LCRC Field
12	11
13	10
14	9
15	8
16	23
17	22
18	21
19	20
20	19
21	18
22	17
23	16
24	31
25	30
26	29
27	28
28	27
29	26
30	25
31	24

TLP 재전송

TLP Nullification (TLP 무효화)

- 송신기는 특정 조건에서 TLP를 "무효화 (nullify)"할 수 있음
- 무효화된 TLP는 수신 측에서 무시
- 무효화된 TLP는 NEXT_TRANSMIT_SEQ 값을 업데이트하지 않음

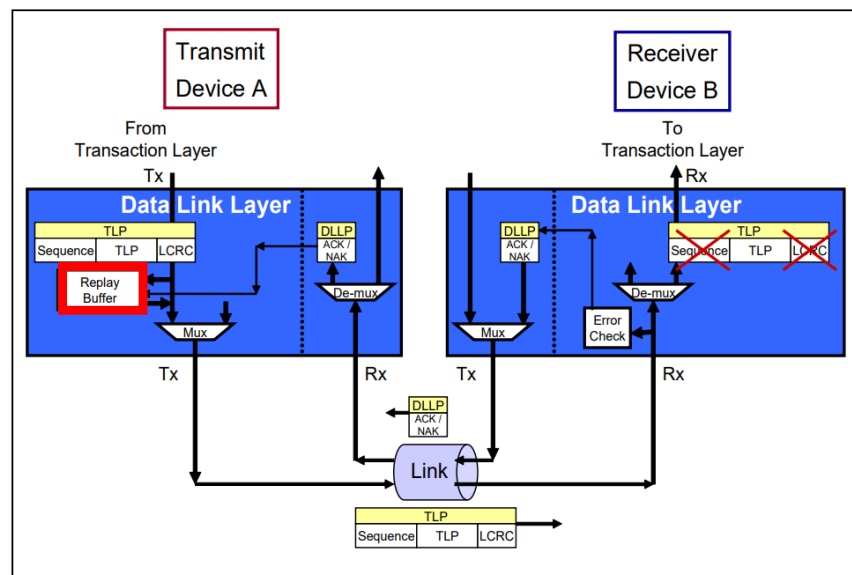
TLP 재전송

Figure 10-2: Overview of the Ack/Nak Protocol

Retry Buffer와 재전송 관리

-모든 송신된 TLP는 Retry Buffer에 저장(무효화된 TLP 제외)

-NAK DLLP 수신 또는 REPLAY TIMER 만료 시, Retry Buffer에 저장된 TLP가 재전송



REPLAY_TIMER 동작

REPLAY_TIMER 동작

-REPLAY_TIMER의 간단한(Simplified) 제한 값

Extended Synch 비트가 클리어된 경

우: 24,000 ~ 31,000 심볼 타임

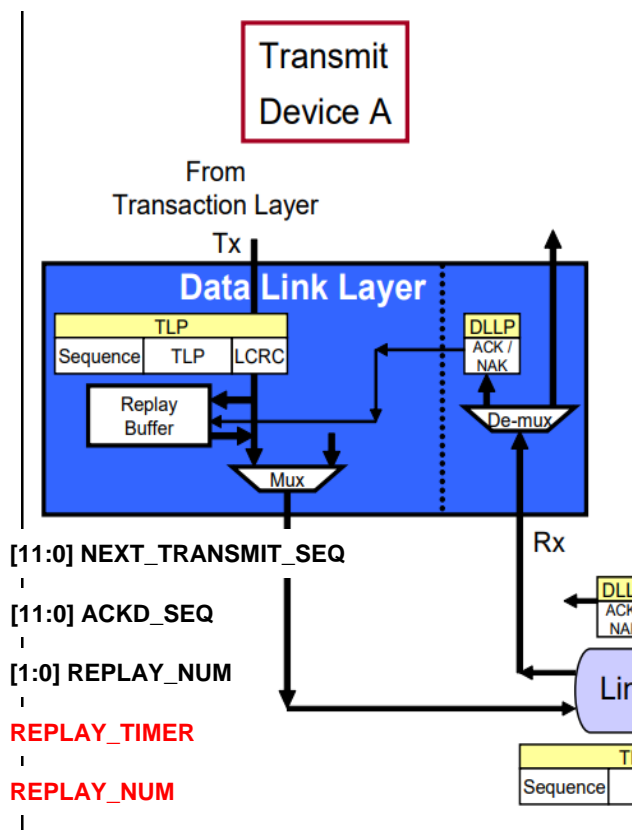
Extended Synch 비트가 설정된 경

우: 80,000 ~ 100,000 심볼 타임

-REPLAY_TIMER 만료 시 수행되는 작업

모든 미확인(unacknowledged) TLP를 재전송

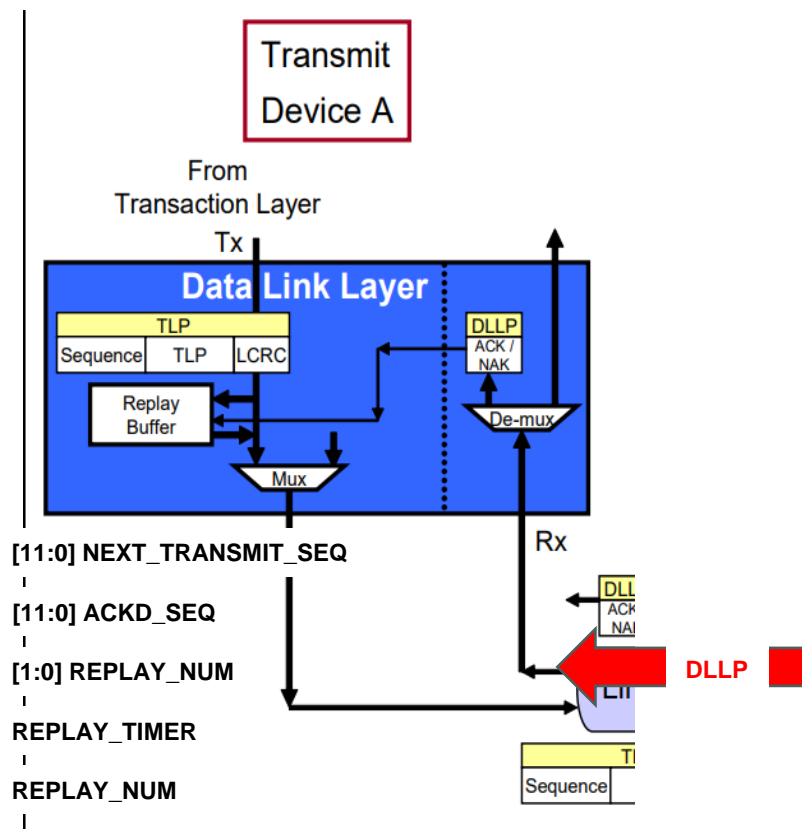
ACK 또는 NAK DLLP가 수신될 때까지 대기 후 재설정



DLLP 처리 우선순위 규칙

우선순위 목록:

1. 현재 진행 중인 모든 TLP 또는 DLLP 전송 완료(최우선).
2. NAK DLLP 전송.
3. ACK DLLP 전송(중복 ACK DLLP 수신 시).
4. FC DLLP 전송(Flow Control).
5. Retry Buffer 재전송.
6. Transaction Layer에서 받은 TLP 전송.
7. FC DLLP 전송(필요한 경우).
8. 기타 모든 DLLP 전송(최저 우선순위).



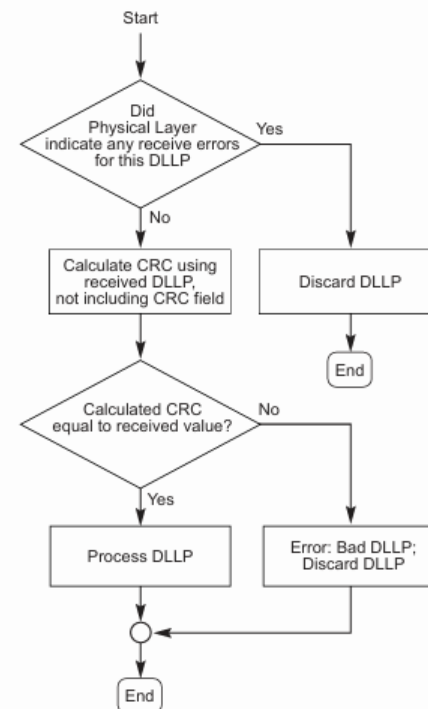
DLLP 처리 및 우선순위 규칙

Received DLLP Error Check Flowchart

-Physical Layer 오류 확인

-CRC 계산 및 비교:

1. 일치하지 않을 경우: "Bad DLLP Error"로 간주하고 폐기
2. 일치할 경우: 정상적으로 처리



OM13789A

Figure 3-17 Received DLLP Error Check Flowchart

ACK 및 NAK DLLP 처리 절차

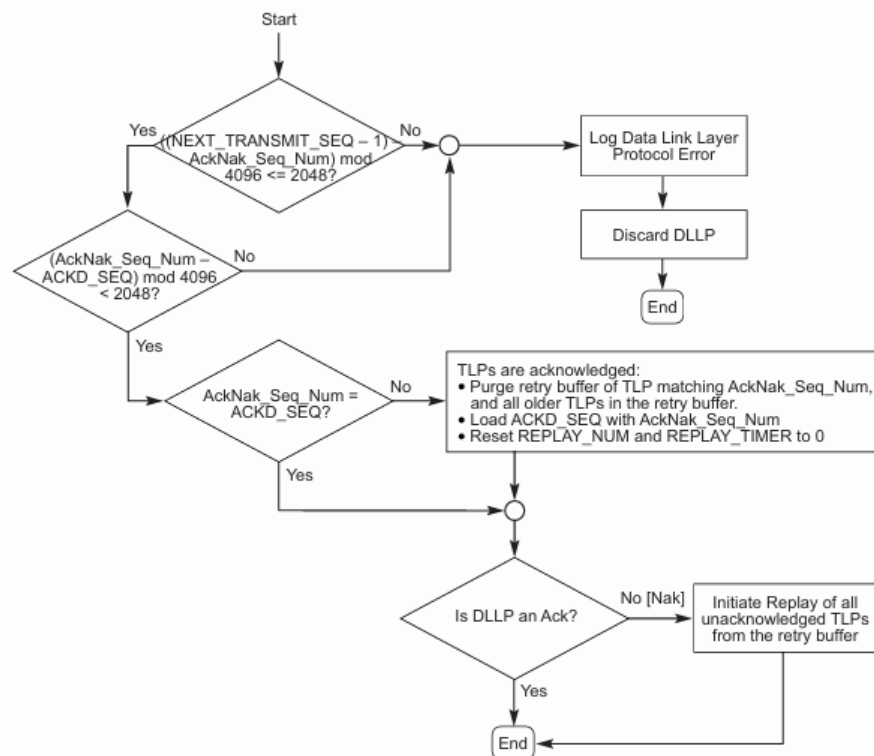
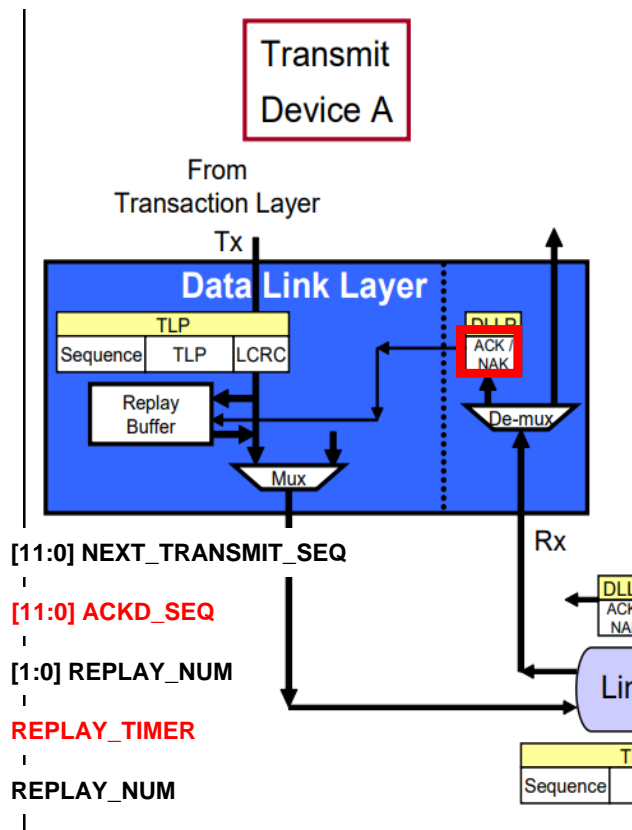


Figure 3-18 Ack/Nak DLLP Processing Flowchart

OM13790B

TLP 수신 및 오류 처리 규칙

Physical Layer 오류 확인

LCRC 검증

- LCRC 값 불일치
- LCRC 무효화

TLP 시퀀스 번호 검증

- 시퀀스 번호 불일치
- 시퀀스 번호 일치

NAK_SCHEDULED 플래그 관리

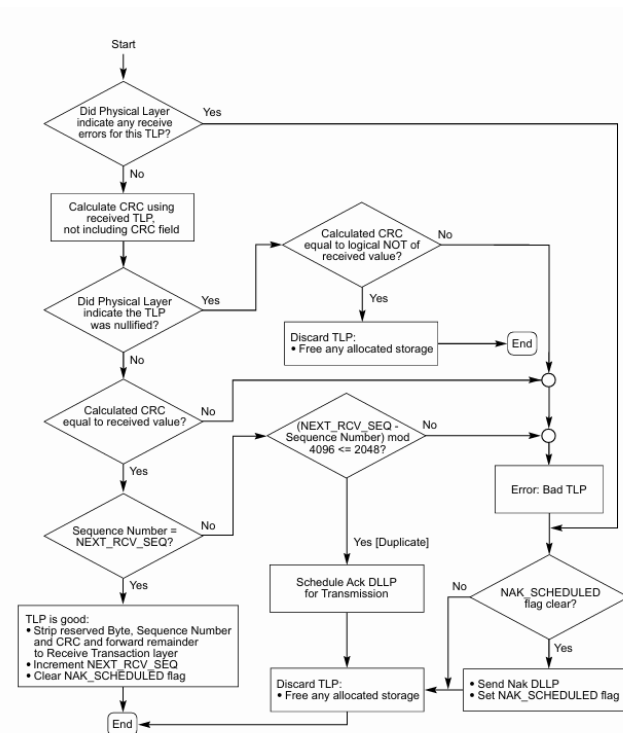


Figure 3-19 Receive Data Link Layer Handling of TLPs

OM13791B

ACK DLLP 스케줄링

1. ACK DLLP 스케줄링 조건:

1. Data Link Control and Management State Machine이 DL_Active 상태에 있음.
2. TLP가 Receive Transaction Layer로 전달되었으나 ACK DLLP를 통해 아직 확인되지 않음.
3. AckNak_LATENCY_TIMER가 Table 3-7, Table 3-8, 또는 Table 3-9에 정의된 값에 도달하거나 초과함.
4. 링크가 ACK DLLP 전송을 위해 이미 L0 상태에 있음(필요 시 L0로 전환).
5. 다른 TLP 또는 DLLP가 현재 링크에서 전송 중이지 않음.
6. NAK_SCHEDULED 플래그가 클리어됨.

Table 3-7 Maximum Ack Latency Limits for 2.5 GT/s (Symbol Time)

		Link Operating Width						
		x1	x2	x4	x8	x12	x16	x32
Max_Payload_Size (bytes)	128	237	128	73	67	58	48	33
	256	416	217	118	107	90	72	45
	512	559	289	154	86	109	86	52
	1024	1071	545	282	150	194	150	84
	2048	2095	1057	538	278	365	278	148
	4096	4143	2081	1050	534	706	534	276

		Link Operating Width						
		x1	x2	x4	x8	x12	x16	x32
Max_Payload_Size (bytes)	128	288	179	124	118	109	99	84
	256	467	268	169	158	141	123	96
	512	610	340	205	137	160	137	103
	1024	1122	596	333	201	245	201	135
	2048	2146	1108	589	329	416	329	199
	4096	4194	2132	1101	585	757	585	327

Table 3-9 Maximum Ack Latency Limits for 8.0 GT/s and higher data rates (Symbol Times)

		Link Operating Width						
		x1	x2	x4	x8	x12	x16	x32
Max_Payload_Size (bytes)	128	333	224	169	163	154	144	129
	256	512	313	214	203	186	168	141
	512	655	385	250	182	205	182	148
	1024	1167	641	378	246	290	246	180
	2048	2191	1153	634	374	461	374	244
	4096	4239	2177	1146	630	802	630	372

THANK
YOU!
