Digitální elektronika 1

Projekt VHDL:

Running text 7-seg display

Autoři:
David Strouhal
Martin Zárecký
Michal Marek

VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ

Obsah prezentace

- Cíle projektu
- Popis hardwaru
- Popis projektu a simulací modelů VHDL
- Popis modulu TOP a jeho simulace
- Reference

VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ

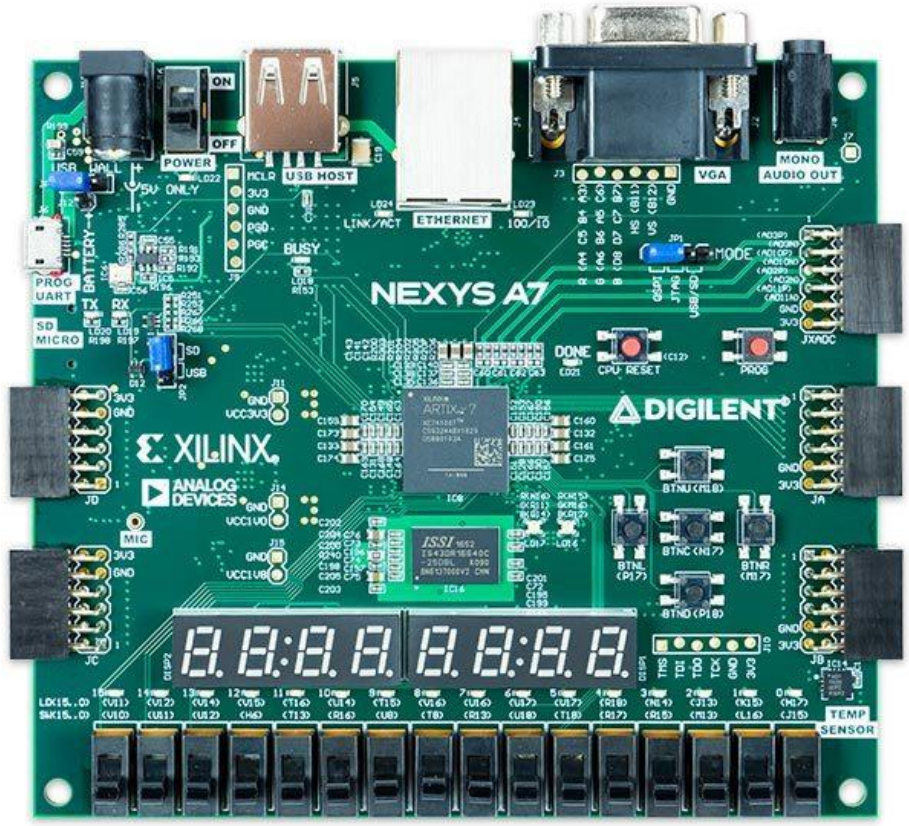
Cíle projektu

- Posouvání textu po 7-segmentových displejích
- Resetu do výchozí pozice

- Zvolit si z možností předdefinovaných textů

Popis hardwaru

- Využíváme desku Nexys A7 s FPGA Artix 7



Popis projektu a simulací modelů VHDL

- Komponenty projektu

Zdroje (sources)	**Simulace (sim)**
alphabet_7seg.vhd	tb_alphabet_7seg.vhd
alphabet_to_code.vhd	tb_alphabet_to_code
driver_7seg_8characters.vhd	tb_driver_7seg_8characters.vhd
bus_multiplexer_pkg.vhd	(package)
clock_enable.vhd	tb_clock_enable
cnt_up_down.vhd	tb_cnt_up_down
move_text.vhd	tb_move_text
newtop.vhd	tb_new_top
switch_to_message.vhd	tb_switch_to_message

VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ

Popis modulu TOP a jeho simulace

```
entity newtop is
    Port ( CLK100MHZ : in STD_LOGIC;
           CA : out STD_LOGIC;
           CB : out STD_LOGIC;
           CC : out STD_LOGIC;
           CD : out STD_LOGIC;
           CE : out STD_LOGIC;
           CF : out STD_LOGIC;
           CG : out STD_LOGIC;
           AN : out std_logic_vector (7 downto 0);
           BTNC : in std_logic;
           SW : in STD_LOGIC_vector(15 downto 0);
           BTND : in STD_logic
           );
end newtop;
```

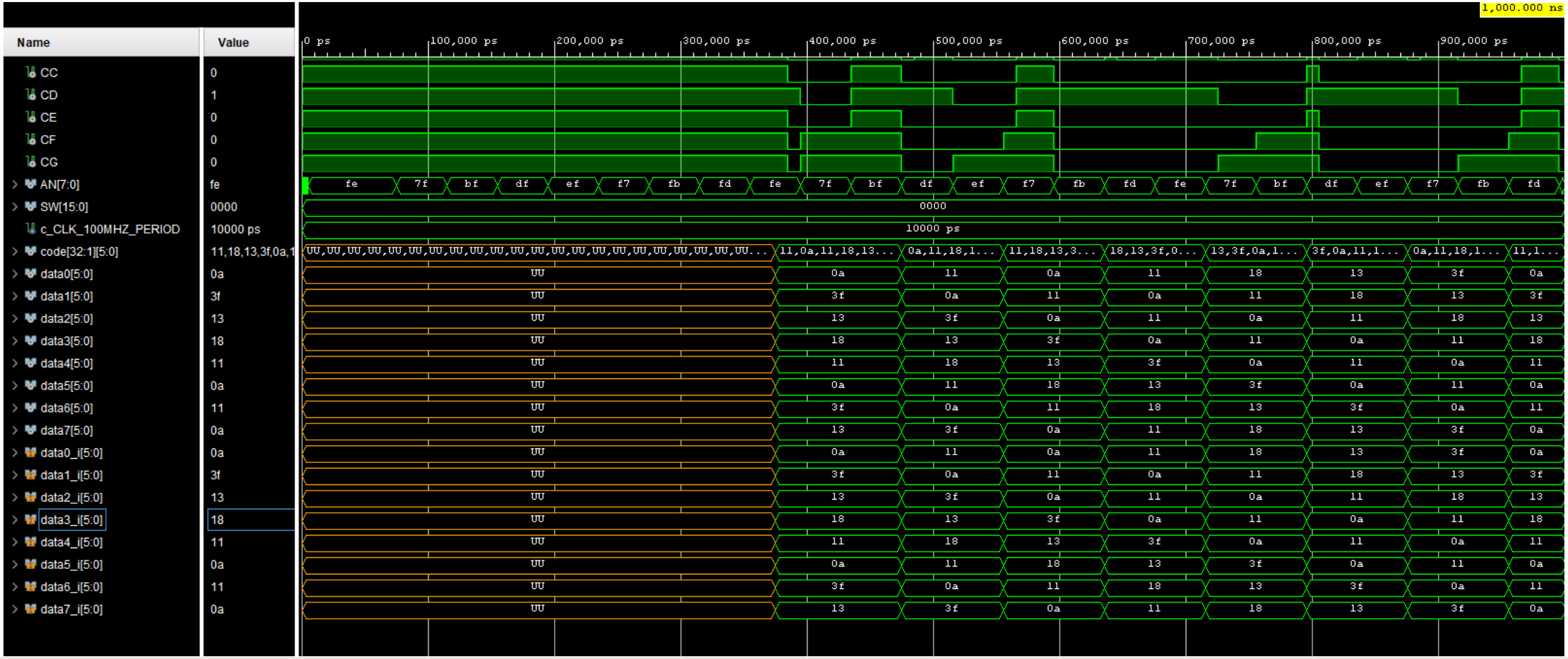
```
switch : entity work.switch_to_message
    generic map(
        default_length => 32
    )
    port map(
        sw_state_i => SW,
        text_o => text_text,
        text_length => length
    );
```

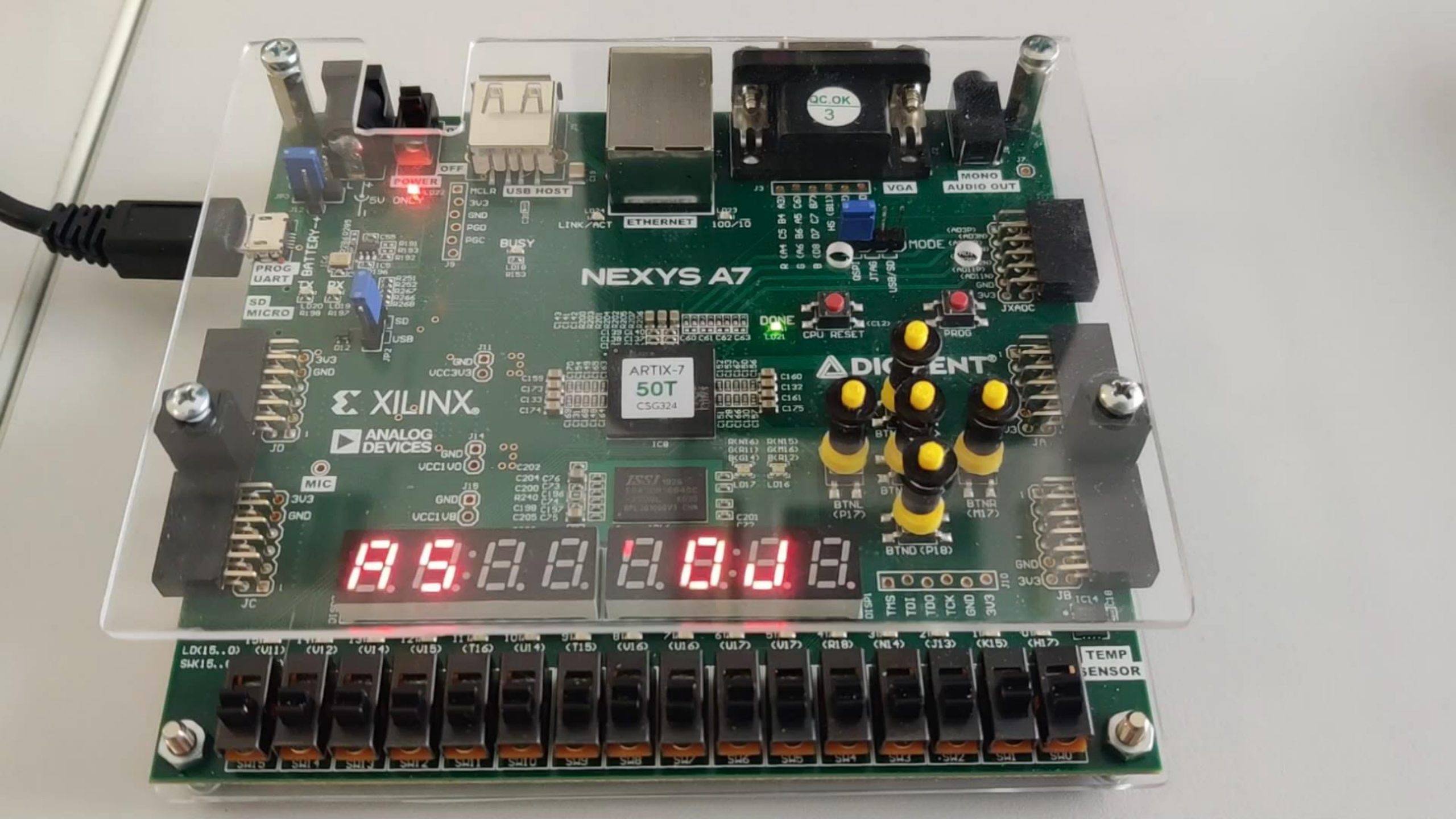
```
switch : entity work.switch_to_message
    generic map(
        default_length => 32
    )
    port map(
        sw_state_i => SW,
        text_o => text_text,
        text_length
```

```
move : entity work.move_text
    generic map(
        default_speed => 50000000
    )
    port map(
        clk     => CLK100MHZ,
        reset   => BTND,
        code_i => code,
          code_i => ("000001", "000010", "000011", "000100", "000101", "000110", "000111", "001000","0000
        code_length_i => length,
        data0_o => data0,
        data1_o => data1,
        data2_o => data2,
        data3_o => data3,
        data4_o => data4,
        data5_o => data5,
        data6_o => data6,
        data7_o => data7
    );
```

VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ

Popis modulu TOP a jeho simulace




NEXYS A7
XILINX
ARTIX-7
50T
CSG324
DIGILENT
ANALOG DEVICES
QC.OK
3
POWER
OFF
USB HOST
ETHERNET
VGA
MONO AUDIO OUT
PROG UART
SD MICRO
BUSY
MODE
CPU RESET
PROG
DONE
JXADC
MIC
BTNL (P17)
BTNR (M17)
BTND (P18)
TEMP SENSOR

VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ

Reference

1.Tabulka znaků na 7-seg displeji
•https://codegolf.stackexchange.com/questions/173837/longest-seven-segment-word
2.Nexs A7 Refernce Manual
•https://digilent.com/reference/programmable-logic/nexys-a7/reference-manual
3.Segmenty 7-seg displeje
•https://lastminuteengineers.b-cdn.net/wp-content/uploads/arduino/Common-Cathode-7-Segment-Display-Internal-Working.gif
4.Popis 7-seg displeje
•https://lastminuteengineers.com/seven-segment-arduino-tutorial/
5.Nejdelší 7-seg slovo
•https://codegolf.stackexchange.com/questions/173837/longest-seven-segment-word