



МОСКОВСКИЙ АВИАЦИОННЫЙ ИНСТИТУТ
НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ УНИВЕРСИТЕТ

Институт №3 – «Системы управления, информатика и электроэнергетика»

Архитектуры вычислительных систем

Отчет по курсовому проекту

« »

Выполнили:

Гордеев Н.М.

Принял:

Ходоровский А. З.

Москва 2020

Содержание

Задание	3
Краткое описание теории по заданной теме	3
Разработанная программа моделирования операционной части ЦП при выполнении двухадресной команды П-Р операции умножения.....	5
Разработанная структурная схема моделирования операционной части ЦП при выполнении двухадресной команды П-Р операции умножения.....	6
Структурная схема горизонтального микропрограммного УУ	8
Разработанное устройство цифровой обработки данных на базе разработанной структурной схемы устройства и БУУ.	9

Задание

Разработать горизонтальное микропрограммное устройство управления операционной частью ЦП при выполнении двухадресной команды с заданными способами адресации в соответствии с вариантом задания.

5	Прямая	Регистровая	1ый операнд
---	--------	-------------	-------------

Принять, что в АЛУ выполняется операция умножения над числами с фиксированной точкой, представленными в прямом коде. Использовать алгоритм умножения, начиная с анализа младших разрядов множителя и сдвигом суммы частичных произведений вправо.

Краткое описание теории по заданной теме

ОРГАНИЗАЦИЯ ОПЕРАЦИОННОЙ ЧАСТИ ЦЕНТРАЛЬНОГО ПРОЦЕССОРА. Команды ЭВМ.

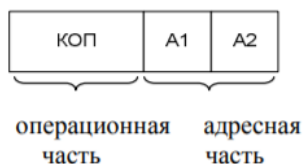
Машинная команда – это двоичный код, который включает в себя операционную часть и адресную часть.

В адресной части содержится информация об адресах операндов и результатов.

Различаются следующие команды:

4-х адресная,
3-х адресная,
2-х адресная,
одноадресная
и безадресная команды.

2-х адресные команды.



Поле A3 – отсутствует. Результат записывается на место 1-го или 2-го операнда. При этом операнд затирается и если его необходимо использовать в дальнейшем, он предварительно должен быть сохранён.

Способы адресации.



Различают понятия: адресный код в команде и исполнительный адрес операнда.

Адресный код в команде - это информация об адресе

Исполнительный адрес операнда – это физический адрес ячейки памяти, в которой хранится операнд или в которую необходимо записать результат.

1) Прямая адресация

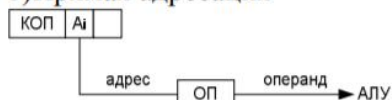


Рис. 4

В адресном поле команды A_i задаётся исполнительный адрес операнда

Выбор операнда
да { $РАП := РК(A_i)$
 $РЧП := ЧТ(РАП)$
 $Р1 := РЧП$

Р1-входной регистр АЛУ

4)Регистровая адресация

В структуру ЦП дополнительно вводятся регистры общего назначения (РОНы)

Они вводятся для того, чтобы :

- 1.Сократить время выбора операндов по сравнению с ОП
- 2.Сократить размер поля A_i для кодирования номера РОНа

ОРГАНИЗАЦИЯ УСТРОЙСТВА УПРАВЛЕНИЯ.

Центральный процессор, как и любое другое устройство обработки цифровой информации, включает в себя две основные части:

- операционную часть (операционное устройство);
- управляющую часть (устройство управления).

Операционная часть состоит из регистров, счётчиков, сумматоров, дешифраторов и связей между ними. Операционная часть функционирует под воздействием управляющих сигналов, которые вырабатывает управляющее устройство. Операционная часть выполняет заданную микропрограмму, состоящую из микрокоманд.

Микрокоманда включает в себя одну или несколько микроопераций. Микрооперация – это элементарная функциональная операция, выполняемая под воздействием одного управляющего сигнала в течение одного такта. Если в течение одного такта выполняется несколько микроопераций под воздействием различных управляющих сигналов, то они объединяются в одну микрокоманду.

Устройство управления(УУ) служит для выработки последовательности управляющих сигналов, под воздействием которых выполняются микрооперации. В зависимости от способа выработки управляющего сигнала различают 2 основных подхода к построению УУ:

- микропрограммная реализация УУ;
- аппаратная реализация УУ (схемная реализация или УУ с жёсткой логикой).

Разработанная программа моделирования операционной части ЦП при выполнении двухадресной команды П-Р операции умножения.

```
REG ZN[1];
RAP:=SK;
RCH:=ZS[RAP];
RK:=RCH;
RAP:=RK.OP1;
RARP:=RK.OP2;
RCHR:=RON[RARP];
RCH:=ZS[RAP];
RA:=RCH[6..0];
ZN = RCHR[7..7] XOR RCH[7..7];
FOR i:=0 TO 6;
if RCHR[0..0] = 0 THEN GOTO P1;
RC:=RA+RB;
RB:=RC;
P1:
RCHR:=RCHR SHR 1;
RCHR[15..15]:=RB[0..0];
RB:=RB SHR 1;
NEXT;
RCHR:=RCHR SHR 1;
RCHR[15..15]:=RB[0..0];
RB:=RB SHR 1;
RCH[7..0]:=RCHR[15..8];
RCH[15..8]:=RB[7..0];
RCH[15..15]:=ZN;
ZS[RAP]:=RCH;
```

Скриншот демонстрации работы программы

Адресация: прямая - регистровая

Адрес	Данные	Адрес	Данные	Адрес	Данные	Адрес	Данные
0	0	1	259	2	32828	3	0
4	0	5	0	6	0	7	0
8	0	9	0	10	0	11	0
12	0	13	0	14	0	15	0

0010

RCH

100000000111100

V1

RAP

SK

0001

V3

+1

V7

V2

RK

00 0000010 0000011

V6

V8

V9

0011

RARP

0011

Адрес

Даннь

Адрес

Даннь

0	0	8	0
1	0	9	0
2	0	10	0
3	5	11	0
4	0	12	0
5	0	13	0
6	0	14	0
7	0	15	0

RCHR

0011110000000000

0000000000001100

0000000000000000

RA

RB

V11

V12

RC

0000000000001111

V13

V5

ЧТ

V4

ЗП

ZS

Упирационная часть

REG ZN[1] pause;
RAP:=SK;
RCH:=ZS[RAP];
RK:=RCH;
RAP:=RK.OP1;
RARP:=RK.OP2;
RCHR:=RON[RARP];
RCH:=ZS[RAP];
RA:=RCH[6..0];
ZN=RCH[7..7] XOR RCH[7..7];
FOR i=0 TO 6;
if RCHR[0..0]=0 THEN GOTO P1;
RC=RA+RB;
RB=RC;
P1:
RCHR:=RCHR SHR 1;
RCHR[15..15]=RB[0..0];
RB=RB SHR 1;
RCH[7..0]=RCHR[15..8];
RCH[15..8]=RB[7..0];
RCH[15..15]=ZN;
ZS[RAP]=RCH;

Ввод содержимого РОНов:

РОН №:	Значение
РОН 0	
РОН 1	
РОН 2	
РОН 3	5
РОН 4	
РОН 5	
РОН 6	
РОН 7	
РОН 8	
РОН 9	

Ввод содержимого ОП:

Ввод команд:

Ввод данных:

07 Переменная: RCH типа регистр; разрядность 16 бит; значение = 328280

08 Переменная: RAP типа регистр; разрядность 4 бит; значение = 20

09 Переменная: SK типа регистр; разрядность 4 бит; значение = 10

10 Переменная: RARP типа регистр; разрядность 4 бит; значение = 30

11 Переменная: RCHR типа регистр; разрядность 16 бит; значение = 153600

12 Переменная: RAMPK типа регистр; разрядность 5 бит; значение = 00

13 Переменная: RMK типа регистр; разрядность 32 бит; значение = 00

14 Переменная: RON типа память; из 16 ячеек по 16 бит0

15 Переменная: ZS типа память; из 16 ячеек по 16 бит0

16 Переменная: PMK типа память; из 32 ячеек по 32 бит0

17 Переменная: PAMPK типа память; из 32 ячеек по 5 бит0

18 Переменная: RK типа структура; разрядность 16 бит; значение = 2590

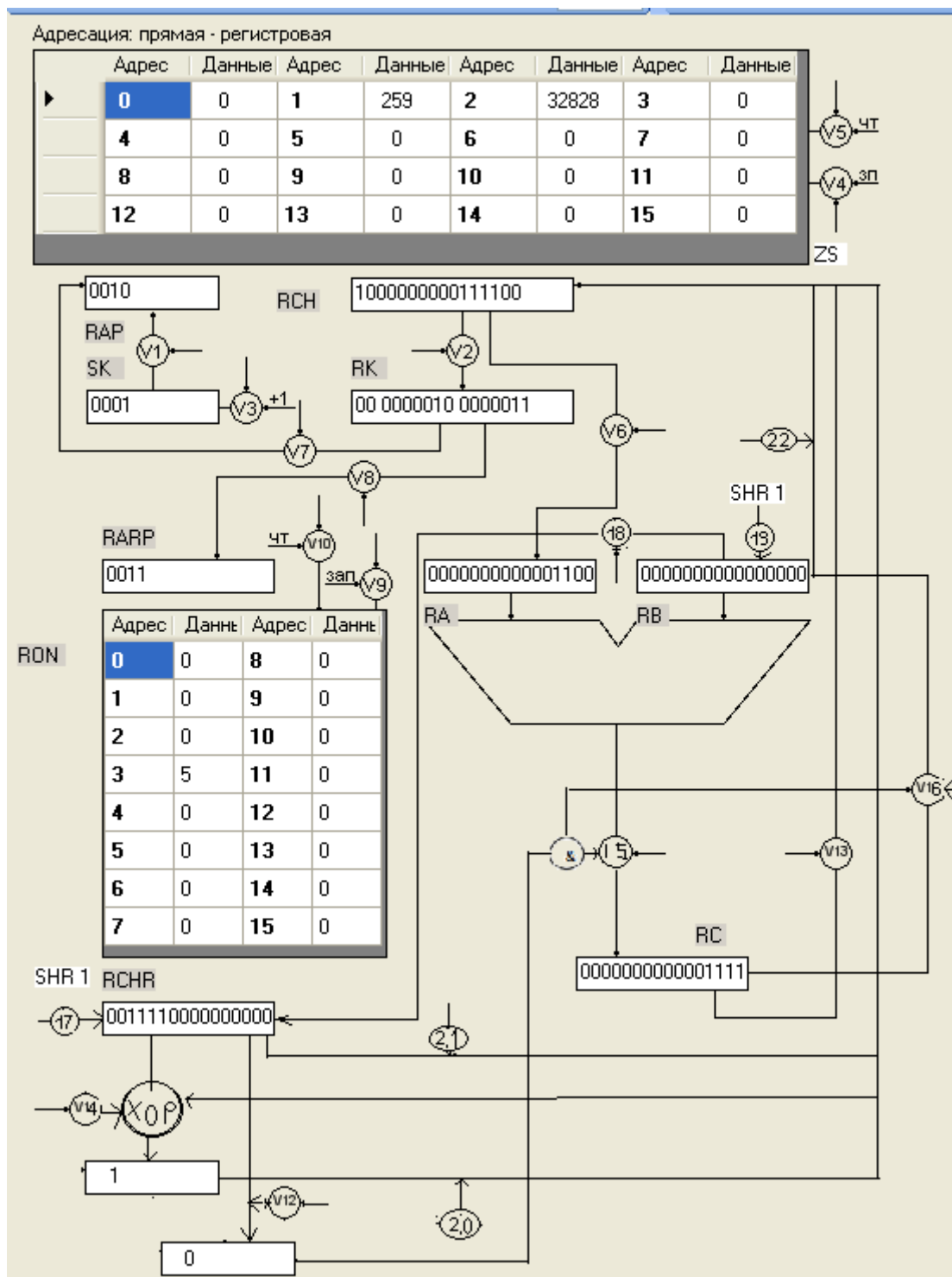
Поле: OP2; разрядность 7 бит;0

Поле: OP1; разрядность 7 бит;0

Поле: KOP; разрядность 2 бит;0

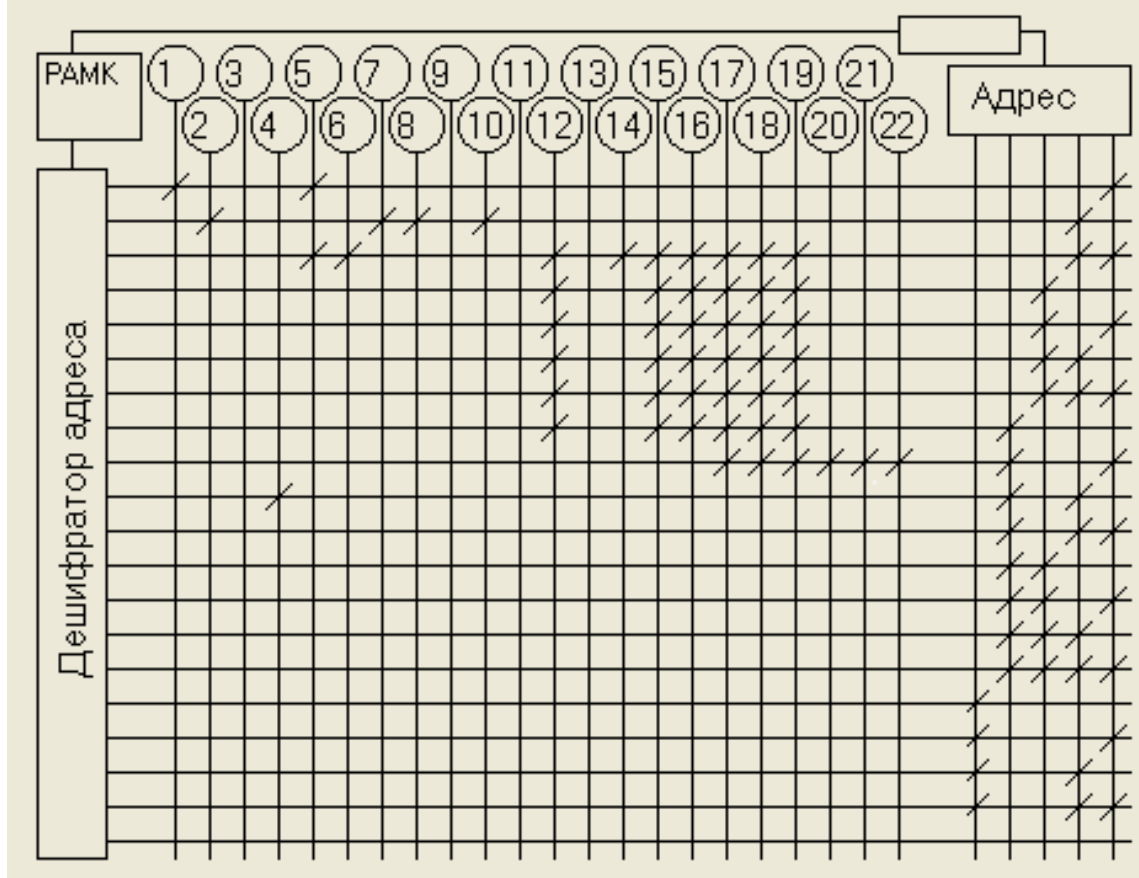
19 Переменная: ZN типа регистр; разрядность 1 бит; значение = 10

Разработанная структурная схема моделирования операционной части ЦП при выполнении двухадресной команды П-Р операции умножения.



Структурная схема горизонтального микропрограммного УУ

Блок устройства управления



Адресация: прямая - регистровая

Адрес	Данные	Адрес	Данные	Адрес	Данные		
0	1	259	2	32828	3	0	
4	0	5	0	6	0	7	0
8	0	9	0	10	0	11	0
12	0	13	0	14	0	15	0

Схема алгоритма (рис. 1.10) реализует алгоритм вычисления функции $F(x, y, z)$ с использованием регистровых адресов. В начале программы устанавливаются начальные значения регистров: $RCH = 1000000000111100$, $RK = 000000100000011$, $RAP = 0010$, $RAR = 0011$. Затем выполняется цикл, в котором вычисляются значения RA и RB по формулам: $RA = RCH \oplus RK$, $RB = RCH \oplus RAR$. Результаты выносятся в регистры RA и RB . Далее выполняется вычисление $RC = RA \oplus RB$. В конце программы выносятся значения RA и RB в регистры RA и RB .

```

REG ZN[1];pause;
RAP:=SK;
RCH:=ZS[RAP];
RK:=RCH;
RAP:=RK.OP1;
RARP:=RK.OP2;
RCHR:=RON[RARP];
RCH:=ZS[RAP];
RA:=RCH[6..0];
ZN=RCHR[7..7] XOR RCH[7..7];
FOR i=0 TO 6;
if RCHR[0..0]=0 THEN GOTO P1;
RC:=RA+RB;
RB:=RC;
P1:
RCHR:=RCHR SHR 1;
RCHR[15..15]=RB[0..0];
RB:=RB SHR 1;
NEXT i;
RCHR:=RCHR SHR 1;
RCHR[15..15]=RB[0..0];
RB:=RB SHR 1;
RCH[7..0]=RCHR[15..8];
RCH[15..8]=RB[7..0];
RCH[15..15]=ZN;
ZS[RAP]=RCH;

```

Diagram illustrating the decryption algorithm. The grid shows the sequence of operations for decryption, with columns numbered 1 to 22 and rows labeled 'Адрес' (Address) and 'Дешифратор адреса' (Address Decipherer). The operations are indicated by 'X' marks in the grid cells.

Вывод

Написал программу моделирования операционной части ЦП при выполнении двухадресной команды П-Р операции умножения. По ней “дорисовал” недостающие вентили в структурную схему моделирования операционной части ЦП при выполнении двухадресной команды П-Р операции сложения. Далее сделал структурную схему горизонтального микропрограммного УУ операции умножения, отредактировав структурную схему горизонтального микропрограммного УУ операции сложения. В конце объединил наработки в 1 лист.

Список используемой литературы

- 1) УЧЕБНОЕ ПОСОБИЕ для проведения практических занятий, лабораторных работ, выполнения курсовых и расчётно-графических работ по курсам: «Организация ЭВМ», «Архитектура ЭВМ», «ВМ, системы и сети»
- 2) Учебное пособие для лабораторных работ по курсу: ОРГАНИЗАЦИЯ ЭВМ И СИСТЕМ Под редакцией д.т.н. проф. О.М. Брехова