

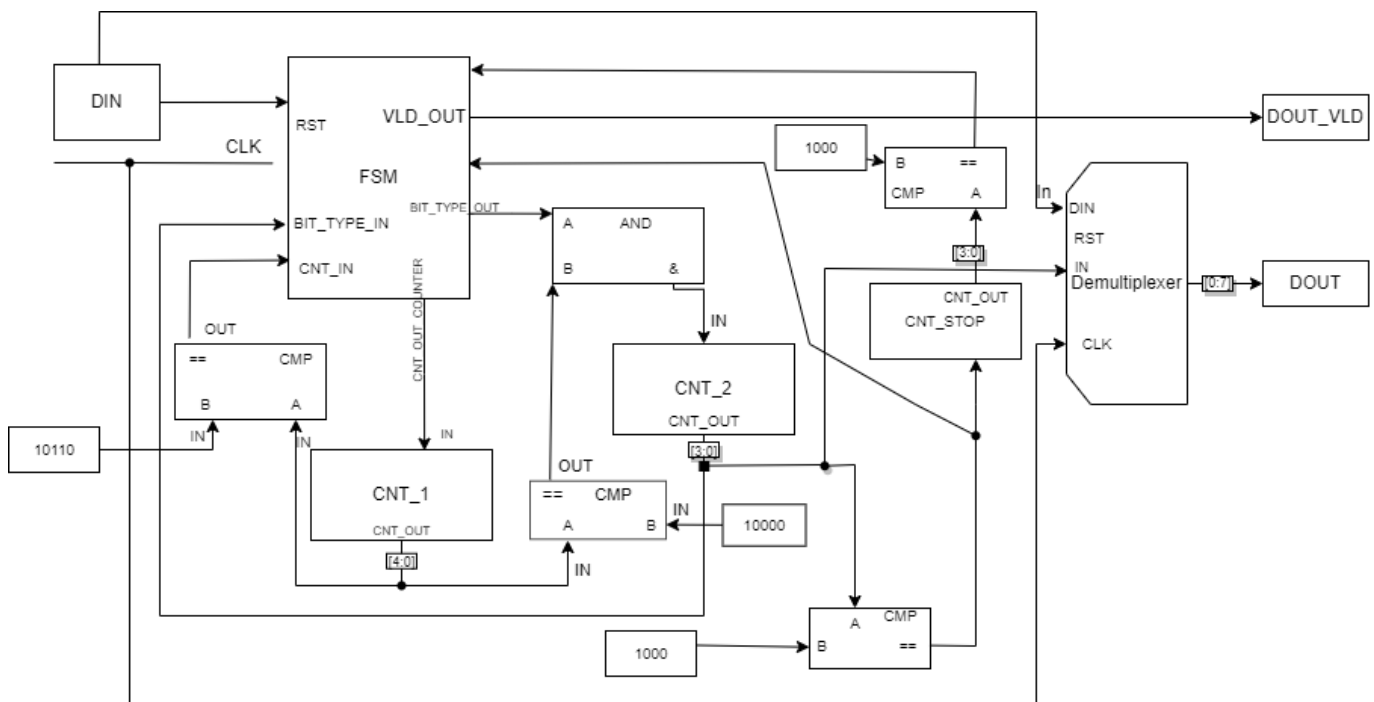
# Příloha: Výstupní zpráva

Jméno: Dinara Garipova

Login: xgarip00

## Architektura původního obvodu (na úrovni RTL)

### Schéma obvodu



### Popis funkce:

Obvod se skládá z následujících součástí:

FSM - konečný stavový automat(Finit State machine)

Demultiplexer - přepíná jednu společnou vstupní linku na jednu z několika samostatných výstupních linek

Čítač CNT\_1 - počítá čas mezi bitem START\_BIT, MIDBIT prvního bitu a mezi jednotlivými bity

Čítač CNT\_2 - počet přenesených bitů

Čítač CNT\_STOP- počítá čas dokud se nesrazí END\_STOP\_BIT

Tento obvod čeká na bit START\_BIT, poté čeká na signál CLK pomocí CNT\_1 pro MIDBIT prvního bitu, načtež na vstupním DIN portu přijímá jednotlivé bity, které se zapisují do DOUT pomocí demultiplexeru. Mezi každým přijatým bitem je 16hodinový interval signálu CLK, který se měří pomocí CNT\_1. Bit END\_STOP\_BIT musí následovat za posledním bitem datového slova a musí být nastaven na logickou 1. Signál DOUT\_VLD ověřuje data portu DOUT na logické úrovni 1 pro každý cyklus CLK.

## Návrh automatu (Finite State Machine):

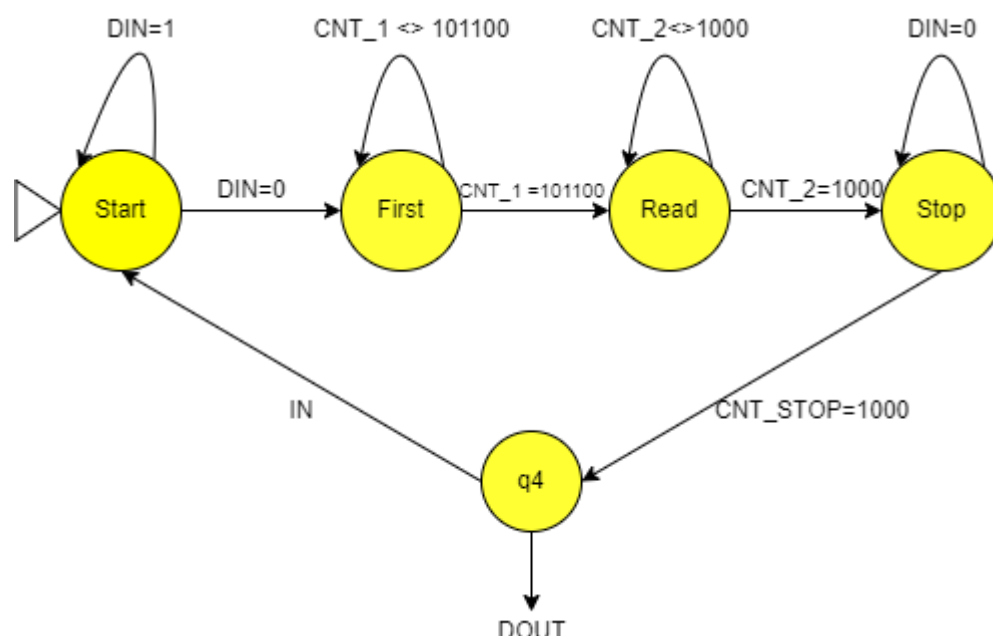
### Schéma automatu

Legenda:

Stavy automatu: Start, First, Read, Stop, q4

Vstupní signály: DIN,CNT\_1,CNT\_2, CNT\_STOP

Mealyho výstupy: CLK, RST



FSM se skládá z 5 stavů: Start, First, Read, Stop a q4

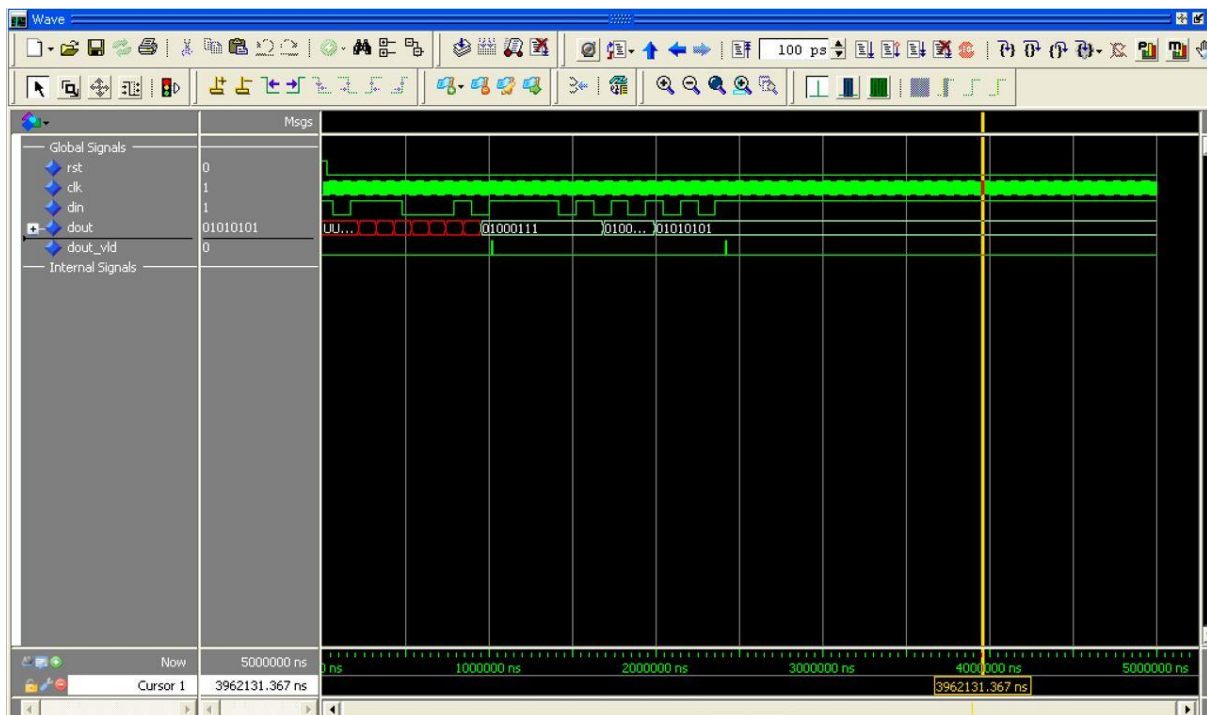
1.Stav Start je Počáteční stav. V tomto stavu stroj čeká na START\_BIT bit nebo když se DIN (tok dat) rovná 0.

2. Ve stavu První stroj čeká na načtení prvního bitu. Je stabilnější, když se to dělá při MIDBIT, takže doba čekání na to je 24 hodinových cyklů, které jsou sledovány čítačem CNT\_1.

3. Ve stavu Read data přijata, dokud stroj nepřečte všechna datová slova, která je sledována čítačem CNT\_2, protože je již známá velikost dat (8 bitů).

4. Ve stavu Stop stroj čeká, dokud nezačne nový tok dat (logická úroveň DIN bodů na něm)

5. Platný stav q4 je konečný stav. Poté může znovu začít přenos dalšího datového slova.



Screenshot ze simulace v ModelSim