

计算机系统结构实验报告 Lab01

FPGA 基础实验: LED Flow Water Light

姚宣骋 520021910431

2022 年 3 月 15 日

摘要

本实验实现了 FPGA 基础实验中的 LED 流水灯器件的设计与测试。该器件通过接收 reset 信号对 LED 灯进行初始化与复位。且在每个周期的时钟上升沿时, 内置计数器加 1, 当计数器达到最大值 (人为设定) 时, LED 灯将左移一位点亮; 该实验以软件仿真的形式对实验结果进行观察与验证。

目录

1	实验目的	2
2	原理分析	2
3	功能实现	3
4	结果验证	4
5	总结反思	6
6	致谢	6

A 设计文件完整代码实现	6
B 激励文件完整代码实现	6

1 实验目的

本次实验有 4 个目的：

- 熟悉 Xilinx 逻辑设计工具 Vivado 的基本操作；
- 掌握使用 VerilogHDL 进行简单的逻辑设计；
- 理解 LED 流水灯的工作原理；
- 使用功能仿真验证功能实现的正确性。

2 原理分析

本次实验要求我们通过使用 Vivado 软件设计实现 LED 流水灯这一个简单的 FPGA 部件，其功能要求是每间隔一段时间点亮下一个 LED 灯并且熄灭当前的 LED 灯并且可以循环点亮。我们利用一个计数器 cnt_reg 实现时钟周期数目的记录，当计数器达到我们设定的最大值时，我们进行 LED 灯的切换，同时将计数器重置为 0。由于我们使用 8 位 LED 灯，我们采取 8 位二进制编码 light_reg 来表示 LED 灯的亮暗情况：第 i 位的值为 0 或 1 代表第 i 个 LED 灯的暗或明。于是我们可以对 light_reg 执行左移操作从而达成 LED 灯的切换。需要注意的是，如果当前点亮的是最后一个 LED 灯，即 8 位二进制编码仅最高位为 1，为了实现 LED 灯的循环点亮，我们将下一个状态的 8 位二进制编码设为仅最低一位为 1。此外，我们还需要设计通过 reset 信号进行 LED 灯重置这一特殊机制。

3 功能实现

正如第 2 节中所述，我们使用计数器变量 cnt_reg 实现时钟周期数目的记录，并且使用 8 位二进制编码 light_reg 来表示这个 8 位 LED 灯。

实现计数器 cnt_reg 的更新的代码如下，我们在其中还加入关于重置模块的设计：当 reset 信号为 1 时，我们将计数器清零重置。

```
1 always @ (posedge clock)
2     begin
3         if (reset)
4             cnt_reg <= 0;
5         else
6             cnt_reg <= cnt_reg + 1;
7     end
```

```
1 always @ (posedge clock)
2     begin
3         if (reset)
4             light_reg <= 8'h01;
5         else if (cnt_reg == 24'hffffff)
6             begin
7                 if (light_reg == 8'h80)
8                     light_reg <= 8'h01;
9                 else
10                    light_reg <= light_reg << 1;
11            end
12     end
```

在实际实验过程中，我们会发现，由于计数器的最大值设置过大，在一定时

间呢内计数器达到最大值得次数过少，LED 灯的变化次数过少，循环不明显，故我们将修改第二部分代码为：

```
1  always @ (posedge clock)
2      begin
3          if (reset)
4              light_reg <= 8'h01;
5          else if (cnt_reg == 2'b11)
6              begin
7                  if (light_reg == 8'h80)
8                      light_reg <= 8'h01;
9                  else
10                     light_reg <= light_reg << 1;
11             end
12     end
```

完整的代码实现参见附录 A

4 结果验证

我们使用 Verilog 编写激励文件，采用软件仿真的形式对于 LED 流水灯进行测试（代码实现参见附录 B）。未修改最大值前初始的测试结果如图 1 所示 修改最大值之后，仿真结果如图 2 所示 由图 2 可以直观且清晰地看到 LED 流水灯随时间的变化符合我们的设计预期。

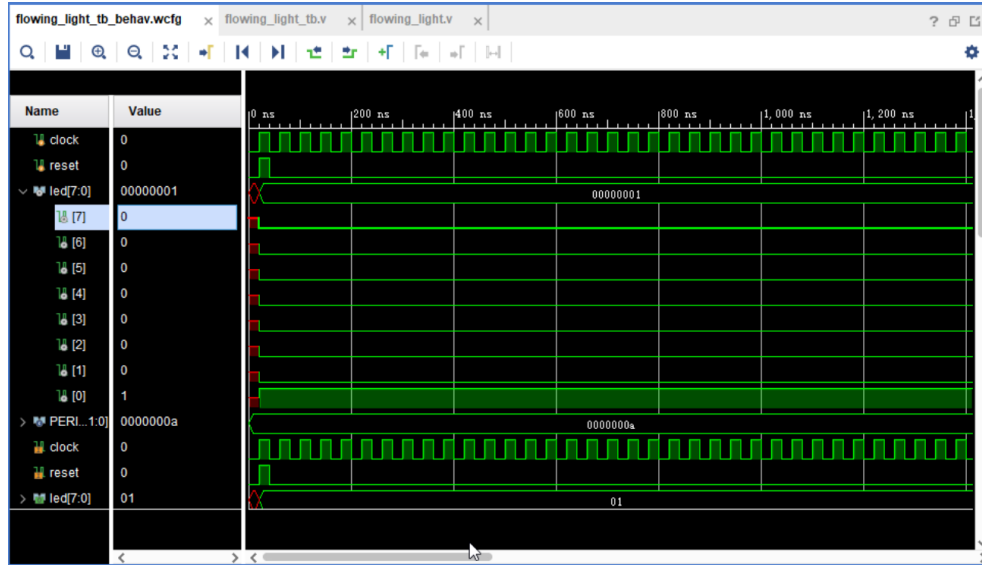


图 1: 仿真波形图 (cnt_reg=4'hffff)

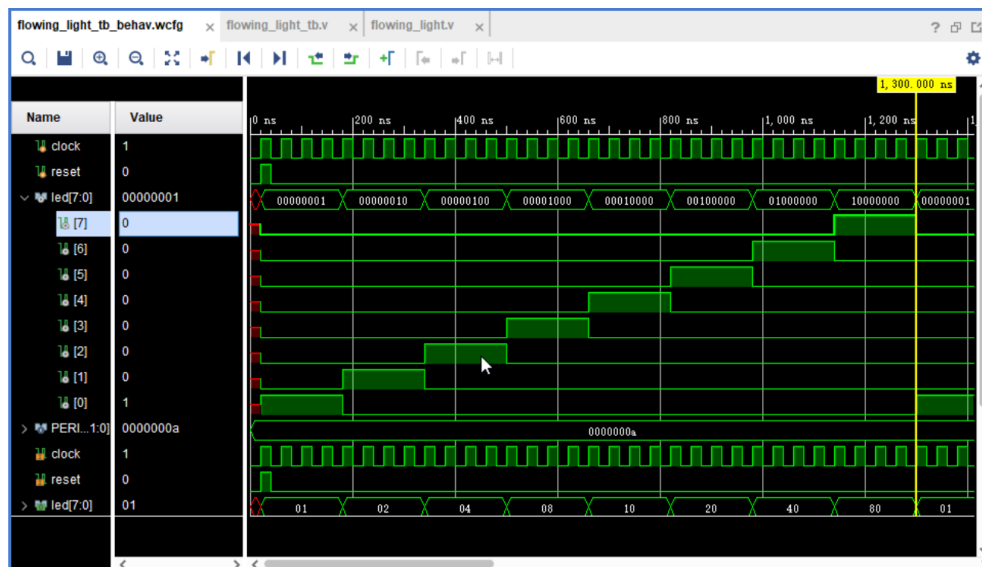


图 2: 仿真波形图 (cnt_reg=2'b11)

5 总结反思

通过这次 FPGA 实验中 LED 流水灯这一基础部件的设计与仿真。我学习到了如何构造设计源文件和仿真激励文件。熟悉使用了 Xilinx 逻辑设计工具 Vivado，并且对于 Verilog 语言的部分逻辑和功能有了一定的了解，为之后的学习做铺垫。总之，我在这次实验中收获颇丰。

6 致谢

感谢本次实验中指导老师在课程微信群里为同学们答疑解惑；
感谢上海交通大学网络信息中心提供的远程桌面资源；
感谢计算机科学与工程系相关老师对于课程指导书的编写以及对于课程的设计，让我们可以更快更好地学习相关知识，掌握相关技能；
感谢电子信息与电气工程学院提供的优秀的课程资源。

A 设计文件完整代码实现

参见代码文件 `flowing_light.v`。

B 激励文件完整代码实现

参见代码文件 `flowing_light_tb.v`。