

## BẢNG TRẢ LỜI TRẮC NGHIỆM

**TỰ LUẬN (1 điểm) (G1, G2)**

Nếu ngoài 8 lệnh đã học trong phần datapath, nếu yêu cầu chỉnh sửa datapath trong Hình 1 (ở trang cuối đề thi) để có thể thực hiện thêm lệnh “slti” thì cần phải thêm những khối nào và mô tả lại quá trình thực thi lệnh “slti” trên datapath mới đó.

**Trả lời:**

This image shows a full page of white paper with horizontal dotted lines. The lines are evenly spaced and run across the width of the page, providing a guide for handwriting practice. There are no margins, text, or other markings on the page.

## CÂU HỎI TRẮC NGHIỆM (9 điểm, 0.3 điểm/câu), SV chọn 1 đáp án đúng

**Câu 1** Cho  $A = 10011$  và  $B = 11101$  là số nhị phân dùng 5-bit để lưu trữ, theo dạng số nhị phân có dấu dạng bù 2. Tính  $A + B$  và cho biết kết quả có tràn hay không? (G1)

A.	00010 (không tràn)
B.	00010 (tràn)
C.	10000 (không tràn)
D.	10000 (tràn)

**Câu 2** Cho cấu trúc phần cứng phép nhân tương tự như hình, khi thực hiện phép nhân hai số 6-bit,  $101000_{(2)} * 010011_{(2)}$ , giả sử số được biểu diễn là số có dấu, giá trị của các thanh ghi **Multiplicand** và **Product** lần lượt là bao nhiêu sau khi kết thúc vòng lặp thứ 5? (G1)

	A. 001 010 000 000, 000 001 111 000
	B. 010 100 000 000, 001 011 111 000
	C. 010 100 000 000, 000 001 111 000
	D. 001 010 000 000, 001 011 111 000

**Câu 3** Cho cấu trúc phần cứng phép chia tương tự như hình, khi thực hiện phép chia  $7_{(10)} / 3_{(10)}$ , giả sử số được biểu diễn theo kiểu không dấu 3-bit, giá trị của các thanh ghi Divisor và Remainder lần lượt là bao nhiêu sau khi kết thúc lần lặp thứ 3? (G1)

	A. 000010 và 111110
	B. 000010 và 000011
	C. 000110 và 000010
	D. 000011 và 000001

**Câu 4** Trong kiến trúc MIPS, phép chia được thực hiện bằng lệnh `div rs, rt`. Phát biểu nào sau đây đúng và đủ? (G1)

A.	Giá trị số dư 32 bit và thương 32 bit được lưu mặc định trong 2 thanh ghi HI và LO
B.	Giá trị số dư 32 bit và thương 32 bit được lưu mặc định trong 2 thanh ghi LO và HI
C.	Thanh ghi HI lưu 32 bit trọng số cao của giá trị số dư
D.	Thanh ghi LO lưu 32 bit trọng số thấp của giá trị thương

**Câu 5** Giá trị của các tín hiệu điều khiển `RegWrite`, `MemRead`, `MemWrite`, `Branch`, `ALUOp1`, `ALUOp0` khi thực hiện lệnh tham chiếu bộ nhớ "`lw`" lần lượt là? (G1)

A.	100010
B.	110000
C.	110010
D.	111010

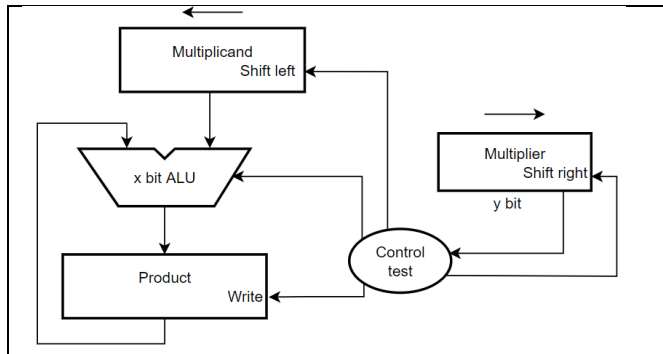
**Câu 6** Cho đoạn chương trình sau thực thi trên kiến trúc MIPS 32 bits theo cơ chế pipeline, trong đó giá trị của các thanh ghi là \$8 = 0x0000001C, \$9 = 0x10000000, \$10 = 0x1000001C, \$13 = 0xFFFFFFFF, \$14 = 0x00000000, \$15 = 0x00000000, \$19 = 0x20000000, \$20 = 0x20000000.

```
add $t2, $t1, $t0
and $s2, $t2, $t5
or $s3, $t6, $t2
add $s4, $t2, $t2
sw $s4, 100($t2)
```

Sau khi thực thi chương trình trên, giá trị của thanh ghi 10 và 20 trong tập thanh ghi là? (G1)

A.	0x1000001C và 0x2000002C
B.	0x1000001C và 0x20000028
C.	0x1000001C và 0x20000038
D.	0x1000001C và 0x20000048

**Câu 7** Cho cấu trúc phần cứng phép nhân như hình, khi thực hiện phép nhân hai số 32-bit thì giá trị x, y tối thiểu lần lượt là? (G1)

	A. 22, 11
	B. 11, 11
	C. 64, 32
	D. 32, 32

**Câu 8** Lựa chọn các câu dưới đây, và sắp xếp theo thứ tự để hoàn thành mô tả cách thực hiện lệnh [add \$t1, \$t2, \$t3] ? (G1)

1.	Một lệnh được nạp từ bộ nhớ lệnh, và PC được tăng.
2.	Hai thanh ghi \$t1, \$t2 được đọc từ Register file
3.	Hai thanh ghi \$t2, \$t3 được đọc từ Register file
4.	Kết quả từ bộ ALU được ghi vào Register file. Sử dụng bit [15:11] của lệnh để xác định thanh ghi đích (\$t1)
5.	Kết quả từ bộ ALU được ghi vào Register file. Sử dụng bit [15:11] của lệnh để xác định thanh ghi đích (\$t3)
6.	Bộ ALU tính toán các dữ liệu được đọc từ Register file, sử dụng bit [5:0] của lệnh để tạo ra hàm ALU

A. 1,3,6,4	B. 1,3,6,5	C. 1,2,6,4	D. 1,2,6,5
------------	------------	------------	------------

**Câu 9** Số bước lặp sử dụng cho cấu trúc phần cứng phép nhân thông thường chia hai số 8-bit là bao nhiêu? (G1)

A. 7	B. 8	C. 9	D. 10
------	------	------	-------

**Câu 10** Hãy cho biết đường nào trong các đường sau là critical path (đường đi dài nhất của dữ liệu) của lệnh “lw” với datapath như trong Hình 1 (ở trang cuối đề thi)? (G2)

A.	I-Mem, Mux, Regs, Mux, ALU, Mux, Regs
B.	I-Mem, Mux, Regs, ALU, D-mem, Mux, Regs
C.	I-Mem, Mux, Regs, ALU, Mux, D-Mem, Regs
D.	I-Mem, Regs, Mux, ALU, Mux, Mux, Regs

**Câu 11** Giá trị input của khối “Sign-extend” bằng bao nhiêu khi mã sau được thanh ghi PC trở tới trong quá trình thực thi: 0x2149ab9c? (G1)

A. 0xfffffab9c	B. 0x2149ab9c	C. 0x0000ab9c	D. 0xab9c
----------------	---------------	---------------	-----------

**Câu 12** Quy trình thực thi một lệnh trong kiến trúc MIPS lần lượt theo thứ tự sau? (G2)

A.	Fetch -> Memory Access -> Instruction Decode -> ALU -> Result Write
B.	Fetch -> Instruction Decode -> Memory Access -> ALU -> Result Write
C.	Fetch -> Instruction Decode -> ALU -> Memory Access -> Result Write
D.	Fetch -> ALU -> Instruction Decode -> Memory Access -> Result Write

**Câu 13** Giá trị Output của khối ALU bằng bao nhiêu khi mã lệnh sau được thanh ghi PC trở tới trong quá trình thực thi: 0x02328020? Biết giá trị của thanh ghi s1 và thanh ghi s2 tương ứng là: 0x00002023 và 0xabcd0000. (G1)

A. 0xabcd2023	B. 0x2023abcd	C. 0x00002023	D. 0xabcd0000
---------------	---------------	---------------	---------------

**Câu 14** Giá trị Input thứ nhất của ALU bằng bao nhiêu khi mã lệnh sau được thanh ghi PC trở tới trong quá trình thực thi: 0x8e2bfff4? Biết giá trị được lưu trong các thanh ghi của thanh ghi Read register 1 và thanh ghi Read register 2 tương ứng là: 0xfffff90 và 0x00001234. (G1)

A. 0xfffff90	B. 0xfffffff4	C. 0x00001234	D. 0x8e2bfff4
--------------	---------------	---------------	---------------

**Câu 15** Với datapath như Hình 1 (ở trang cuối đề thi), khi thực hiện lệnh “beq” thì ALU thực hiện chức năng gì? (G1)

A. add	B. subtract	C. set on less than	D. and
--------	-------------	---------------------	--------

**Câu 16** Cho thời gian trễ (thời gian cần để hoàn thành) của từng khối trong Hình 1 (ở trang cuối đề thi) như sau (khối nào không có trong bảng xem như thời gian trễ bằng 0):

I-Mem	Add	Mux	ALU	Regs	D-Mem
360ps	190ps	60ps	180ps	250ps	310ps

Thời gian trễ lớn nhất của lệnh “add” khi thực thi theo Datapath trong Hình 1 (ở trang cuối đề thi) là? (G1)

A. 1330	B. 1220	C. 1150	D. 1060
---------	---------	---------	---------

**Câu 17** Cho bảng sau:

I-Mem	Mux	ALU	Regs	D-Mem
500 ps	100 ps	180 ps	220 ps	1000 ps

Chu kỳ xung clock cần cho thiết kế datapath như Hình 1(ở trang cuối đề thi) với 8 lệnh cơ bản (add, sub, or, and, slt, lw, sw và beq) là bao nhiêu? (G1)

A. 2420 ps	B. 2260 ps	C. 1680 ps	D. 2320 ps
------------	------------	------------	------------

**Câu 18** Đoạn chương trình sau được thực thi trong kiến trúc pipeline 5 tầng:

```
lw $t3, 40($s4)
add $t2, $t3, $s0
sw $s1, 50($t2)
```

Tổng số chu kỳ cần thiết để hoàn thành chương trình trên khi không dùng kỹ thuật nhìn trước (no forwarding) và khi dùng kỹ thuật nhìn trước (forwarding) là bao nhiêu? (bỏ qua các xung đột khác nếu có) (G1)

A. 10 và 8	B. 11 và 8	C. 10 và 9	D. 11 và 9
------------	------------	------------	------------

**Câu 19** Giả sử mỗi công đoạn trong pipeline có thời gian hoạt động như bảng dưới. Thời gian cần thiết để thực hiện một lệnh lw cho trường hợp processor có pipeline và không pipeline lần lượt là bao nhiêu ? (G1)

IF	ID	EX	MEM	WB
350ps	300ps	300ps	600ps	150ps

A. 3000 và 1700	B. 1700 và 1700	C. 3000 và 1550	D. 2400 và 1550
-----------------	-----------------	-----------------	-----------------

**Câu 20** Với datapath như hình 1, câu lệnh nào có tín hiệu RegDst = 1 ? (G1)

A. slt	B. lw	C. beq	D. add
--------	-------	--------	--------

**Câu 21** Cho đoạn chương trình sau, với datapath như hình 1:

```
add $s0, $zero, $t1 # lệnh thứ 1
beq $t0, $t1, ABC # lệnh thứ 2
lw $t9, 12($s0) # lệnh thứ 3
ABC: sw $t0, 4($s1) # lệnh thứ 4
EFG: beq $s0, $s1, EFG # lệnh thứ 5
```

Biết khi bắt đầu chạy chương trình, thanh ghi PC = 0x400000; \$t1 = 0x10010000; \$t0 =

0x00000001; \$t9 = 0x0000000f, tại địa chỉ 0x1001000c đang có giá trị bằng 0x00001111

Giá trị của tín hiệu điều khiển “MemToReg” sẽ bằng 1 tại lệnh nào khi chạy đoạn chương trình trên. (G2)

A. lệnh thứ 1	B. lệnh thứ 2	C. lệnh thứ 3	D. lệnh thứ 4
---------------	---------------	---------------	---------------

**Câu 22** Giả sử rằng mỗi lệnh cần 5 công đoạn thực hiện và thời gian thực hiện mỗi công đoạn như sau:

IF	ID	EX	MEM	WB
140ns	100ns	80ns	150ns	90ns

Cho 4 câu lệnh sau:

```
add $s2, $t1, $t7
lw $s1, 32($s2)
sub $s4, $s5, $s3
add $s2, $s1, $s3
```

Các câu lệnh trên thực thi trong processor thiết kế pipeline 5 tầng. Hỏi thời gian cần thiết để thực thi cả 4 câu lệnh trên trong trường hợp sử dụng kỹ thuật nhìn trước (full-forwarding)? (G1)

A. 1350ns	B. 1260ns	C. 1200ns	D. 1120ns
-----------	-----------	-----------	-----------

**Câu 23** Giả sử rằng mỗi lệnh cần 5 công đoạn thực hiện và thời gian thực hiện mỗi công đoạn như sau:

IF	ID	EX	MEM	WB
140ns	100ns	80ns	130ns	90ns

Cho 4 câu lệnh sau:

*add \$s2, \$t1, \$t7*

*lw \$s1, 32(\$t2)*

*sub \$s4, \$s5, \$s3*

*add \$s2, \$s1, \$s3*

Các câu lệnh trên thực thi trong processor thiết kế pipeline 5 tầng. Hỏi thời gian cần thiết để thực thi cả 4 câu lệnh trên trong trường hợp **KHÔNG** sử dụng kỹ thuật nhìn trước (forwarding)? (G1)

A. 1350ns	B. 1260ns	C. 1200ns	D. 1120ns
-----------	-----------	-----------	-----------

**Câu 24** Phát biểu nào sau đây **ĐÚNG** khi nói về xung đột cấu trúc (G1)

A.	Có thể xảy ra khi tại thời điểm lệnh kế tiếp cần sử dụng kết quả dữ liệu của lệnh trước đó
B.	Có thể xảy ra ngay sau các lệnh điều khiển nhảy
C.	Có thể xảy ra khi một lệnh cần dữ liệu để xử lý nhưng dữ liệu đó chưa có sẵn
D.	Có thể xảy ra khi hai hoặc nhiều công đoạn của các lệnh khác nhau sử dụng cùng một tầng cấu trúc phần cứng

**Câu 25** Công đoạn mà chỉ có lệnh Load và Store cần thực hiện các thao tác trong công đoạn này là? (G2)

A.	Instruction Decode & Operand Fetch
B.	Instruction Fetch
C.	Memory Access
D.	Result Write

**Câu 26** Chọn phát biểu đúng nhất trong các phát biểu dưới đây? (G1)

A.	Kỹ thuật pipeline giúp giảm thời gian thực thi của từng lệnh riêng lẻ
B.	Kỹ thuật pipeline không giúp giảm thời gian thực thi của từng lệnh riêng lẻ
C.	Kỹ thuật pipeline không giúp giảm thời gian thực thi của chương trình chứa nhiều lệnh
D.	Kỹ thuật pipeline giúp giảm thời gian thực thi của lệnh sw

**Dữ kiện bên dưới sử dụng cho 4 câu hỏi tiếp theo (từ câu 27 đến câu 30)**

Cho một bộ xử lý MIPS 32 bits (có datapath và control như hình đã học).

Biết ban đầu (câu lệnh đầu tiên của đoạn chương trình) thanh ghi PC = 0x00400000; \$s6 = 0x1001005C; Word nhớ tại các địa chỉ (Address) tương ứng có nội dung/giá trị (Data) như trong bảng sau:

Address	0x10010068	0x1001006C	0x10010070	0x10010074	0x10010078
Data	0x00005678	0x00004321	0x00006789	0x00065432	0x6789000D

Nếu đoạn chương trình sau được thực thi:

*addi \$s2, \$s6, 4*

*lw \$t4, 8(\$s2)*

*sll \$t4, \$t4, 2*

*sw \$t4, 16(\$s2)*

Khi bộ xử lý trên đang thực thi vừa xong câu lệnh thứ tư, trả lời các câu hỏi bên dưới vào bảng trả lời trắc nghiệm ở trang đầu

**Câu 27** Ngõ ra của khối Instruction Memory là bao nhiêu? (G1)

A. 0x AF4C0010	B. 0xAE4C0010	C. AE8C0010	D. 0x AF8C0010
----------------	---------------	-------------	----------------

**Câu 28** Giá trị của thanh ghi \$t4? (G1)

A. 0x000158E0	B. 0x000159F0	C. 0x000159E0	D. 0x000149E0
---------------	---------------	---------------	---------------

**Câu 29** Kết quả tại đầu ra ALU result bằng bao nhiêu (G1)

A. 0x10010068	B. 0x10010069	C. 0x1001006C	D. 0x10010070
---------------	---------------	---------------	---------------

**Câu 30** Ngõ ra tại khối ALU control là bao nhiêu? (G1)

A. 1001	B. 0110	C. 0010	D. 0111
---------	---------	---------	---------

**Duyệt đề Khoa/Bộ Môn**

**Giáo viên ra đề**

Bảng chuẩn đầu ra môn học Kiến trúc máy tính

<b>CĐRMH</b>	<b>Mô tả CĐRMH</b>
G1 (2.1)	Hiểu các kiến thức cơ bản về kiến trúc máy tính và lập trình hợp ngữ. Trình bày, phân tích được các thành phần và nguyên lý hoạt động bên trong một máy tính, cơ chế thực thi lệnh của máy tính, đánh giá được hiệu suất của máy tính.
G2 (9.2.1)	Biết các khái niệm, nguyên lý và các thuật ngữ tiếng Anh trong nhóm kiến thức về kiến trúc máy tính. Khả năng tự nghiên cứu và cập nhật các kỹ thuật – công nghệ mới.