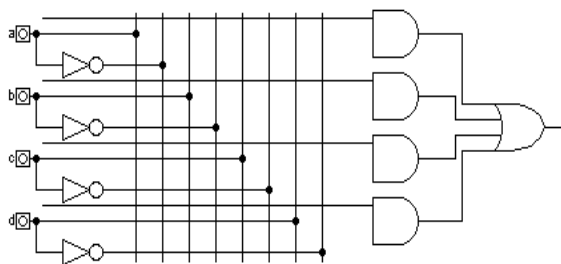



<p>1.Narysuj przebiegi czasowe dla sygnałów A i B:</p> <pre>process   signal Val : STD_LOGIC_VECTOR( 0 to 9 )            := '1' &amp; X"69" &amp; '0';  begin   wait for 2 ns;   for i in 0 to 9 loop     A &lt;= '0' after 1 ns, '1' after 3 ns;     B &lt;= Val( i );     wait for 5 ns;   end loop;   wait; end process;</pre> <p>...tutaj tabelka...</p>	<p>2.W poniższych punktach proszę wpisać jeden ze skrótów SC (Standard Cells), GA (Gate Arrays) lub FPGA (Field Programmable GA).</p> <ul style="list-style-type: none"><li>• najniższy koszt jednostkowy 1 układu scalonego .....</li><li>• projektowanie przez użytkownika tylko warstw metalizacji układu scalonego .....</li><li>• układy programowalne przez użytkownika .....</li><li>• najkrótszy czas przygotowania projektu .....</li><li>• możliwość wykorzystania gotowych dużych bloków funkcyjnych, tzw. <i>mega cores</i> .....</li><li>• najtańsza technologia wśród układów programowalnych maską .....</li></ul>																																																							
<p>3.Na rysunku pokazano fragment matrycy PAL. Oznacz znakiem x połączenia programowalne realizujące funkcję:</p> $F = a \oplus (b + c + d)$ 	<p>4. Dla podanych A, E_A oraz B, E_B wyznacz wartości portu Y:</p> <pre>entity EntA is   port ( A, E_A, B, E_B : in STD_LOGIC;         Y : out STD_LOGIC); end EntA; architecture DFlow of EntA is begin   Y &lt;= A when E_A = '0' else 'H';   Y &lt;= B when E_B = '0' else 'Z'; end DFlow;</pre> <table><tr><td>A:</td><td>U</td><td>-</td><td>-</td><td>-</td><td>-</td><td>H</td><td>1</td><td>0</td><td>1</td><td>1</td></tr><tr><td>E_A:</td><td>1</td><td>1</td><td>1</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr><tr><td>B:</td><td>U</td><td>H</td><td>L</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>L</td><td>W</td></tr><tr><td>E_B:</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr><tr><td>Y:</td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr></table>	A:	U	-	-	-	-	H	1	0	1	1	E_A:	1	1	1	1	0	0	0	0	0	0	B:	U	H	L	0	0	0	0	0	L	W	E_B:	1	0	0	0	0	0	0	0	0	0	Y:										
A:	U	-	-	-	-	H	1	0	1	1																																														
E_A:	1	1	1	1	0	0	0	0	0	0																																														
B:	U	H	L	0	0	0	0	0	L	W																																														
E_B:	1	0	0	0	0	0	0	0	0	0																																														
Y:																																																								
<p>5.Układ XC95144XL ...</p> <ul style="list-style-type: none"><li>• ma alokatory termów, pozwalające na wymianę termów między blokami funkcyjnymi <sup>(1)</sup>: .....</li><li>• ma liczbę przerzutników równą <sup>(2)</sup>: .....</li><li>• ma liczbę globalnych sygnałów zegarowych <sup>(2)</sup>: .....</li><li>• zawiera przerzutniki w blokach WE/WY <sup>(1)</sup>: .....</li><li>• można skonfigurować na poziomie każdej makrokomórki w trybie obniżonego poboru mocy <sup>(1)</sup>: .....</li><li>• ma przerzutniki o wspólnym globalnym sygnale CE <sup>(1)</sup>: .....</li></ul> <p>1) wpisz TAK lub NIE 2) wpisz wartość liczbową</p>	<p>6. Narysuj przebiegi czasowe dla sygnałów z podanymi instrukcjami przypisania współbieżnego. Jednostka na skali czasu = 1 ns.</p> <pre>signal A, B, X, Y, Z : STD_LOGIC; (...) X &lt;= not A after 5 ns; Y &lt;= transport B after 5 ns; Z &lt;= X nor Y after 5 ns;</pre> 																																																							
<p>7.W języku VHDL (TAK lub NIE):</p> <ul style="list-style-type: none"><li>• Opis na poziomie RTL nie może zawierać instrukcji sekwencyjnych .....</li><li>• Jest wbudowany operator potęgowania .....</li><li>• Funkcja rozstrzygająca jest konieczna w przypadku sygnałów z wieloma sterownikami .....</li><li>• ???</li></ul>	<p>8. W tabeli opisz cykle symulacji, jakie zostaną wykonane w przypadku zmiany wartości sygnału R w cyklu T<sub>C</sub> = 3 ns. TC dla cykli [...] zapisuj jako ..... + .....Δ + .....2Δ itd. W kolumnie ostatniej [...] sygnały aktywne. Podane instrukcje przypisania są współbieżne.</p> <pre>signal S, R, Q, ?Z?, nQ : BIT; Q &lt;= ??? nand nQ; ??? &lt;= not nQ after ?4? ns; nQ &lt;= ??? nand Q;</pre> <p>... tutaj tabelka ...</p>																																																							