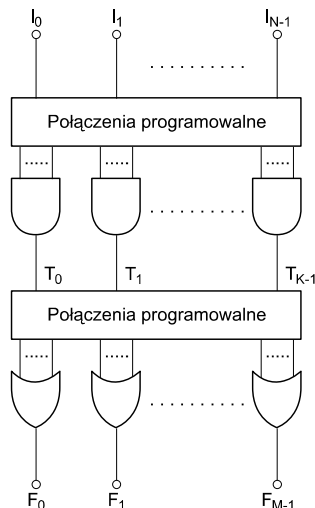
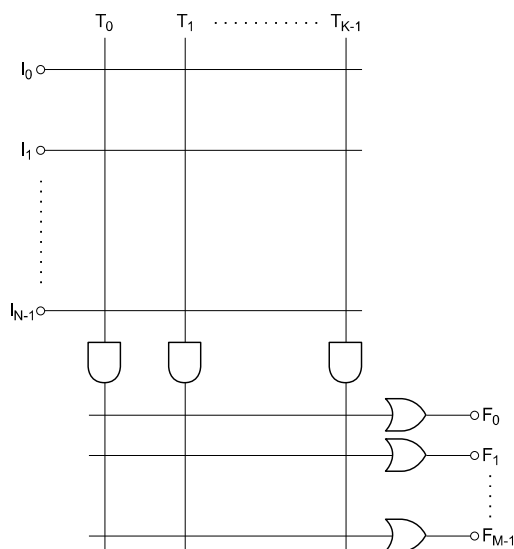


Na poprzednim wykładzie zapoznaliśmy się ze schematem ideowym matrycy PLD. Narysowaliśmy jej uproszczony schemat w postaci:



Takich schematów matryc się nie rysuje. Sygnały wejściowe rysuje się w postaci linii poziomych, krzyżujących się z pionowymi liniami termów. Na liniach termów rysuje się symbole bramek AND by zaznaczyć, że to, co linia termu „zbiera” z matrycy programowalnej jest funkcją iloczynów. W matrycy dolnej rysuje się linie wyjściowe z symbolami OR. Linie wyjściowe krzyżują się z liniami termów. Linie wyjściowe „zbierają” funkcję sumy. Na skrzyżowaniach linii nie rysuje się punktów programowalnych, bo z góry wiadomo, że skrzyżowania realizują połączenia programowalne:



Standardowo górna matryca jest matrycą iloczynów, a dolna – matrycą sum. Początkowo produkowano układy PLD programowalne, gdzie obie matryce można było poddać procesowi programowania. Praktyka pokazała, że było to marnotrawstwem miejsca w układach scalonych. Poza tym programowanie obu matryc nie było konieczne. Układy PLD najbardziej rozpowszechnione mają tylko jedną matrycę programowalną.

Typ układu	PLA	PAL	PLE
Matryca AND	Programowalna	Programowalna	Stała
Matryca OR	Programowalna	Stała	Programowalna

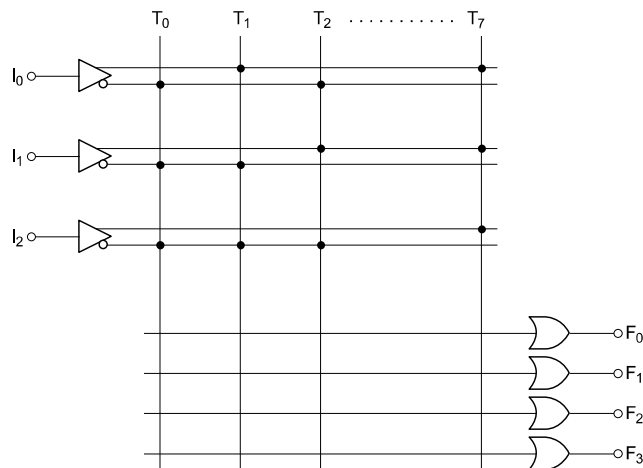
Układy **PLA** (Programmable Logic Array) były pierwszym chronologicznie układem PLD. Miały one obie matryce programowalne. Układy te nie zdobyły dużej popularności z powodu małej gęstości upakowania logiki (bezpieczniki zajmowały sporą powierzchnię układu). Poza tym parametry czasowe nie były zadowalające.

Znaleziono uproszczenie w budowie. Zrezygnowano z programowania matrycy sum. Decydować można tylko o tym jakie iloczyny zmiennych wejściowych mają być ze sobą wymnażane w poszczególnych termach. Wybrane termy są dołączone do konkretnych bramek sumy. Każda z bramek OR w dolnej matrycy ma swój zestaw iloczynów który jest do niej dołączony. Realizujemy funkcję suma iloczynów. To wystarcza do realizacji różnych funkcji kombinacyjnych. Są to układy **PAL** (Programmable Array Logic).

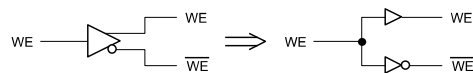
Możliwa jest sytuacja odwrotna (matryca iloczynów – stała, matryca sum – programowalna). W takim wypadku mamy do czynienia z układami **PLE** (Programmable Logic Element). Nazwy oczywiście nic ciekawego nie mówią o architekturze układu. Pełnią tylko rolę nazwy handlowej.

Układy PLE

By omówić układ PLE posłużymy się układem z 3-ma wejściami i 4-ma wyjściami (i 8 linii termów):



Nowością jest fakt, że wszystkie sygnały wchodzące do matrycy, są w niej dostępne komplementarnie (sygnały wejściowe i ich negacje). Realizuje się to przy pomocy podwójnego bufora:

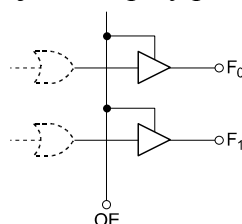


Pionowo „biegną” linie termów jest ich 8 (2^3). Linie termów są dołączone do stałych sygnałów wejściowych. Matryca górna reprezentuje wszystkie możliwe kombinacje sygnałów wejściowych. Term T_0 reprezentuje sygnał „000”, term T_1 - „001” a term T_7 - „111”. Dolna matryca jest programowalna.

Jakakolwiek kombinacja wejściowa „zapala” (uaktywnia) dokładnie jeden term. Na jednym z termów pojawia się „1”, a na pozostałych są zera. Patrząc na linię bitu wyjściowego (biegnącą w matrycy dolnej) możemy określić czy dany bit będzie „0” lub „1” w zależności od tego, czy odpowiedni punkt jest zaprogramowany (jest lub nie ma połączenia linii termu z linią wyjściową) i czy dana linia termu jest aktywna, czy nie. Jest to po prostu pamięć PROM o zawartości programowalnej w matrycy sum.

W matrycy iloczynów mamy realizowany szybki dekodery adresu. Układy PLE należy kojarzyć z szybkimi pamięciami programowalnymi.

Jeżeli dany układ ma być pamięcią, musi on posiadać „dodatek” w postaci buforów wyjściowych, umożliwiających podłączenie pamięci do magistral. Realizuje się to przy pomocy buforów 3-stanowych:



To „co wychodzi” z bramki sumy musi przejść przez bufor 3-stanowy, za którym znajduje się końcówka łącze-

niowa. Bufory są sterowane przeważnie jedną linią OE (Output Enable). Bufor 3-stanowy jest aktywny (na OE podano „1”) i na swoje wyjście przekazuje sygnał z wejścia. Gdy OE = „0” - bufor przechodzi w stan wysokiej impedancji (rozwarcie, wyjście „wisi” w powietrzu). Takie rozwiązanie jest niezbędne, gdy wyjście z układu jest dołączone do magistrali. Nie można zwierzać wyjść układów cyfrowych bezpośrednio, ponieważ może dojść do konfliktów.

Należy zapamiętać że komplementarność wejść i bufory 3-stanowe na wyjściach są typowymi rozwiązaniami w układach PLD.

Układy PAL

W układach tych programowalna jest matryca górna. Układy te dzielimy na układy kombinacyjne, układy rejestrowe (z przerzutnikami) oraz układy z makrokomórkami programowalnymi.

Układy PAL kombinacyjne

Układ PAL 16L8

Układ umieszczony w obudowie z 20 wyprowadzeniami. Sygnały wejściowe podawane komplementarnie. Linie pionowe na schemacie reprezentują wejścia układu. Termy na schemacie biegną poziomo. Każda z bramek sum ma własny zestaw termów. Na wyjściach bramek OR znajdują się bufory 3-stanowe są sterowane sygnałami, obliczanymi w matrycy (można programować sygnał OE). Mamy tu sprzężenia zwrotne. Przydają się one wówczas, gdy trzeba stworzyć kilkupoziomowe (kaskadowe łączenie bramek OR) sumy iloczynów. Poza tym dodanie sprzężeń zwrotnych w układzie może sprawić, że układ stanie się układem sekwencyjnym.

Na schemacie układu widać, że bufory 3-stanowe są inwerterami czyli realizowana jest funkcja NOR z zaprogramowanych iloczynów.

Ogólna charakterystyka układu PAL 16L8: Układ ma 10 dedykowanych wejść, 8 dedykowanych wyjść. Nie wszystkie wyjścia są sobie równoważne. Spowodowane jest to obecnością (i nieobecnością) sprzężeń zwrotnych. W układzie 16L8 6 wyjść ma sprzężenia zwrotne. Na jednym wyjściu możemy zrealizować funkcję NOR maksymalnie 7 argumentów. 64 termy, 16 wejść (10 zewnętrznych + 6 sprzężeń zwrotnych). Rozmiar matrycy to ilość punktów programowalnych. Układ 16L8 ma rozmiar matrycy 32×64.

Wyprowadzenia ze sprzężeniami zwrotnymi są opisane jako wejścia/wyjścia. Konsekwencja wprowadzenia sprzężeń zwrotnych jest taka, że poprzez odpowiednie sterowanie buforem 3-stanowym uzyskujemy 3 tryby pracy 6-ciu wyjść I/O. Term sterujący sygnałem OE odpowiedniego bufora może być różnie zaprogramowany. Jeżeli cały czas na OE będzie „1”, wówczas końcówka będzie działała jako wyjście. Jeżeli OE = „0”, wówczas końcówka będzie działała jako dodatkowe wejście. Jeżeli sygnał na OE będzie się zmieniał, to możemy odpowiednią końcówkę traktować zamiennie jako wejście i wyjście. Dlatego też sprzężenie zwrotne zostało umieszczone przed buforem wyjściowym.

Układ PAL 20L8

Obudowa z 24 wyprowadzeniami. 4 dodatkowe wyprowadzenia, to 4 dodatkowe wejścia. Układ ten posiada w sumie 14 wejść, 8 wyjść (w tym 6 ze sprzężeniami zwrotnymi). Matryca programowalna o wymiarach 40×64.

[mały oftop: informacje o językach opisu sprzętu]

Proste języki opisu sprzętu to PALASM i CUPL. Języki te są językami prymitywnymi. Bardziej zaawansowany był HDL. Pierwsze języki typu HDL opracowano na początku lat 80-tych. Języki te miały opisywać wszystko, co związane było z układami cyfrowymi. Nie są to języki programowania.

Przykładowe opisy układów kombinacyjnych w językach PALASM oraz CUPL:

PALASM	CUPL
Zdefiniowanie sygnałów wejściowych i wyjściowych PIN 16 Wy1 {COMB/REG}	Zdefiniowanie sygnałów wejściowych i wyjściowych PIN 16 = Wy1;
...	...
Numer wyprowadzeń bazują na fizycznych wyprowadzeniach układu. Piszemy „PIN <Nr wyprowadzenia> <nazwa sygnału>”. Opcjonalnie można podać tryb pracy pinu (COMB/REG). Kolejnym krokiem jest sekcja równań logicznych: EQUATION Wy1 = (...)	CUPL naśladuje nieco język C i każdą linię należy zakończyć średnikiem. Nagłówek „EQUATION” jest niepotrzebny i można przejść bezpośrednio do pisania równań logicznych: Wy1 = (...) By uzyskać dostęp do termu sterującego buforem trójstanowym, trzeba użyć zapisu: Wy2.OE = (...)
Trzeba uważać, by równanie logiczne dało się przełożyć na zasoby logiczne danego wyprowadzenia układu.	Obostrzenia w temacie złożoności równań logicznych są takie same jak opisane w

Jeżeli mamy wyjścia z opcją Output Enable, musimy użyć notacji z atrybutem TRST:

Wy. TRST = (...)

Powyższe równanie może być tylko pojedynczym iloczynem. Pasują tutaj równania takie jak „a*b” (AND) lub „/(a+b)” (NOR). Równania w stylu „a+b” oraz „a*b++c” nie będą akceptowane.

sekcji, dotyczącej języka PALASM.

[wracamy do opisu kolejnych skalaków]

Układy PAL rejestrowe

Układ PAL 16R8

Obudowa z 20 wyprowadzeniami. Są 3 warianty układów 16RX: Układ 16R8 z 8-ma przerzutnikami oraz układy 16R6 oraz 16R4 odpowiednio z 6 oraz z 4 przerzutnikami. Układ zawiera 8 przerzutników synchronicznych. Rozmiar matrycy 32×64. Obecność przerzutników wymaga użycie sygnału zegarowego, który musi być jednocześnie podawany na wejścia wszystkich przerzutników. Układ posiada dedykowane wejście dla sygnału zegarowego. Bufory 3-stanowe są sterowane wspólnie poprzez sygnał pobrany z wyprowadzenia OE. Jest tu 8 dedykowanych wyjść (nie ma przełączania wejście/wyjście). Sprzężenie zwrotne jest brane z przerzutnika. Układ ma zatem 8 wejść „normalnych” (zewnętrznych) oraz 8 wejść wynikających ze sprzężeń zwrotnych. Do bramki OR jest podłączonych 8 termów.

W układach ze zmniejszoną liczbą przerzutników (16R6 oraz 16R4) bloki działające kombinacyjnie (pozbawione przerzutników) działają tak, jak bloki kombinacyjne w układzie 16L8: 7 termów steruje bramką OR, a 8-my term steruje buforem 3-stanowym. Sprzężenie zwrotne jest brane z bufora 3-stanowego i pin taki może pracować zarówno jako wyjście jak i wejście układu.