

## Układy Cyfrowe (1) - pytania

### Uzupełnij opis układów CPLD rodziny XC9500XL:

- makrokomórka ma standardową liczbę iloczynów **5**
- blok funkcyjny ma całkowitą liczbę iloczynów **90**
- każda makrokomórka na liczbę przerzutników **1**
- liczba globalnych sygnałów zegarowych **3**
- typ przerzutników (T, D, JK, RS) **T/D**
- każdy blok WE/WY ma liczbę przerzutników **0**
- blok funkcyjny ma liczbę makrokomórek **18**
- liczba sygnałów WE dochodzących do każdego bloku funkcyjnego **54**

### Układ PALCE22V10:

- jest wykonany w technologii UVC MOS **NIE**
- ma 10 przerzutników **TAK**
- jest kasowalny ultrafioletem **NIE**
- ma programowalny typ przerzutników D/T **NIE**
- ma przerzutniki ze wspólnym sygnałem zegarowym **TAK**
- ma programowalną matrycę sum (OR) **NIE**
- jest wykonany w technologii EEC MOS **TAK**
- ma 22 przerzutniki **NIE**
- ma programowalny aktywny poziom wyjścia **TAK**
- ma nie tylko wyjścia kombinacyjne **TAK**

W poniższych punktach proszę podać, do której technologii programowania układów PLD / FPGA odnosi się podana cecha. Proszę wpisywać jeden z następujących skrótów: FEPROM, AF-PROM, SRAM, EPROM, EEPROM.

- technologia programowania układów bipolarnych **FEPROM**
- programowanie jednokrotne układów CMOS o dużym stopniu scalania **AFEPROM**
- możliwość rekonfiguracji układu podczas pracy **SRAM**
- największa trwałość połączenia programowalnego **FEPROM**
- kasowanie z wykorzystaniem efektu tunelowego **EEPROM**
- programowanie nieulotne kasowane elektrycznie **EEPROM**
- nieulotne progr. kasowalne o najniższym napięciu programowania **EEPROM**
- nieulotne progr. kasowalne o najkrótszym czasie programowania punktu **EPROM**
- kasowanie promieniowaniem jonizującym **EPROM**
- programowanie jednokrotne układów wykonanych w technologii CMOS **AFEPROM**
- najwyższa niezawodność połączenia programowalnego **FEPROM**

W poniższych punktach proszę wpisać jeden ze skrótów SC, GA lub FPGA:

- najwyższy koszt stały (przygotowania projektu) **SC**
- najmniejsze wykorzystanie powierzchni układu **FPGA**
- możliwość rekonfiguracji układu **FPGA**
- najwyższy koszt jednostkowy 1 ukl. scalonego **FPGA**
- projektowanie przez użytkownika tylko warstw metalizacji układu scalonego **GA**
- najniższy koszt stały (przygotowania projektu) **FPGA**
- możliwość wykorzystania gotowych dużych bloków funkcyjnych, tzw *mega-cores* **SC**
- najniższy koszt jednostkowy 1 ukl. scalonego **SC**
- największe wykorzystanie powierzchni układu **SC**

### Układy CPLD rodziny XC9500XL:

- mają alokatory termów, pozwalające na wymianę nieużywanych linii AND między blokami funkcyjnymi **NIE**
- mają alokatory termów, pozwalające na wymianę nieużywanych linii AND między makrokomórkami **TAK**
- zawierają, w zależności od rozmiaru, od 2 do 16 matryc PAL **TAK**
- zawierają przerzutniki, których sygnał taktujący może być pobrany tylko z wyprowadzenia zewnętrznego **NIE**

- zawierają dodatkowe przerzutniki w blokach WE/WY do zatrzymywania sygnałów WE **NIE**
- można skonfigurować na poziomie każdej makrokomórki w trybie obniżonego poziomu pracy **TAK**
- zawierają jedną globalną matrycę połączeń sygnałów między blokami funkcyjnymi **TAK**
- są wykonane w technologii EPROM **NIE**
- zawierają bufony wyjścia w blokach I/O o konfigurowalnej wydajności stałoprądowej **TAK**
- mają jednokierunkowe wyprowadzenia zewnętrzne jako dedykowane WE lub WY **NIE**

#### **Uzupełnij opis układu PAL16R8:**

- ma jednakową liczbę termów dołączonych do bramek OR w matrycy **TAK**
- ma programowalny typ przerzutników D/T **NIE**
- łączna liczba wejść do matrycy programowalnej **16**
- liczba WY rejestrowych **8**
- liczba WY kombinacyjnych **0**

#### **Uzupełnij opis układu PAL16L8:**

- ma programowalną matrycę sum **NIE**
- ma 8 przerzutników **NIE**
- ma w komórkach WY bufony trójstanowe sterowane globalnym sygnałem OE z pinu zewnętrznego **TAK**
- liczba WY kombinacyjnych **8**
- łączna liczba WE do matrycy programowalnej **16**

#### **W porównaniu do TTL, układy ECL odznaczają się:**

- większym statycznym poborem mocy **TAK**
- impulsowym poborem mocy w momencie przełączania **NIE**
- większą amplitudą logiczną **NIE**
- szybszym przełączaniem **TAK**
- kłopotliwą realizacją wyjść komplementarnych **NIE**