

Układy cyfrowe i systemy wbudowane

Autor:

Tymon Tobolski (181037)

Jacek Wieczorek (181043)

Prowadzący:

Dr inż. Jarosław Sugier

Wydział Elektroniki

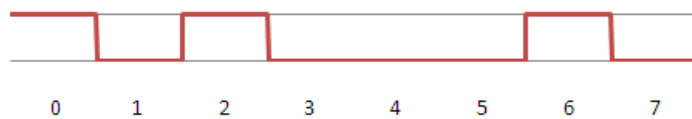
III rok

Pn 14.15 - 16.00

13 listopada 2011

1 Cel ćwiczenia

Celem ćwiczenia było stworzenie układu generującego sygnał prostokątny o zadanym przebiegu. Układ składał się z dwóch podukładów: licznika "0-7" oraz dekodera "1 z 8". Oba podukłady zostały zaimplementowane jako osobne urządzenia, a następnie użyte w głównym układzie.

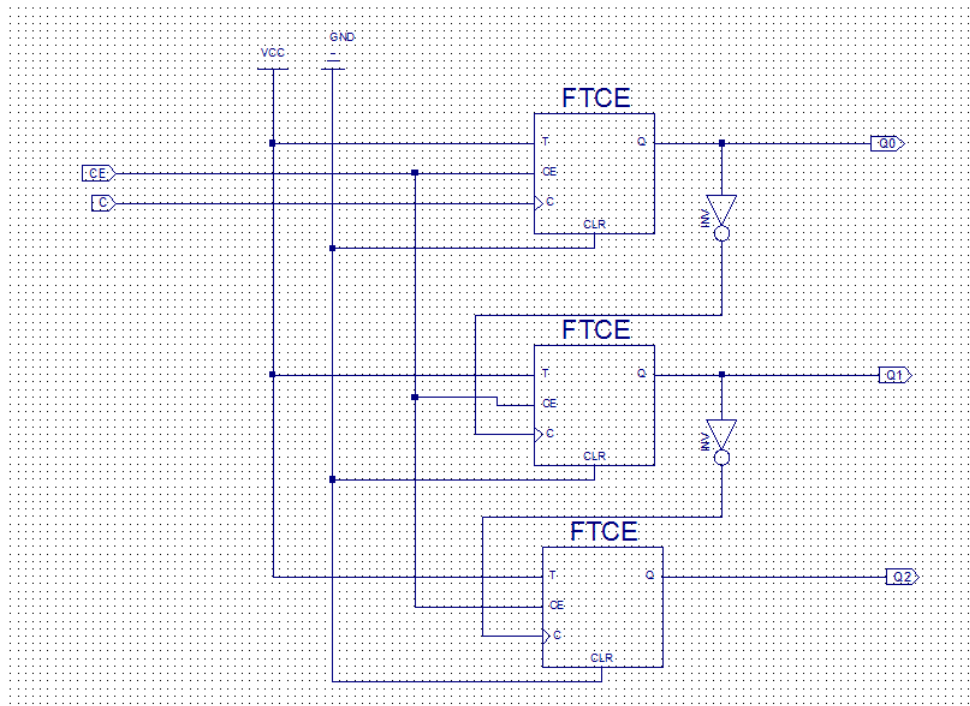


Rysunek 1: Przebieg sygnału

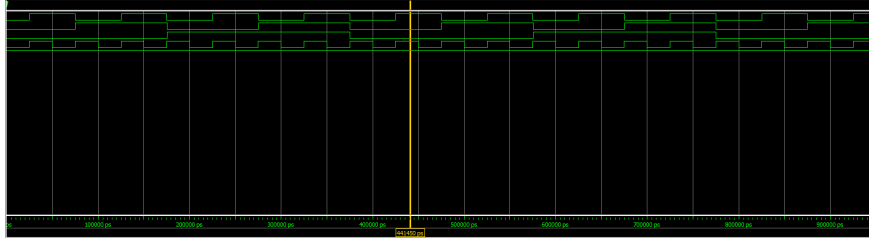
2 Licznik

2.1 Licznik asynchroniczny

Licznik działający asynchronicznie został stworzony za pomocą trzech przerzutników typu T połączonych kaskadowo. Pierwszy przerzutnik był sterowany zegarem, pozostałe były aktywowane opadającym zboczem swojego poprzednika.



Rysunek 2: Schemat licznika asynchronicznego



Rysunek 3: Symulacja behawioralna działania licznika asynchronicznego

2.2 Licznik synchroniczny

$Q_0 \backslash Q_2 Q_1$	00	01	11	10
0	0	0	1	1
1	0	1	0	1

$$Q'_2 = Q_2 \bar{Q}_0 + Q_2 \bar{Q}_1 + Q_2 Q_1 Q_0$$

$Q_0 \backslash Q_2 Q_1$	00	01	11	10
0	0	1	1	0
1	1	0	0	1

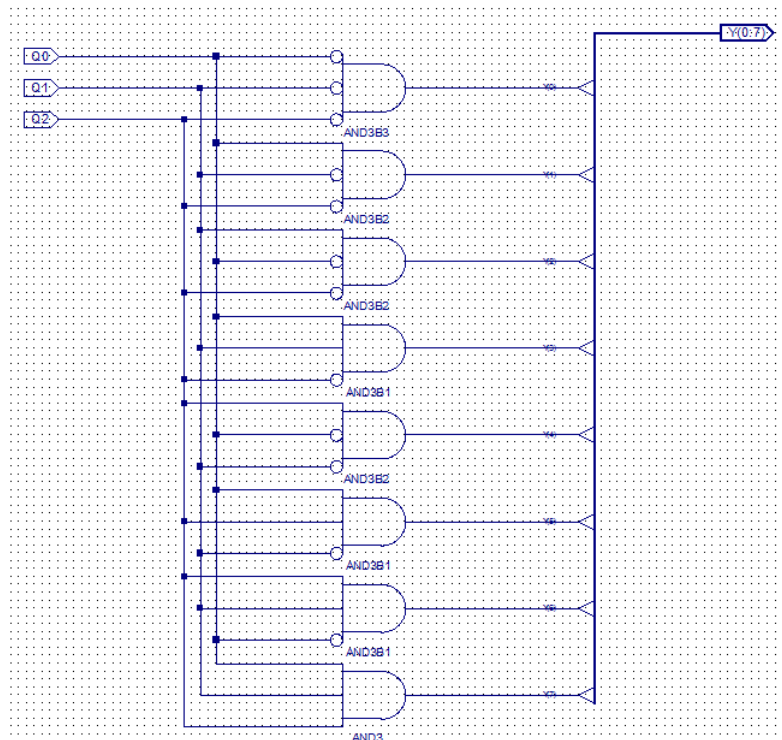
$$Q'_1 = Q_1 \oplus Q_0$$

$$Q'_0 = \bar{Q}_0$$

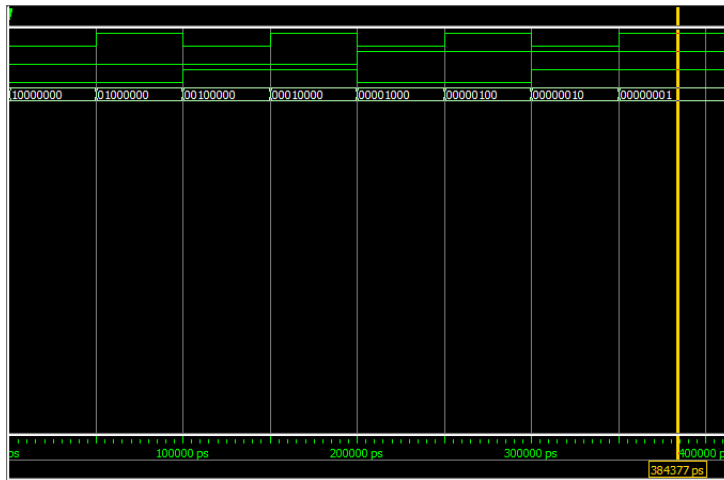


3 Dekoder

Dekoder sygnału 3-bitowego na sygnał 8-bitowy został utworzony z 8 po trójnych brame AND z zanegowanymi odpowiednimi wejściami.



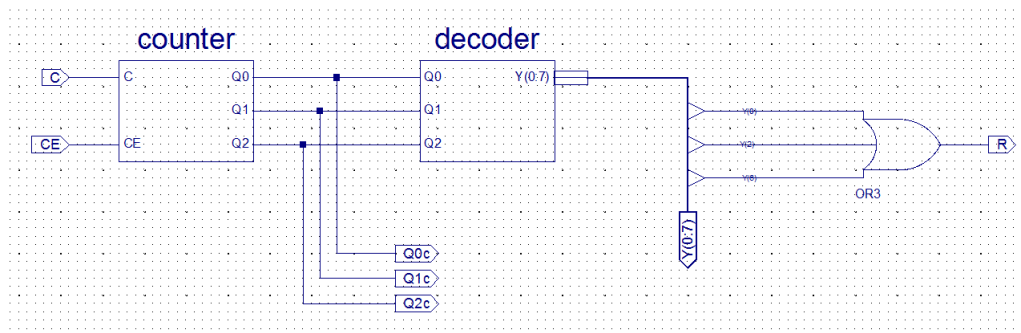
Rysunek 5: Schemat dekodera



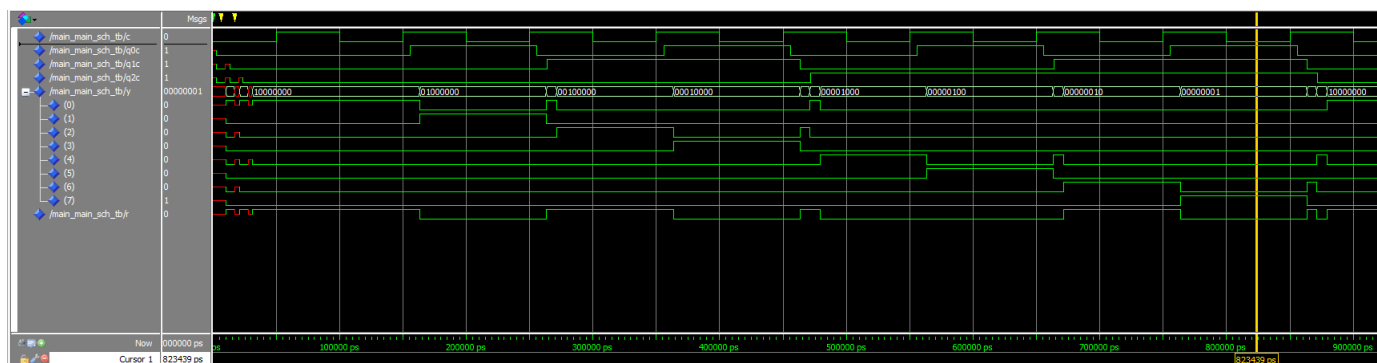
Rysunek 6: Symulacja behawioralna działania dekodera

4 Generator sygnału

Generator został zbudowany z połączenia licznika, dekodera, a następnie potrójnej bramki OR podłączonej do 0, 2 i 6 bitu magistrali wyjścia dekodera.

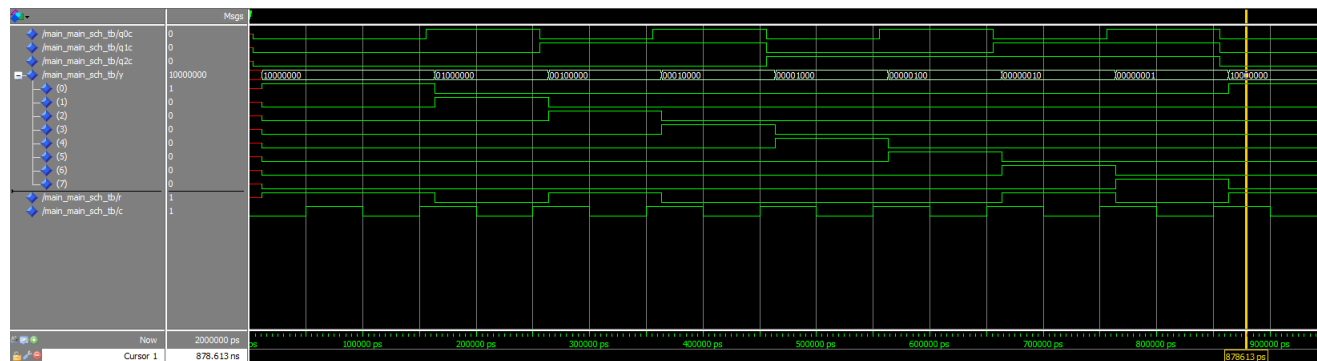


Rysunek 7: Schemat gotowego układu



Rysunek 8: Działanie układu z licznikiem asynchronicznym

∞



Rysunek 9: Działanie układu z licznikiem synchronicznym

5 Wnioski