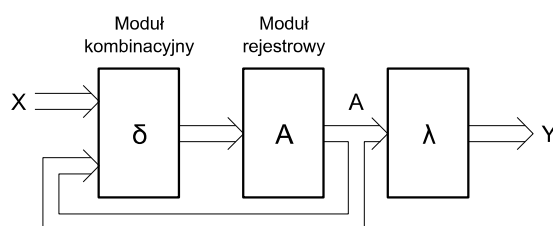


Układy PLS

PLSCE 105

Układ posiada dwie matryce programowalne. Posiada 16 zewnętrznych wyprowadzeń wejściowych oraz 6 sprzężeń zwrotnych (co daje w sumie 22 wejścia na matrycę AND). Termów jest 48. Przerzutniki znajdujące się w układzie są typu RS. Sygnał zegarowy jest pobierany z dedykowanego wejścia (pin 1). Przerzutników jest w sumie 14 (8 wyjściowych + 6 przerzutników wewnętrznych generujących sprzężenia zwrotne). Przerzutniki wewnętrzne pełnią rolę węzłów wewnętrznych (lub węzłów zagrzebanych). Rozmiar matrycy AND to 45×48 ($45 =$ po dwa sygnały z wejść + sygnał C) matryca OR ma rozmiar 48×29 ($29 =$ po dwa sygnały z przerzutników + sygnał C). Specjalny pin pozwala na podawanie sygnału Preset lub Output Enable (wyboru dokonuje się podczas programowania układu).

Struktura układów sekwencyjnych składa się z wektora przerzutników, które reprezentują zmienne stanów oraz bloku sprzężenia zwrotnego, który generuje pobudzenia dla bloku przerzutników. Przełączenie się automatu maszyny stanów polega na tym, że blok kombinacyjny generuje nowe pobudzenia sterujące przerzutnikami, które powodują przełączanie się ich przy kolejnych taktach sygnału zegarowego:



Wektor przerzutników oznacza się literą A. Powstaje tam sygnał stanu automatu A, który trafia do modułu obliczającego funkcję wyjść λ i poprzez sprzężenie zwrotne trafia do modułu kombinacyjnego δ generującego pobudzenia dla przerzutników na podstawie bieżącego stanu automatu oraz wektora wejściowego X. Tak wygląda schemat automatu Moore'a (część generująca sygnały wyjściowe λ nie zależy od sygnału wejściowego).

Wyżej opisany schemat ma swoje odbicie na strukturze układu. Sygnały trafiające do przerzutników są sygnałami RS. Zastosowanie przerzutników RS podyktowane jest tym, że nie jest potrzebna pętla sprzężenia zwrotnego by automat utrzymał swój stan. Wystarczy podać pobudzenie 00. Przy zastosowaniu przerzutników typu D do zachowania stanu przerzutnika wymagane jest sprzężenia zwrotne.

Więcej trzeba napisać o sygnale C (Complement). Pełni on rolę dopełnienia wszystkich warunków przełączających automat. Odpowiada on przejściom „else” w grafie automatu. Przejście takie jest aktywne gdy żaden z warunków przełączających automat nie będzie spełniony. Sygnał C stanie się aktywny gdy żaden z termów nie będzie aktywny. Dzieje się to dlatego, że sygnał C będzie zanegowaną sumą wybranych termów (wyboru dokonuje się podczas programowania).

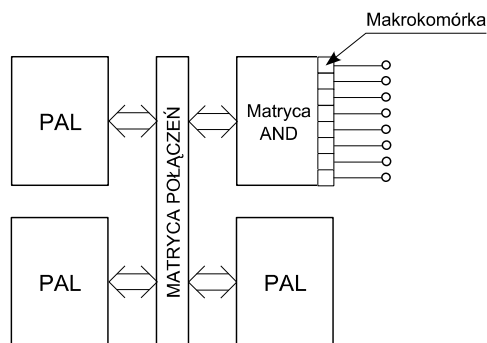
Układy CPLD rodziny XC 9500XL

Układy CPLD pochodzą od największych układów PAL. Największe układy PAL posiadają w swojej budowie makrokomórki programowalne. Przykładowo układ PALCE 26V12. Posiadał programowalną matrycę AND o rozmiarze 52×150 , miał 12 makrokomórek (podobnych do tych, które zastosowano w PAL 22V10). Obudowa z 28 wyprowadzeniami. W układzie tym pojawiły się dwie linie zegarowe.

Innym dużym układem był PALCE 29M16. Posiadał matrycę 58×188 . Zamknięty w obudowie z 24 wyprowadzeniami. Zastosowano tu specyficzne rozwiązanie: było tylko 6 wyprowadzeń wejściowych oraz 16 makrokomórek, które były skojarzone z wyprowadzeniami wejściowo-wyjściowymi.

Istniała swego czasu układy MegaPAL, ale nie przyjęły się w zastosowaniach praktycznych, ponieważ ich działanie było wolne. Rozbudowana matryca wprowadzała dodatkowe opóźnienia (dzięki pojemnościom pasywnym).

Idea układów oparta była na tym, że w jednym układzie scalonym (w jednej strukturze) umieszczono kilka matryc PAL (zamiast jednej dużej) o ograniczonej wielkości (by nie tracić na szybkości działania tych matryc). Układ CPLD składa się z kilku matryc PAL połączonych ze sobą jedną globalną matrycą połączeniową:



Moduły PAL składają się z dwóch części: matrycy AND oraz makrokomórek (do makrokomórek są doprowadzone termity z matrycy AND). Matryca połączeń musi zapewniać komunikację między matrycami PAL oraz sprzężenia zwrotne między nimi.

Specyficzną rzeczą w układach CPLD jest brak dedykowanych wejść. Wszystkie wyprowadzenia są skojarzone z makrokomórkami. Mogą działać jako wejścia lub wyjścia, zależnie od sposobu zaprogramowania układu. Istnieją dedykowane wejścia zegarowe, kasujące lub ustawiające, jednak i one mogą być pobierane ze „zwykłych” doprowadzeń dwukierunkowych.

Rodzina XILINX XC 9500XL

Pierwszym kryterium podziału układów jest napięcie zasilania układów. Układy XC 9500 były zasilane napięciem 5V. Układu XC 9500XL są zasilane napięciem 3,3V a układu XC 9500XV – napięciem 2,5V. Obniżanie napięcia zasilania podyktowane było zmniejszeniem się strat mocy, które są proporcjonalne do kwadratu napięcia zasilającego. Zmniejszenie napięcia z 5V na 3,3V powoduje zredukowanie się strat mocy o około 40%. Redukcja napięcia z 5V do 2,5V redukuje straty mocy o 75%.

Rodzina układów XC 9500XL zasilana jest napięciem 3,3V. Blok wewnętrznej logiki i bloki wejść/wyjść są zasilane oddzielnymi napięciami. 3,3V zasilą logikę wewnętrzną. Bloki wejściowe i wyjściowe mogą być również zasilane napięciem 3,3V lub napięciem 2,5V by umożliwić współpracę układu z niskonapięciowymi układami cyfrowymi. Wejścia układów tolerują napięcia wejściowe o wartości 5V, co umożliwia zasilanie tych wejść wprost z układów TTL lub innych zasilanych napięciem 5V. Pamięć konfiguracji układu jest wykonana w technologii Flash (nieulotna, kasowalna elektrycznie). Konsekwencją tego jest możliwość konfiguracji układu, znajdującego się w systemie (ISP In-System Programming) bez wyciągania układu z systemu. Interfejsem konfiguracji układu jest port JTAG. Początkowo jego przeznaczeniem było testowanie układów, znajdujących się w systemie.

Rodzina XC 9500XL składa się z 4 układów. Różnią się one między sobą przede wszystkim ilością makrokomórek, która waha się od 36 do 288 makrokomórek. Każdy zestaw makrokomórek nazywa się blokiem funkcyjnym. W skład takiego bloku wchodzi 18 makrokomórek. Przyrost ilości bloków funkcyjnych jest eksponentialny: najmniejszy układ ma 2 bloki funkcyjne, następne mają 4, 8, a układ XC 95288XL ma ich 16. Jedna makrokomórka odpowiada jednemu rejestrowi (przerzutnikowi). Szybkość pracy kombinacyjnej układu $T_{PD}=5\div6$ ns. Maksymalna częstotliwość pracy systemu waha się od 178 do 208 MHz.

Następna sprawa, to obudowy w których dostępny jest dany układ. Tabela w PDFie „ds054_9500xlfamily.pdf” podaje nam ilość dostępnych wyprowadzeń wejścia/wyjścia. W najmniejszym układzie mamy 36 makrokomórek, więc powinno być 36 wyprowadzeń wejść/wyjść ale według tabeli są dostępne tylko 34 wyprowadzenia. Spowodowane jest to nietrywialnym zasilaniem. Układy mają szereg wyprowadzeń związanych z masą i napięciami zasilania. W układzie XC 9536XL mamy przykładowo 3 wyprowadzenia GND oraz 3 wyprowadzenia do podawania napięcia zasilającego. Dodatkowe 4 piny należą do interfejsu JTAG. Jeżeli jakaś makrokomórka nie jest podłączona do pinu, to nie tracimy jej. Ona pracuje, jej sygnał logiczny wraca do matrycy globalnej. Uczestniczy ona w projekcie i pełni rolę węzła zagrzebanego. Poza tym im więcej wyprowadzeń posiada obudowa układu, tym więcej wyprowadzeń jest przeznaczonych jako piny zasilania. Wszystkie wyprowadzenia masy muszą być z nią zwarte. Nie może zaistnieć takie zjawisko, że któreś z wyprowadzeń GND będzie „wisiało” niepodłączone.

Zajmiemy się teraz architekturą układu. Na schemacie po prawej stronie przedstawione są bloki funkcyjne. To są moduły PAL, występujące w liczbie od 2 do 16 w układzie. Wyprowadzenia zewnętrzne są połączone z blo-

kiem wejściowo-wyjściowym. Wejścia są standardowo dwukierunkowe. Dolne wejścia mają funkcje specjalne. Do każdego bloku funkcyjnego wchodzi 54 sygnały z globalnej matrycy połączeniowej. Nie ma bezpośredniego przejścia z któregośkolwiek z pinów. Sygnały wyjściowe (18 sygnałów) z makrokomórek kierowane są do boku we/wy i jednocześnie do globalnej matrycy połączeniowej.

Specyficznymi sygnałami są sygnały globalne. Sygnał GCK (Global Clock) jest podawany trzema liniami. Przerzutniki można zasilать jednym z trzech sygnałów globalnych, co wystarcza do średnio zaawansowanych projektów. Sygnałem GSR (Global Set/Reset) sterowane są wszystkie przerzutniki, których sposób konfiguracji decyduje o tym, czy dany przerzutnik będzie ustawiany czy kasowany sygnałem GSR. Trzecim sygnałem jest GTS pełni rolę sygnału Output Enable. Mniejsze układy mają 2 a większe – 4 sygnały GTS. Jeżeli nie będziemy wykorzystywać sygnałów globalnych (nie korzystamy z zegara, czy buforów 3-stanowych), to piny te można wykorzystywać jako zwykłe wyprowadzenia wejścia/wyjścia.

Na górze schematu przedstawiono interfejs JTAG przeznaczony do konfigurowania i testowania układu. Nie korzysta się z niego podczas zwykłej pracy układu. JTAG składa się z 3 linii wejściowych i jednej wyjściowej.

Blok funkcyjny i makrokomórka

Blok funkcyjny można by zastąpić układem PAL 54V18 (gdyby coś takiego istniało). Wchodzi do niego 54 sygnały z matrycy globalnej. Sygnały te są dostępne komplementarnie. Wewnątrz bloku funkcyjnego nie ma wewnętrznych sprzężeń zwrotnych. W układach rodziny XC 9500XL wszystkie sprzężenia zwrotne bieżą przez matrycę globalną, dzięki czemu mamy jednorodną strukturę układu. W bloku funkcyjnym jest 90 termów (5 termów na jedną makrokomórkę).

Istnieje coś takiego jak Product Term Allocator. Sprawia on, że mamy pewne ograniczone możliwości alokacji termów do makrokomórek. Standardowo do jednej makrokomórki jest przypisanych 5 termów. Układ PTA umożliwia przenoszenie nieużywanych termów z jednej makrokomórki do sąsiednich. Przydaje się to, ponieważ 5 termów na makrokomórkę jest zbyt małą ilością przy realizacji bardziej skomplikowanych funkcji. Jest to lepsze rozwiązanie niż to, zastosowane w PAL 22V10 gdzie termy były „przyszyte na stałe” do bramek OR w sposób nierównomierny.

Z każdej makrokomórki wychodzą dwa sygnały wyjściowe. Jest to właściwy sygnał logiczny oraz PTOE (Product Term Output Enable). Oprócz obok globalnego sygnału OE (GTS) istnieją lokalne sygnały obliczane w danej makrokomórce, które mogą sterować buforem 3-stanowym. Wyjściowy sygnał logiczny z makrokomórki trafia do bloku we/wy oraz równolegle do matrycy globalnej (w ten sposób realizuje się sprzężenie zwrotne). Istnieje możliwość przeprowadzenia syntezy sygnału zegarowego (obliczanie sygnału jako termu). Psuje to parametry czasowe układu, ale jest możliwe do realizacji.