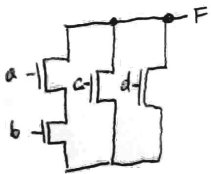


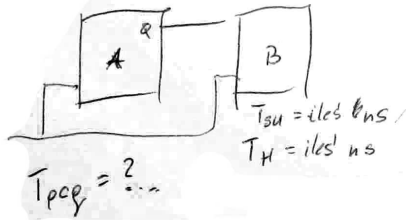
1) Brawki: CMOS, dorzysuj resetę
 $F(a,b,c,d) = \dots$



AOI czy OAI?

Brawka równoległa

2) $\tau = 700\text{ps}$ $P = e^{-5}$
 $f_c = 100\text{MHz}$



3) Nazwa	System Gates	RxC	Total CLB	Distributed RAM CLB	Block RAM CLB
x225...					
...					

4) Pytania o skos zegara T/N

a) czy wypełnienie 50% ma wpływ

b) czy wypełnienie 40% ma wpływ

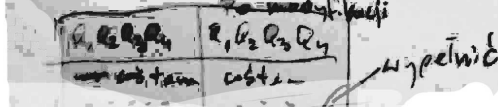
c) czy szybkość opadania i narastania zegara

d) czy zwiększenie częstotliwości zegara ma wpływ

7) LFSR ($Q_1 = Q_3 \oplus Q_4$) mod...

można zwiększyć do mod...

Zmieniając $Q_1 = \dots$



5) Jakich funkcji w XC2S? Tak/Nie

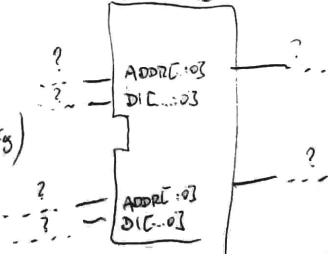
a) $f_1(x_1, x_2, x_3, x_4)$
 dowolna ale o określonej budowie $f_1(f_2(x_1, x_2, x_3, x_4), f_3(x_5, x_6, x_7, x_8))$

b) 2x dowolna 4zm + 1 dowolna 2zm

c) $4 \times 4 \times 1$

d) dowolna 5zm

6) RAM
 Moduł 1 256x8 Moduł 2 128x16
 RAMB4_S?_S?...



- TAKT
 - TAK TAK
 - NIE NIE
 - TAK
 - NIE N

A

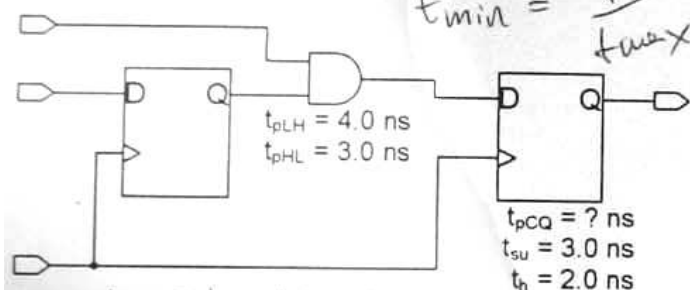
۲۲

D/T

- ma programowalną matrycę sum (OR)

Proszę wpisać TAK lub NIE w każdym punkcie.

Oblicz maksymalny dopuszczalny czas przełączania przerzutnika t_{pcc} , jeśli poniższy układ ma pracować z częstotliwością $f_{max} = 80 \text{ MHz}$. Podaj wzór symboliczny oraz oblicz wartość (oba przerzutniki mają lencyjne parametry).



$$t_{\min} = \frac{1}{f_{\max}}$$

$$t_{n,n} = t_{pq} + t_r + t_{sq}$$

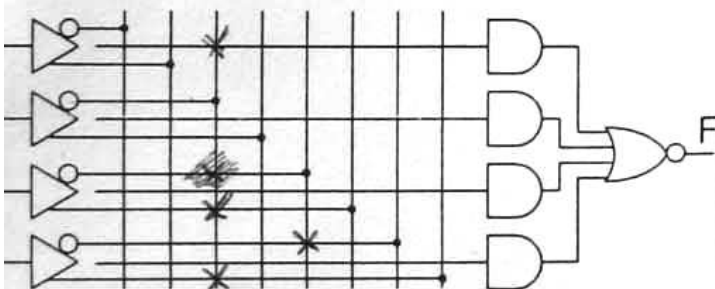
$$co = t_{n,n} - t_{sq} - t_n$$

CO = NS

a rysunku pokazano fragment matrycy układu PAL. Oznacz znakiem połączenia programowalne realizujące funkcję:

$$F = \overline{\overline{bc} + c + d} + \overline{b(a + d)}$$

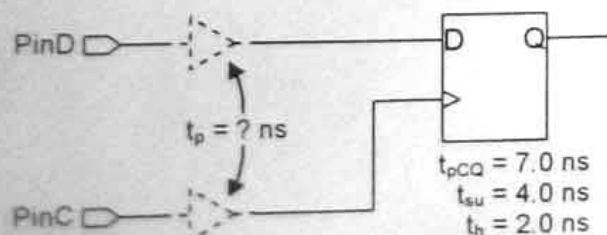
$$F = \overline{b}c + \overline{c}d + \overline{b}d + \overline{b}c$$



y w poniższym układzie czas podtrzymania T_H sygnału PinD
ględem zewnętrznego zegara podawanego na PinC wyniósł zero,
eży dodać opóźnienie w ścieżce⁷ o wartości

.....(symbolicznie) =ns.
 as ustawienia PinD względem PinC będzie wówczas wynosił:

.....(symbolicznie) =ns.



4. W poniższych punktach proszę podać, do której technologii programowania układów PLD / FPGA odnosi się podana cecha. Proszę wpisywać jeden z następujących skrótów: FPROM (*Fuse PROM*), AF PROM (*AntiFuse PROM*), EPROM, EEPROM, S-RAM.

- technologia programowania ukl. bipolarnych

- programowanie jednokrotne układów CMOS o dużym stopniu scalenia

- możliwość rekonfiguracji układu podczas pracy

- największa trwałość połączenia progr.

- kasowanie z wykorzystaniem efektu tunelowego

- progr. nieulotne kasowane elektrycznie

6. W poniższych punktach proszę wpisać jeden ze skrótów: SC (*Standard Cells*), GA (*Gate Arrays*) lub FPGA (*Field Programmable GA*).

- **najwyższy koszt stały** (przygotowania projektu)

- najmniejsze wykorzystanie powierzchni układu

- możliwość rekonfiguracji układu

- najwyższy koszt jednostkowy 1 ukl. scalonego

- projektowanie przez użytkownika tylko warstw metalizacji układu scalonego

8. Układy CPLD rodziny XC9500XL...

- mają alokatory termów, pozwalające na wymianę nieużywanych linii AND między blokami funkcyjnymi

- zawierają, w zależności od rozmiaru, od 2 do 16 matryc PAL

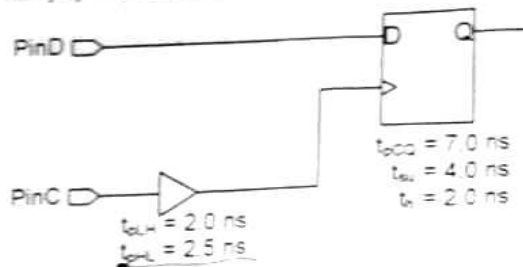
- zawierają przerzutniki, których sygnał taktujący może być pobrany tylko z wyprowadzenia zewnętrznego

- zawierają dodatkowe przerzutniki w blokach WE/WY do zatraskiwania sygnałów WE

- można skonfigurować na poziomie każdej makrokomórki w trybie obniżonego poboru mocy

Proszę wpisać TAK lub NIE w każdym punkcie.

1. W poniższym układzie oblicz czas ustawienia t_s oraz doładowania sygnału PinD względem zewnętrznego zegara podawanego na PinC. Podaj wzory symboliczne oraz oblicz wartości.



$$t_s = t_{OQ} + t_{su} + t_{h} = 7.0 \text{ ns} + 4.0 \text{ ns} + 2.0 \text{ ns} = 13.0 \text{ ns}$$

$$t_w = t_{OQ} + t_{OL} = 7.0 \text{ ns} + 2.5 \text{ ns} = 9.5 \text{ ns}$$

• blok funkcyjny ma całkowitą liczbę iloczynów

90

• każda blok WE/WY ma liczbę przerzutników

1

• liczba globalnych sygnałów zegarowych

3

• blok funkcyjny ma liczbę makrokomórek

18

• liczba sygnałów WE dochodzących do każdego bloku funkcyjnego

54

3. W poniższych punktach proszę podać do której technologii programowania układów PLD / FPGA odnosi się podana cecha. Proszę wpisywać jeden z następujących skrótów: F.PROM (Fuse PROM), AF.PROM (AntiFuse PROM), EPROM, EEPROM, S-RAM.

- nieulotne progr. kasowalne o najniższym napięciu programowania - EEPROM
- nieulotne progr. kasowalne o najkrótszym czasie programowania punktu - EPROM
- kasowanie promieniowaniem jonizującym - EPROM
- programowanie jednokrotne układów wykonanych technologii CMOS - AF.PROM
- najwyższa niezawodność połączenia programowalnego - F.PROM
- możliwość rekonfiguracji układu podczas pracy - S-RAM

4. Układy CPLD rodziny XC9500XL...

• zawierają jedną globalną matrycę połączeń sygnałów pomiędzy blokami funkcyjnymi

TAK

• są wykonane w technologii EPROM:

NIE

• zawierają bufony WY w blokach I/O o konfigurowanej wydajności stałoprądowej

TAK

• mają jednokierunkowe wyprowadzenia zewnętrzne jako dedykowane WE lub WY

NIE

• składają się z od 2 do 16 bloków funkcyjnych

TAK

Proszę wpisać TAK lub NIE w każdym punkcie.

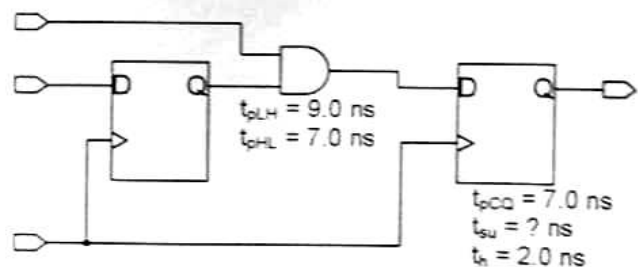
5. Uzupełnij opis układu PAL16R6.

- ma jednakową liczbę termów dołączonych do bramek OR w matrycy ¹⁾ - TAK
- ma programowalny typ przerzutników D/T ¹⁾ - NIE
- łączna liczba WE do matrycy programowalnej ²⁾ - 16
- liczba WY rejestrowych ²⁾ - 6
- liczba WY kombinacyjnych ²⁾ - 2

¹⁾ proszę wpisać TAK lub NIE

²⁾ proszę wpisać odpowiednią wartość

6. Oblicz maksymalny dopuszczalny czas ustawiania przerzutnika t_{su} jeśli poniższy układ ma pracować z częstotliwością $f_{max} = 50 \text{ MHz}$. Podaj wzór symboliczny oraz oblicz wartość (oba przerzutniki mają identyczne parametry).



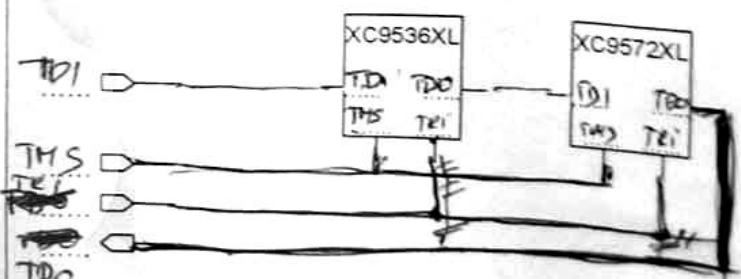
$$t_{su} = T_{min} - T_{pCH} - \max(t_{OLH}, t_{OLL})$$

$$t_{su} = 20 \text{ ns} - 7 \text{ ns} - 9 \text{ ns} = 4 \text{ ns}$$

7. W poniższych punktach proszę wpisać jeden ze skrótów: SC (Standard Cells), GA (Gate Arrays) lub FPGA (Field Programmable GA).

- najniższy koszt stały (przygotowania projektu) - FPGA
- możliwość wykorzystania gotowych dużych bloków funkcjonalnych, tzw. mega-cores - SC
- najniższy koszt jednostkowy 1 ukl. scalonego - SC
- projektowanie przez użytkownika tylko warstw metalizacji układu scalonego - GA
- największe wykorzystanie powierzchni układu - SC

8. Na schemacie poniżej dopisz nazwy oraz dorysuj połączenia sygnałów interfejsu JTAG

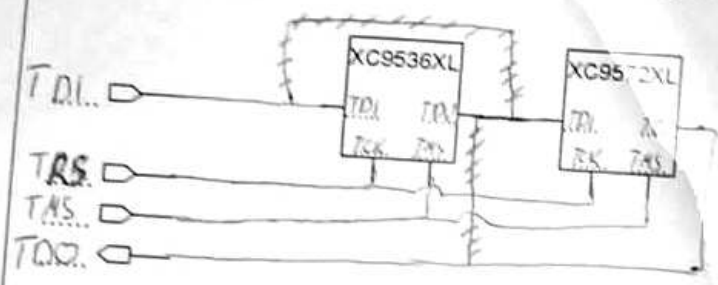


1. Układy CPLD rodziny XC9500XL...

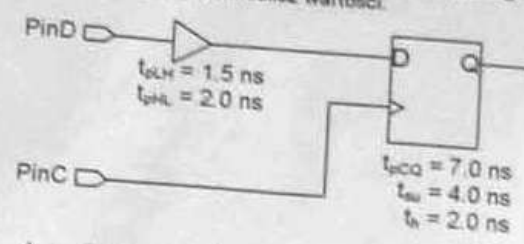
- są wykonane w technologii EPROM: nie
- mają jednokierunkowe wyprowadzenia zewnętrzne jako dedykowane WE lub WY tak
- zawierają bufor WY w blokach I/O o konfigurowanej wydajności stałoprądowej tak
- składają się z od 2 do 16 bloków funkcyjnych tak
- zawierają jedną globalną matrycę połączeń sygnałów pomiędzy blokami funkcyjnymi tak

Proszę wpisać TAK lub NIE w każdym punkcie.

3. Na schemacie poniżej dopisz nazwy oraz dorysuj połączenia sygnałów interfejsu JTAG



2. W poniższym układzie oblicz czas ustawienia T_s oraz utrzymania T_h sygnału PinD względem zewnętrznego zegara podawanego na PinC. Podaj wzory symboliczne oraz oblicz wartości.



$T_s = t_{OLH} + t_{OHL} + t_{SU} = 1.5 + 2.0 + 4.0 = 7.5 \text{ ns}$

$T_h = t_{PCQ} + t_{H} = 7.0 + 2.0 = 9.0 \text{ ns}$

4. W poniższych punktach proszę wpisać jeden ze skrótów: SC (Standard Cells), GA (Gate Arrays) lub FPGA (Field Programmable GA)

- najniższy koszt jednostkowy 1 uki scalonego SC
- projektowanie przez użytkownika tylko warstw metalizacji układu scalonego GA
- najniższy koszt stały (przygotowania projektu) FPGA
- możliwość wykorzystania gotowych dużych bloków funkcjonalnych, tzw. mega-cells SC
- największe wykorzystanie powierzchni układu SC

5. Uzupełnij opis układów CPLD rodziny XC9500XL:

- blok funkcyjny ma liczbę makrokomórek: 18
- liczba sygnałów WE dochodzących do każdego bloku funkcyjnego 54
- blok funkcyjny ma całkowitą liczbę iloczynów 90
- każda blok WE/WY ma liczbę przerzutników 1
- liczba globalnych sygnałów zegarowych 3

6. Uzupełnij opis układu PAL16L8:

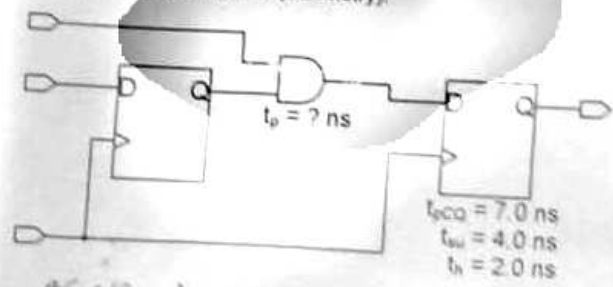
- ma programowalną matrycę sum nie
- ma 8 przerzutników nie
- ma w komórkach WY bufor trykstanowe sterowane globalnym sygnałem OE z pinu zewnętrznego tak
- liczba WY kombinacyjnych 5
- łączna liczba WE do matrycy programowalnej 10

proszę wpisać TAK lub NIE
proszę wpisać odpowiednią wartość

7. W poniższych punktach proszę podać, do której technologii programowania układów PLD / FPGA odnosi się podana cecha. Proszę wpisywać jeden z następujących skrótów: F-PROM (Fuse PROM), AF-PROM (AntiFuse PROM), EPROM, EEPROM, S-RAM.

- najwyższa niezawodność połączenia programowalnego F-PROM
- nieulotne progr. kasowalne o najniższym napięciu programowania EEPROM
- kasowanie promieniowaniem jonizującym F-PROM
- programowanie jednokrotne układów wykonanych technologii CMOS AF-PROM
- nieulotne progr. kasowalne o najkrótszym czasie programowania punktu EEPROM
- możliwość rekonfiguracji układu podczas pracy S-RAM

8. Oblicz maksymalne dopuszczalne opóźnienie wnoszone przez bramkę AND, jeśli poniższy układ ma pracować z częstotliwością $f_{max} = 50 \text{ MHz}$. Podaj wzór symboliczny oraz oblicz wartość (oba przerzutniki mają identyczne parametry).



$t = \frac{1}{f_{max}} - t_{SU} - t_{PCQ}$

$t = 9 \text{ ns}$