

实验平台说明

特征	说明
操作系统版本和系统类型	Windows 7 64 bit enterprise edition
EDA 软件名称和版本	Quartus II 13.1 64 bit
DE2-115 开发板编号	1904615S

自查清单

特征	Part 7/Lab8	Part6/Lab8	Part/Lab	Part ?/Lab?
原理图	√	√	×	
Verilog 代码	√	√	×	
Flow Summary	√	√	×	
RTL 图	√	√	×	
状态机图	×	×	×	
工艺图	√	√	×	
仿真图	×	×	×	
SignalTapII 图	×	×	×	
硬件运行图	√	√	×	

第一部分 Part 6/Lab8

一、实验目的

1. 熟悉 RAM IP 核的调用方式，并对 RAMLPM 核进行调用。
2. 结合数码管显示 RAM 内核中内容。

二、实验内容

- 1.使用 LAB1 中数码管驱动程序。
- 2.使用编辑器工具去写入 RAM。
- 3.读取 RAM 内容。

三、实验原理

1. 以 SW0 开关为使能，以 1S 为滚动周期显示 RAM 内容。。
2. 输出映射到 8 个数码管上，进行流水 HEX 设计。
3. 改变 RAM 的内容，使之显示在数码管中。

四、实验步骤

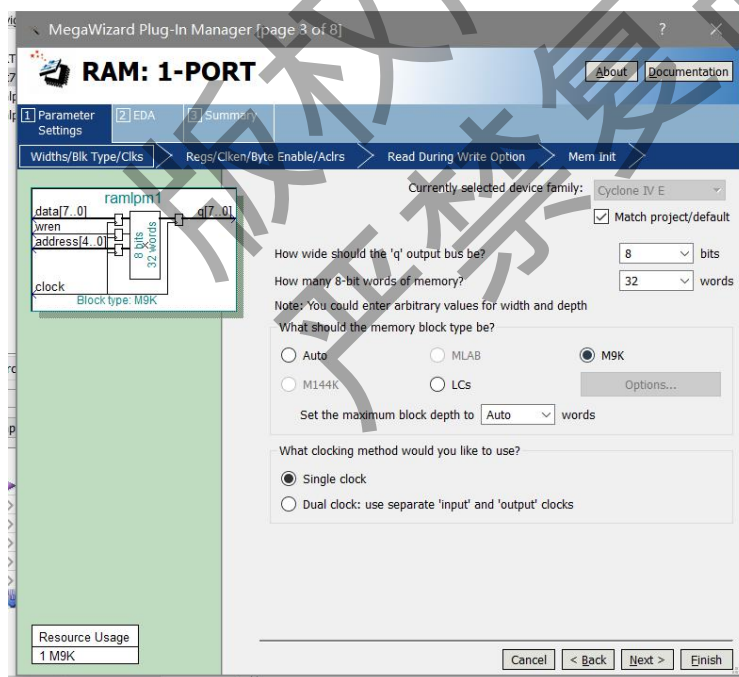
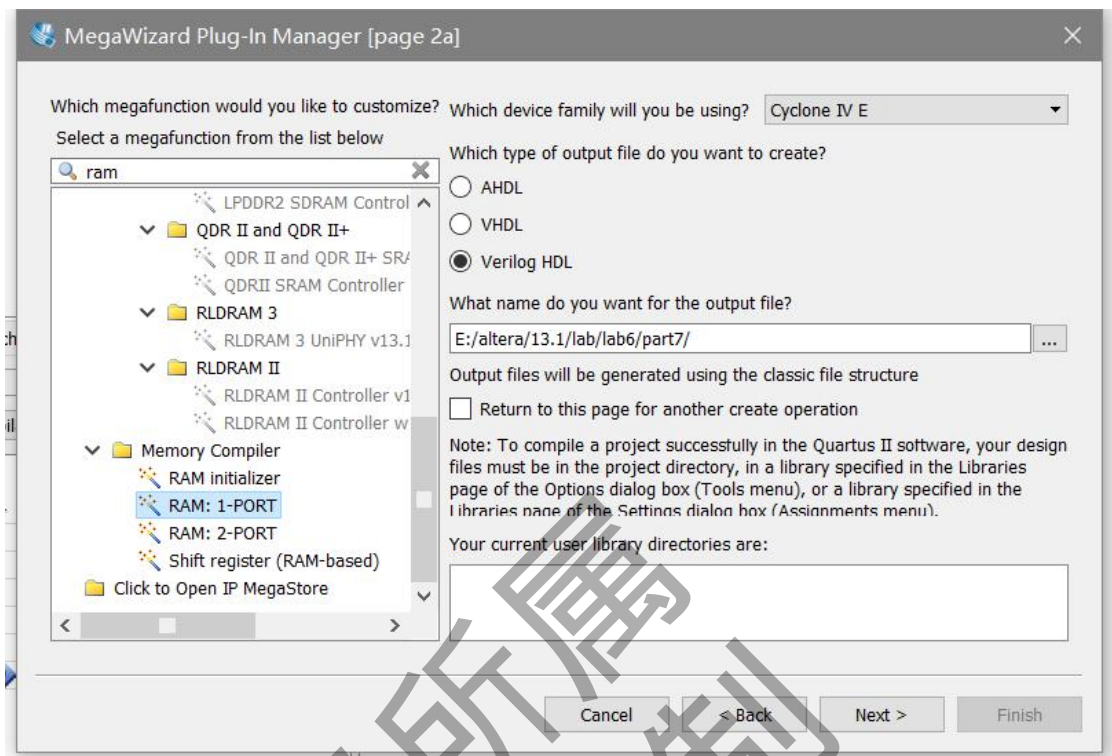
1) 建立工程，并添加文件。

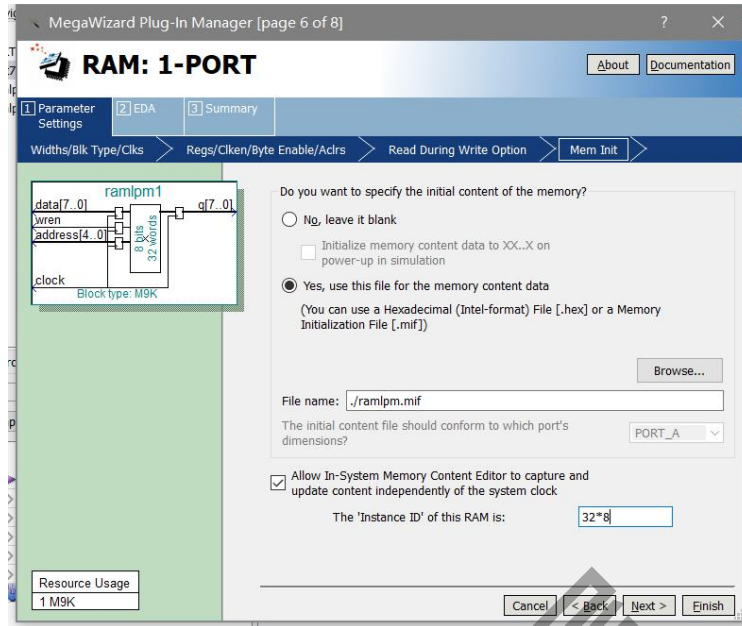
- 1.建立工程，选择常用文件夹，取名为 lab8。
- 2.添加 Block Diagram/Schematic 文件，取名为 lab8;
- 3.添加 Verilog HDL 文件，取名为 PART67
- 4.添加 VMF 文件，取名为 lab8.vmf

2) 首先理清思路：

根据本实验所指导的方法来看，需要先调用 IP 核的 RAM，且在 RAM 中选好 32*4 位的 RAM,添加 mif 文件。使用 usb 连接来修改 mif 文件显示。

3) 调用 IP 核





```

37 `timescale 1 ps / 1 ps
38 // synopsys translate_on
39 module ram1pm (
40     address,
41     clock,
42     data,
43     wren,
44     q);
45
46     input [4:0] address;
47     input clock;
48     input [7:0] data;
49     input wren;
50     output [7:0] q;
51
52     `ifndef ALTERA_RESERVED_QIS
53     // synopsys translate_off
54     `endif
55     `ifndef ALTERA_RESERVED_QIS
56     // synopsys translate_on
57     `endif
58
59     wire [7:0] sub_wire0;
60     wire [7:0] q = sub_wire0[7:0];
61
62     altsyncram altsyncram_component (
63         .address_a (address),
64         .clock0 (clock),
65         .data_a (data),
66         .wren_a (wren),
67         .q_a (sub_wire0),
68         .aclr0 (1'b0),
69         .aclr1 (1'b0)

```

4) 写出驱动 ram 接口的 Verilog 代码表示。

5) 综合

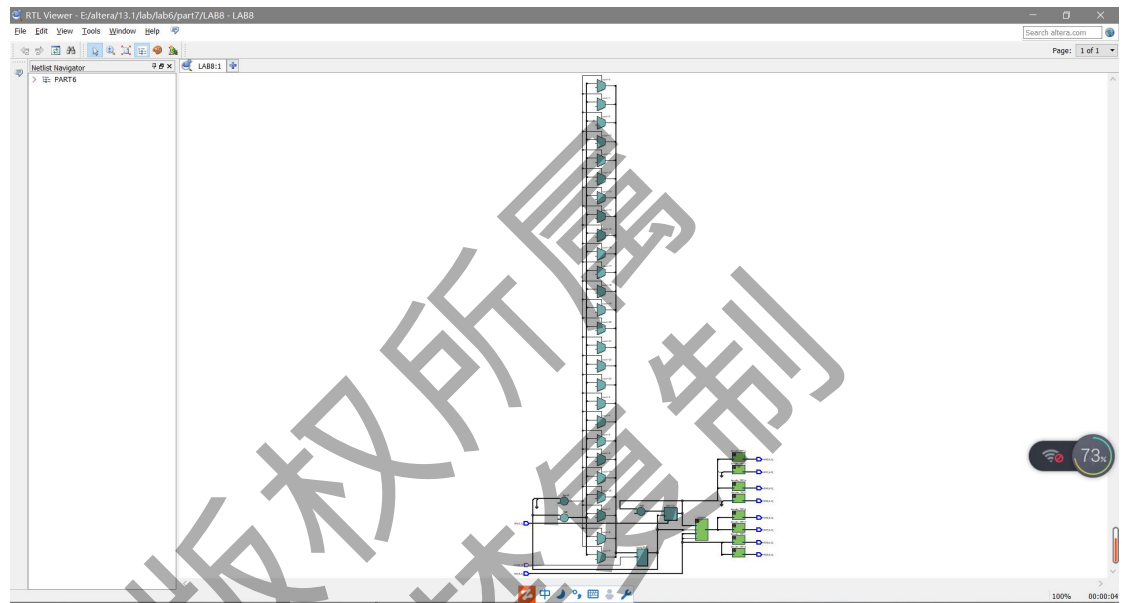
Flow Summary	
Flow Status	In progress - Wed Dec 11 19:05:24 2019
Quartus II 64-Bit Version	13.1.0 Build 162 10/23/2013 SJ Full Version
Revision Name	LAB8
Top-level Entity Name	PART6
Family	Cyclone IV E
Device	EP4CE115F29C7
Timing Models	Final
Total logic elements	284
Total combinational functions	259
Dedicated logic registers	142
Total registers	142
Total pins	67
Total virtual pins	0
Total memory bits	256
Embedded Multiplier 9-bit elements	0
Total PLLs	0

6) 编译并将引脚对应。

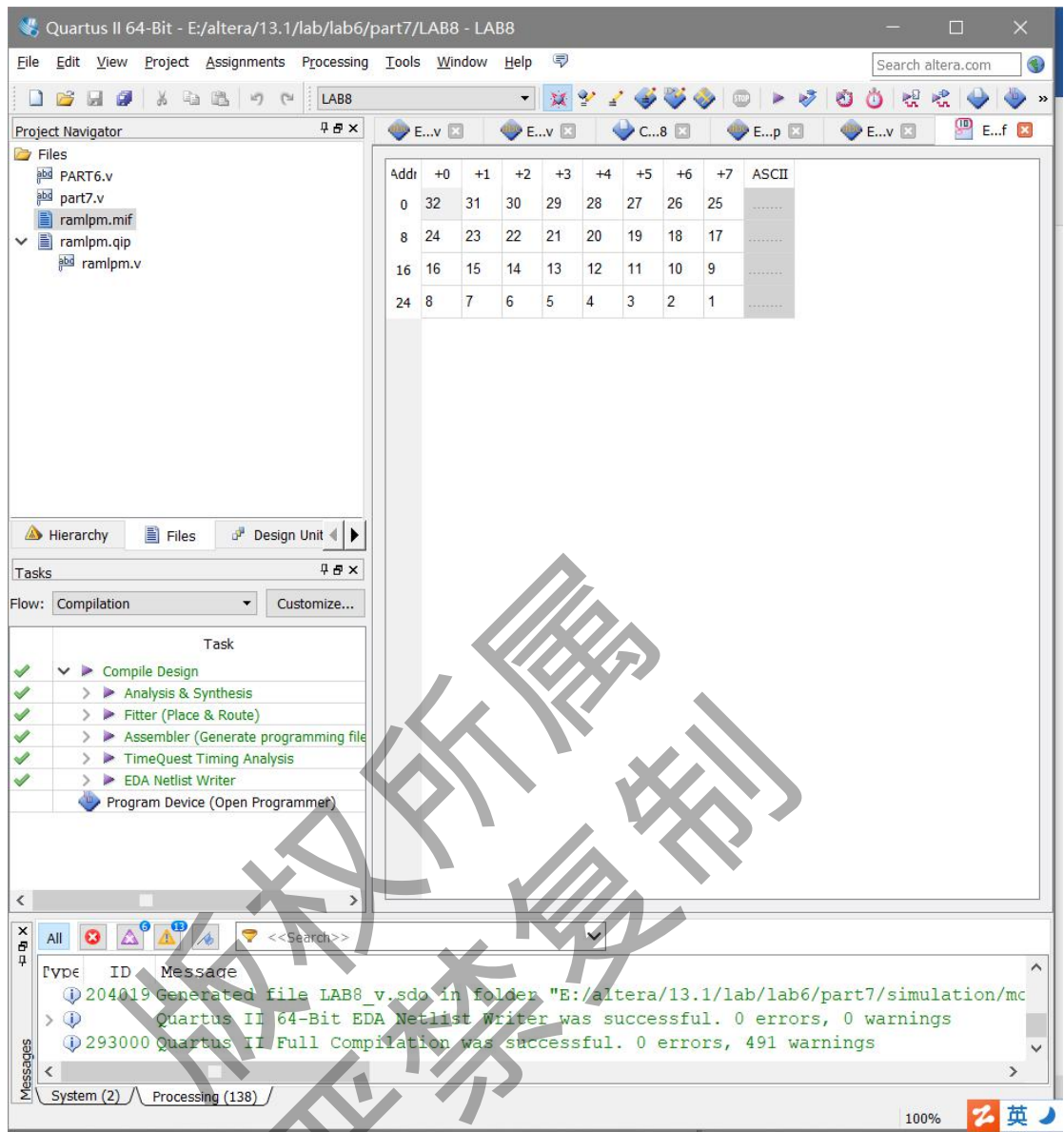
Node Name	Direction	Location	I/O Bank	VREF Group	Filter Location	I/O Standard	Reserved
HEX0[6]	Output	PIN_H22	6	B6_N0	PIN_H22	2.5 V (default)	8m
HEX0[5]	Output	PIN_J22	6	B6_N0	PIN_J22	2.5 V (default)	8m
HEX0[4]	Output	PIN_L25	6	B6_N1	PIN_L25	2.5 V (default)	8m
HEX0[3]	Output	PIN_L26	6	B6_N1	PIN_L26	2.5 V (default)	8m
HEX0[2]	Output	PIN_E17	7	B7_N2	PIN_E17	2.5 V (default)	8m
HEX0[1]	Output	PIN_F22	7	B7_N0	PIN_F22	2.5 V (default)	8m
HEX0[0]	Output	PIN_G18	7	B7_N2	PIN_G18	2.5 V (default)	8m
HEX1[6]	Output	PIN_U24	5	B5_N0	PIN_U24	2.5 V (default)	8m
HEX1[5]	Output	PIN_V23	5	B5_N1	PIN_V23	2.5 V (default)	8m
HEX1[4]	Output	PIN_W25	5	B5_N1	PIN_W25	2.5 V (default)	8m
HEX1[3]	Output	PIN_W22	5	B5_N0	PIN_W22	2.5 V (default)	8m
HEX1[2]	Output	PIN_W21	5	B5_N1	PIN_W21	2.5 V (default)	8m
HEX1[1]	Output	PIN_V22	5	B5_N0	PIN_V22	2.5 V (default)	8m
HEX1[0]	Output	PIN_V24	5	B6_N0	PIN_V24	2.5 V (default)	8m
HEX2[6]	Output	PIN_W28	5	B5_N1	PIN_W28	2.5 V (default)	8m
HEX2[5]	Output	PIN_W27	5	B5_N1	PIN_W27	2.5 V (default)	8m
HEX2[4]	Output	PIN_Y26	5	B5_N1	PIN_Y26	2.5 V (default)	8m
HEX2[3]	Output	PIN_W26	5	B5_N1	PIN_W26	2.5 V (default)	8m
HEX2[2]	Output	PIN_Y25	5	B5_N0	PIN_Y25	2.5 V (default)	8m
HEX2[1]	Output	PIN_AA26	5	B5_N1	PIN_AA26	2.5 V (default)	8m
HEX2[0]	Output	PIN_AA25	5	B5_N1	PIN_AA25	2.5 V (default)	8m
HEX3[6]	Output	PIN_Y19	4	B4_N0	PIN_Y19	2.5 V (default)	8m
HEX3[5]	Output	PIN_AF23	4	B4_N0	PIN_AF23	2.5 V (default)	8m
HEX3[4]	Output	PIN_AD24	4	B4_N0	PIN_AD24	2.5 V (default)	8m
HEX3[3]	Output	PIN_AA21	4	B4_N0	PIN_AA21	2.5 V (default)	8m
HEX3[2]	Output	PIN_AB20	4	B4_N0	PIN_AB20	2.5 V (default)	8m
HEX3[1]	Output	PIN_U21	5	B5_N0	PIN_U21	2.5 V (default)	8m
HEX3[0]	Output	PIN_V21	5	B5_N1	PIN_V21	2.5 V (default)	8m
HEX4[6]	Output	PIN_AE18	4	B4_N2	PIN_AE18	2.5 V (default)	8m
HEX4[5]	Output	PIN_AF19	4	B4_N1	PIN_AF19	2.5 V (default)	8m
HEX4[4]	Output	PIN_AE19	4	B4_N1	PIN_AE19	2.5 V (default)	8m
HEX4[3]	Output	PIN_AH21	4	B4_N2	PIN_AH21	2.5 V (default)	8m
HEX4[2]	Output	PIN_AG21	4	B4_N2	PIN_AG21	2.5 V (default)	8m
HEX4[1]	Output	PIN_AA19	4	B4_N0	PIN_AA19	2.5 V (default)	8m
HEX4[0]	Output	PIN_AB19	4	B4_N0	PIN_AB19	2.5 V (default)	8m
HEX5[6]	Output	PIN_AH18	4	B4_N2	PIN_AH18	2.5 V (default)	8m
HEX5[5]	Output	PIN_AF18	4	B4_N1	PIN_AF18	2.5 V (default)	8m
HEX5[4]	Output	PIN_AG19	4	B4_N2	PIN_AG19	2.5 V (default)	8m
HEX5[3]	Output	PIN_AH19	4	B4_N2	PIN_AH19	2.5 V (default)	8m
HEX5[2]	Output	PIN_AB18	4	B4_N0	PIN_AB18	2.5 V (default)	8m
HEX5[1]	Output	PIN_AC18	4	B4_N1	PIN_AC18	2.5 V (default)	8m
HEX5[0]	Output	PIN_AD18	4	B4_N1	PIN_AD18	2.5 V (default)	8m
HEX6[6]	Output	PIN_AC17	4	B4_N2	PIN_AC17	2.5 V (default)	8m
HEX6[5]	Output	PIN_AA15	4	B4_N2	PIN_AA15	2.5 V (default)	8m
HEX6[4]	Output	PIN_AB15	4	B4_N2	PIN_AB15	2.5 V (default)	8m
HEX6[3]	Output	PIN_AB17	4	B4_N1	PIN_AB17	2.5 V (default)	8m
HEX6[2]	Output	PIN_AA16	4	B4_N2	PIN_AA16	2.5 V (default)	8m
HEX6[1]	Output	PIN_AB16	4	B4_N2	PIN_AB16	2.5 V (default)	8m
HEX6[0]	Output	PIN_AA17	4	B4_N1	PIN_AA17	2.5 V (default)	8m
HEX7[6]	Output	PIN_AA14	3	B3_N0	PIN_AA14	2.5 V (default)	8m
HEX7[5]	Output	PIN_AG18	4	B4_N2	PIN_AG18	2.5 V (default)	8m
HEX7[4]	Output	PIN_AF17	4	B4_N2	PIN_AF17	2.5 V (default)	8m
HEX7[3]	Output	PIN_AH17	4	B4_N2	PIN_AH17	2.5 V (default)	8m
HEX7[2]	Output	PIN_AG17	4	B4_N2	PIN_AG17	2.5 V (default)	8m

Pin Name	Direction	Location	I/O Bank	VREF Group	Pin Location	I/O Standard	Reserved
HEX7[6]	Output	PIN_AA14	3	B3_N0	PIN_AA14	2.5 V (default)	
HEX7[5]	Output	PIN_AG18	4	B4_N2	PIN_AG18	2.5 V (default)	
HEX7[4]	Output	PIN_AF17	4	B4_N2	PIN_AF17	2.5 V (default)	
HEX7[3]	Output	PIN_AH17	4	B4_N2	PIN_AH17	2.5 V (default)	8m
HEX7[2]	Output	PIN_AG17	4	B4_N2	PIN_AG17	2.5 V (default)	8m
HEX7[1]	Output	PIN_AE17	4	B4_N2	PIN_AE17	2.5 V (default)	8m
HEX7[0]	Output	PIN_AD17	4	B4_N2	PIN_AD17	2.5 V (default)	8m
KEY0	Input	PIN_M23	6	B6_N2	PIN_M23	2.5 V (default)	8m
KEY1	Input	PIN_M21	6	B6_N1	PIN_M21	2.5 V (default)	8m
SW[15]	Input	PIN_AA22	5	B5_N2	PIN_AA22	2.5 V (default)	8m
SW[14]	Input	PIN_AA23	5	B5_N2	PIN_AA23	2.5 V (default)	8m
SW[13]	Input	PIN_AA24	5	B5_N2	PIN_AA24	2.5 V (default)	8m
SW[12]	Input	PIN_AB23	5	B5_N2	PIN_AB23	2.5 V (default)	8m
SW[11]	Input	PIN_AB24	5	B5_N2	PIN_AB24	2.5 V (default)	8m
SW[10]	Input	PIN_AC24	5	B5_N2	PIN_AC24	2.5 V (default)	8m
SW[9]	Input	PIN_AB25	5	B5_N1	PIN_AB25	2.5 V (default)	8m
SW[8]	Input	PIN_AC25	5	B5_N2	PIN_AC25	2.5 V (default)	8m
SW[7]	Input	PIN_AB26	5	B5_N1	PIN_AB26	2.5 V (default)	8m
SW[6]	Input	PIN_AD26	5	B5_N2	PIN_AD26	2.5 V (default)	8m
SW[5]	Input	PIN_AC26	5	B5_N2	PIN_AC26	2.5 V (default)	8m
SW[4]	Input	PIN_AB27	5	B5_N1	PIN_AB27	2.5 V (default)	8m
SW[3]	Input	PIN_AD27	5	B5_N2	PIN_AD27	2.5 V (default)	8m
SW[2]	Input	PIN_AC27	5	B5_N2	PIN_AC27	2.5 V (default)	8m
SW[1]	Input	PIN_AC28	5	B5_N2	PIN_AC28	2.5 V (default)	8m
SW[0]	Input	PIN_AB28	5	B5_N1	PIN_AB28	2.5 V (default)	8m
KEY2	Unknown	PIN_N21	6	B6_N2		2.5 V (default)	8m

7) RTL 级视图



8) 选择 IN-System Memory Content Editor 对该 mif 文件进行修改。



五、实验代码

module

PART6(SW,CLOCK_50,KEY,HEX7,HEX6,HEX5,HEX4,HEX3,HEX2,HEX1,HEX0);

input [8:0]SW;

input CLOCK_50;

input [0:0]KEY;

output [6:0] HEX7,HEX6,HEX5,HEX4,HEX3,HEX2,HEX1,HEX0;

wire clk1hz;

reg [25:0] count;

reg [4:0] add;

wire [7:0] q;

always @(posedge CLOCK_50)

begin

if(count==50000000) count<=0;

else count<=count+1'b1;

end

assign clk1hz=count[25];

always @(posedge clk1hz, negedge KEY[0])

begin

if(~KEY[0]) add<=0;

else add<=add+1'b1;

end


```
ramlpm z(add,~clk1hz,SW[8:1],SW[0],q);
```

```
decoder_TEST a(add[3:0],HEX0);
```

```
decoder_TEST b({1'b0,1'b0,1'b0,add[4]},HEX1);
```

```
decoder_TEST c(SW[8:5],HEX2);
```

```
decoder_TEST d(SW[4:1],HEX3);
```

```
decoder_TEST e(add[3:0],HEX4);
```

```
decoder_TEST f({1'b0,1'b0,1'b0,add[4]},HEX5);
```

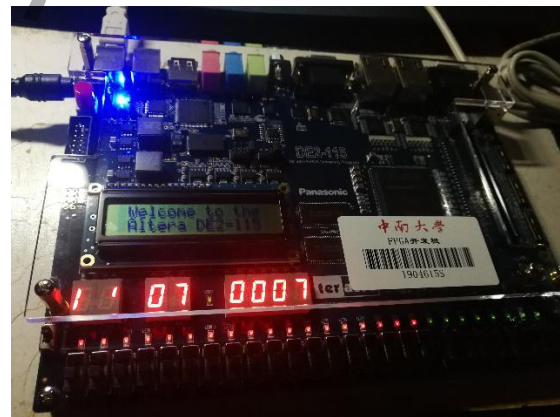
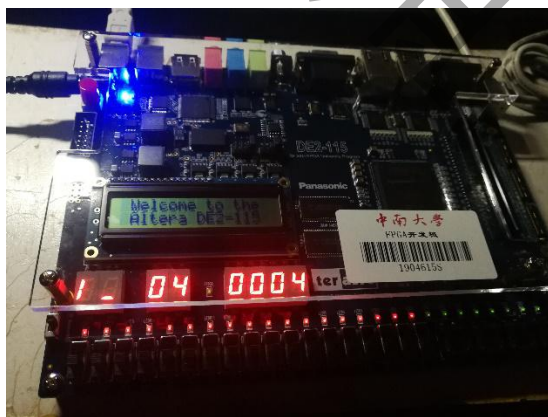
```
decoder_TEST g(q[3:0],HEX6);
```

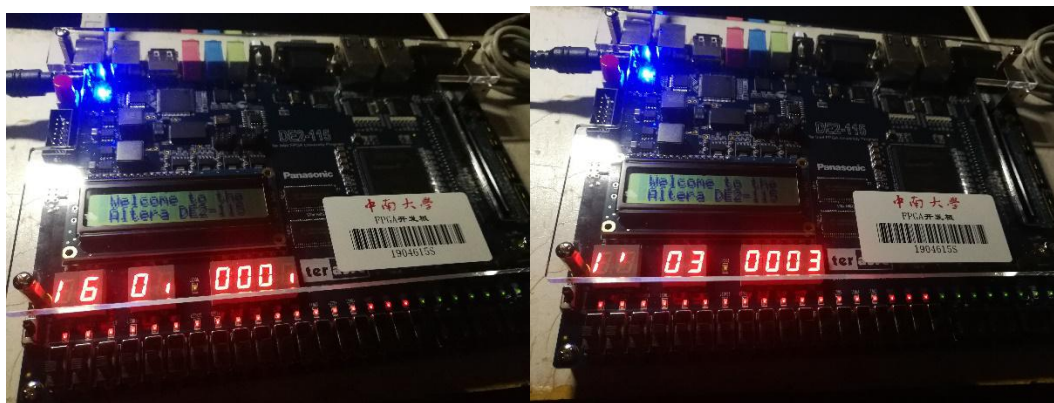
```
decoder_TEST h(q[7:4],HEX7);
```

```
endmodule
```

六 实验体会

可利用 RAM 随机储存来存储大作业中的中间变量。





第一部分 Part 6/Lab8

一、实验目的

- 1.熟悉外部 RAM 的驱动方法。
- 2.结合数码管显示外部 RAM 中内容。

二、实验内容

- 1.使用 LAB1 中数码管驱动 RAM 内存程序。
- 2.使用外部程序去驱动 RAM。
- 3.读取 RAM 内容。

三、实验原理

- 1.以 SW0 开关为使能，以 1S 为滚动周期显示外部 RAM 内容。。
- 2.输出映射到 8 个数码管上，进行流水 HEX 设计。
- 3.使用 DE2-115 控制面板写入 ram。

四、实验步骤

1) 建立工程

- 1.建立工程，选择常用文件夹，取名为 lab8。
- 2.添加 Block Diagram/Schematic 文件，取名为 lab8;
- 3.添加 Verilog HDL 文件，取名为 PART67

2) 首先理清思路:

根据本实验所指导的方法来看, 先使用控制面板写入 IP 核, 然后从 RAM 中读取数据。外部驱动接口类似于 PART5 的 RAM。

3) 使用控制面板写入数据。

不知因何原因无法连接板子, 所以无法写入, 尝试读取。

4) .写出驱动 ram 接口的 Verilog 代码表示。

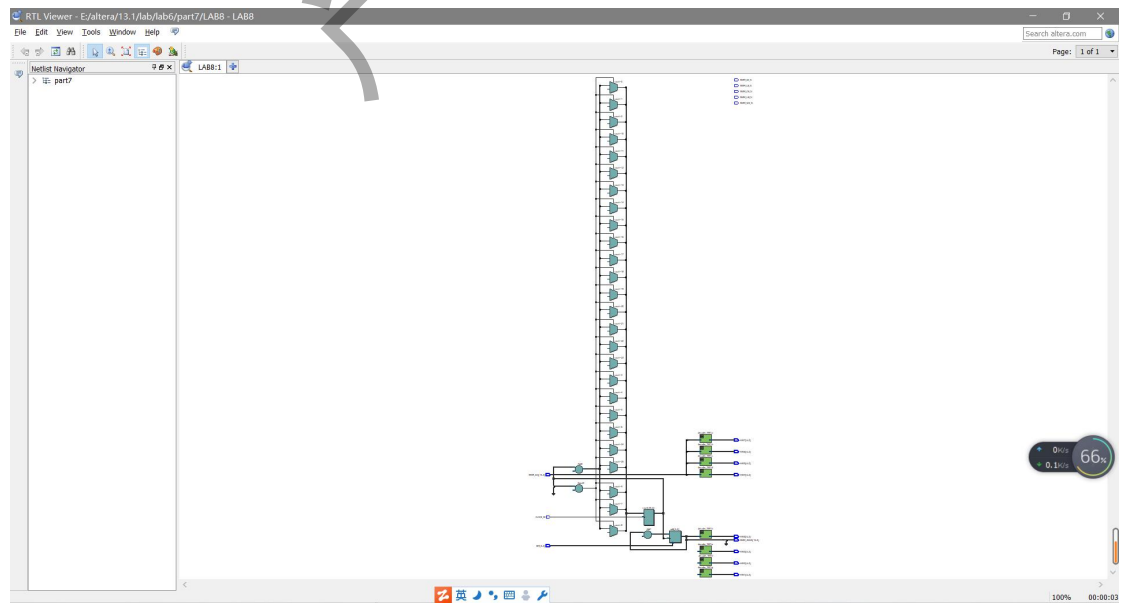
5) .综合

Flow Summary	
Flow Status	In progress - Wed Dec 11 19:56:48 2019
Quartus II 64-Bit Version	13.1.0 Build 162 10/23/2013 SJ Full Version
Revision Name	LAB8
Top-level Entity Name	part7
Family	Cyclone IV E
Device	EP4CE115F29C7
Timing Models	Final
Total logic elements	86
Total combinational functions	86
Dedicated logic registers	30
Total registers	30
Total pins	99
Total virtual pins	0
Total memory bits	0
Embedded Multiplier 9-bit elements	0
Total PLLs	0

6).编译并将引脚对应。

Node Name	Direction	Location	I/O Bank	VREF Group	Filter Location	I/O Standard	Reserved
HEX0[6]	Output	PIN_H22	6	B6_N0	PIN_H22	2.5 V (default)	
HEX0[5]	Output	PIN_J22	6	B6_N0	PIN_J22	2.5 V (default)	
HEX0[4]	Output	PIN_L25	6	B6_N1	PIN_L25	2.5 V (default)	
HEX0[3]	Output	PIN_L26	6	B6_N1	PIN_L26	2.5 V (default)	
HEX0[2]	Output	PIN_E17	7	B7_N2	PIN_E17	2.5 V (default)	8m
HEX0[1]	Output	PIN_F22	7	B7_N0	PIN_F22	2.5 V (default)	8m
HEX0[0]	Output	PIN_G18	7	B7_N2	PIN_G18	2.5 V (default)	8m
HEX1[6]	Output	PIN_U24	5	B5_N0	PIN_U24	2.5 V (default)	8m
HEX1[5]	Output	PIN_U23	5	B5_N1	PIN_U23	2.5 V (default)	8m
HEX1[4]	Output	PIN_W25	5	B5_N1	PIN_W25	2.5 V (default)	8m
HEX1[3]	Output	PIN_W22	5	B5_N0	PIN_W22	2.5 V (default)	8m
HEX1[2]	Output	PIN_W21	5	B5_N1	PIN_W21	2.5 V (default)	8m
HEX1[1]	Output	PIN_Y22	5	B5_N0	PIN_Y22	2.5 V (default)	8m
HEX1[0]	Output	PIN_M24	6	B6_N2	PIN_M24	2.5 V (default)	8m
HEX2[6]	Output	PIN_W28	5	B5_N1	PIN_W28	2.5 V (default)	8m
HEX2[5]	Output	PIN_W27	5	B5_N1	PIN_W27	2.5 V (default)	8m
HEX2[4]	Output	PIN_Y26	5	B5_N1	PIN_Y26	2.5 V (default)	8m
HEX2[3]	Output	PIN_W26	5	B5_N1	PIN_W26	2.5 V (default)	8m
HEX2[2]	Output	PIN_Y25	5	B5_N1	PIN_Y25	2.5 V (default)	8m
HEX2[1]	Output	PIN_AA26	5	B5_N1	PIN_AA26	2.5 V (default)	8m
HEX2[0]	Output	PIN_AA25	5	B5_N1	PIN_AA25	2.5 V (default)	8m
HEX3[6]	Output	PIN_Y19	4	B4_N0	PIN_Y19	2.5 V (default)	8m
HEX3[5]	Output	PIN_AF23	4	B4_N0	PIN_AF23	2.5 V (default)	8m
HEX3[4]	Output	PIN_AD24	4	B4_N0	PIN_AD24	2.5 V (default)	8m
HEX3[3]	Output	PIN_AA21	4	B4_N0	PIN_AA21	2.5 V (default)	8m
HEX3[2]	Output	PIN_AB20	4	B4_N0	PIN_AB20	2.5 V (default)	8m
HEX3[1]	Output	PIN_U21	5	B5_N0	PIN_U21	2.5 V (default)	8m
HEX3[0]	Output	PIN_V21	5	B5_N1	PIN_V21	2.5 V (default)	
HEX4[6]	Output	PIN_AE18	4	B4_N2	PIN_AE18	2.5 V (default)	
HEX4[5]	Output	PIN_AF19	4	B4_N1	PIN_AF19	2.5 V (default)	
HEX4[4]	Output	PIN_AE19	4	B4_N1	PIN_AE19	2.5 V (default)	8m
HEX4[3]	Output	PIN_AH21	4	B4_N2	PIN_AH21	2.5 V (default)	8m
HEX4[2]	Output	PIN_AG21	4	B4_N2	PIN_AG21	2.5 V (default)	8m
HEX4[1]	Output	PIN_AA19	4	B4_N0	PIN_AA19	2.5 V (default)	8m
HEX4[0]	Output	PIN_AB19	4	B4_N0	PIN_AB19	2.5 V (default)	8m
HEX5[6]	Output	PIN_AH18	4	B4_N2	PIN_AH18	2.5 V (default)	8m
HEX5[5]	Output	PIN_AF18	4	B4_N1	PIN_AF18	2.5 V (default)	8m
HEX5[4]	Output	PIN_AG19	4	B4_N2	PIN_AG19	2.5 V (default)	8m
HEX5[3]	Output	PIN_AH19	4	B4_N2	PIN_AH19	2.5 V (default)	8m
HEX5[2]	Output	PIN_AB18	4	B4_N0	PIN_AB18	2.5 V (default)	8m
HEX5[1]	Output	PIN_AC18	4	B4_N1	PIN_AC18	2.5 V (default)	8m
HEX5[0]	Output	PIN_AD18	4	B4_N1	PIN_AD18	2.5 V (default)	8m
HEX6[6]	Output	PIN_AC17	4	B4_N2	PIN_AC17	2.5 V (default)	8m
HEX6[5]	Output	PIN_AA15	4	B4_N2	PIN_AA15	2.5 V (default)	8m
HEX6[4]	Output	PIN_AB15	4	B4_N2	PIN_AB15	2.5 V (default)	8m
HEX6[3]	Output	PIN_AB17	4	B4_N1	PIN_AB17	2.5 V (default)	8m
HEX6[2]	Output	PIN_AA16	4	B4_N2	PIN_AA16	2.5 V (default)	8m
HEX6[1]	Output	PIN_AB16	4	B4_N2	PIN_AB16	2.5 V (default)	8m
HEX6[0]	Output	PIN_AA17	4	B4_N1	PIN_AA17	2.5 V (default)	8m
HEX7[6]	Output	PIN_AA14	3	B3_N0	PIN_AA14	2.5 V (default)	8m
HEX7[5]	Output	PIN_AG18	4	B4_N2	PIN_AG18	2.5 V (default)	8m
HEX7[4]	Output	PIN_AH17	4	B4_N2	PIN_AH17	2.5 V (default)	8m
HEX7[3]	Output	PIN_AH17	4	B4_N2	PIN_AH17	2.5 V (default)	8m
HEX7[2]	Output	PIN_AG17	4	B4_N2	PIN_AG17	2.5 V (default)	8m
HEX7[1]	Output	PIN_AE17	4	B4_N2	PIN_AE17	2.5 V (default)	8m
HEX7[0]	Output	PIN_AD17	4	B4_N2	PIN_AD17	2.5 V (default)	8m
KEY0	Input	PIN_M23	6	B6_N2	PIN_M23	2.5 V (default)	8m
KEY1	Input	PIN_M21	6	B6_N1	PIN_M21	2.5 V (default)	8m
SW[15]	Input	PIN_AA22	5	B5_N2	PIN_AA22	2.5 V (default)	8m
SW[14]	Input	PIN_AA23	5	B5_N2	PIN_AA23	2.5 V (default)	8m
SW[13]	Input	PIN_AA24	5	B5_N2	PIN_AA24	2.5 V (default)	8m
SW[12]	Input	PIN_AB23	5	B5_N2	PIN_AB23	2.5 V (default)	8m
SW[11]	Input	PIN_AB24	5	B5_N2	PIN_AB24	2.5 V (default)	8m
SW[10]	Input	PIN_AC24	5	B5_N2	PIN_AC24	2.5 V (default)	8m
SW[9]	Input	PIN_AB25	5	B5_N1	PIN_AB25	2.5 V (default)	8m
SW[8]	Input	PIN_AC25	5	B5_N2	PIN_AC25	2.5 V (default)	8m
SW[7]	Input	PIN_AB26	5	B5_N1	PIN_AB26	2.5 V (default)	8m
SW[6]	Input	PIN_AD26	5	B5_N2	PIN_AD26	2.5 V (default)	8m
SW[5]	Input	PIN_AC26	5	B5_N2	PIN_AC26	2.5 V (default)	8m
SW[4]	Input	PIN_AB27	5	B5_N1	PIN_AB27	2.5 V (default)	8m
SW[3]	Input	PIN_AD27	5	B5_N2	PIN_AD27	2.5 V (default)	8m
SW[2]	Input	PIN_AC27	5	B5_N2	PIN_AC27	2.5 V (default)	8m
SW[1]	Input	PIN_AC28	5	B5_N2	PIN_AC28	2.5 V (default)	8m
SW[0]	Input	PIN_AB28	5	B5_N1	PIN_AB28	2.5 V (default)	8m
KEY2	Unknown	PIN_N21	6	B6_N2		2.5 V (default)	8m

7).RTL 级视图



五. 实验代码

```
module decoder_TEST

    (input[3:0] C,

    output reg[6:0] HEX);

    always @(C)

    begin

        case(C)

            4'b0000 : HEX = 7'b1000000;
            4'b0001 : HEX = 7'b1001111;
            4'b0010 : HEX = 7'b0100100;
            4'b0011 : HEX = 7'b0110000;
            4'b0100 : HEX = 7'b0011001;
            4'b0101 : HEX = 7'b0010010;
            4'b0110 : HEX = 7'b0000010;
            4'b0111 : HEX = 7'b1111000;
            4'b1000 : HEX = 7'b0000000;
            4'b1001 : HEX = 7'b0011000;
            4'b1010 : HEX = 7'b1111110;
            4'b1011 : HEX = 7'b1111101;
            4'b1100 : HEX = 7'b1111011;
            4'b1101 : HEX = 7'b1110111;
```

```

        4'b1110 : HEX = 7'b1101111;

        4'b1111 : HEX = 7'b1011111;

        default: HEX = 7'b1111111;

    endcase

end

endmodule

module part7
(
    input CLOCK_50,
    input [0:0]KEY,
    input[15:0] SRAM_DQ,
    output
SRAM_OE_N,SRAM_WE_N,SRAM_CE_N,SRAM_LB_N,SRAM_
UB_N,

    output[19:0] SRAM_ADDR,

    output[6:0]
HEX7,HEX6,HEX5,HEX4,HEX3,HEX2,HEX1,HEX0

);

wire clk1hz;

reg [25:0] count;

reg [3:0] add;

```

```
assign SRAM_OE_N=1'b0;
```

```
assign SRAM_WE_N=1'b1;
```

```
assign SRAM_CE_N=1'b0;
```

```
assign SRAM_LB_N=1'b0;
```

```
assign SRAM_UB_N=1'b0;
```

```
//assign SRAM_ADDR[15:0]=SW[15:0];
```

```
assign SRAM_ADDR[19:4]=16'b0000000000000000;
```

```
always @(posedge CLOCK_50)
```

```
begin
```

```
if(count==50000000) count<=0;
```

```
else count<=count+1'b1;
```

```
end
```

```
assign clk1hz=count[25];
```

```
always @(posedge clk1hz, negedge KEY[0])
```

```
begin
```



```
if(~KEY[0]) add<=0;

else add<=add+1'b1;

end

assign SRAM_ADDR[3:0]=add;

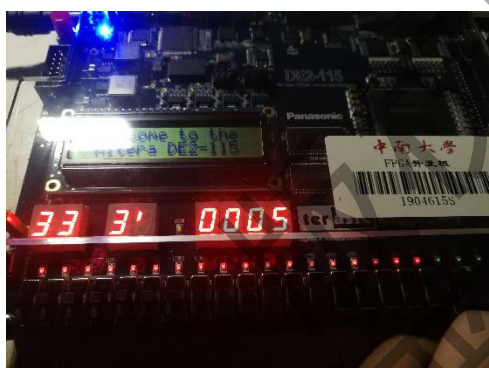
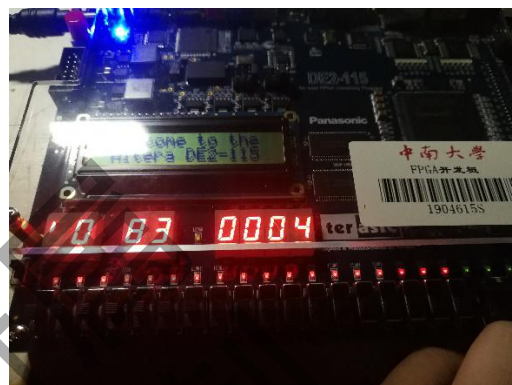
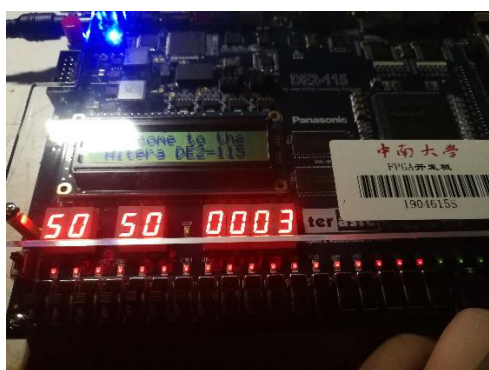
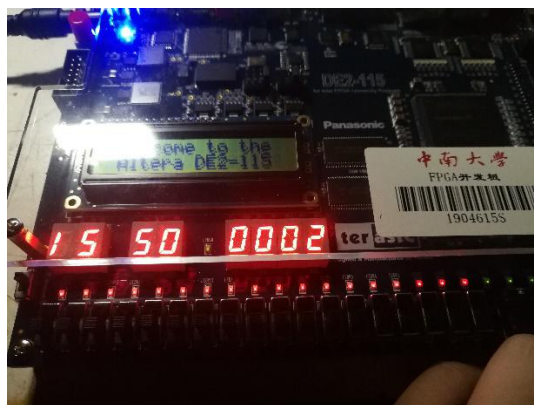

decoder_TEST a(SRAM_DQ[15:12],HEX7);
decoder_TEST b(SRAM_DQ[11:8],HEX6);
decoder_TEST c(SRAM_DQ[7:4],HEX5);
decoder_TEST d(SRAM_DQ[3:0],HEX4);
decoder_TEST e(SRAM_ADDR[15:12],HEX3);
decoder_TEST f(SRAM_ADDR[11:8],HEX2);
decoder_TEST g(SRAM_ADDR[7:4],HEX1);
decoder_TEST h(SRAM_ADDR[3:0],HEX0);


endmodule
```

六 实验体会

读取数据为未修改之前的源码。

上网查阅发现无法连接板子是因为版本太低。



所复制
禁复制