实验平台说明

特征	说明
操作系统版本和系统类型	Windows 7 64 bit enterprise edition
EDA 软件名称和版本	Quartus II 13.1 64 bit
DE2-115 开发板编号	1904615S

自查清单

特征	Part 7/Lab8	Part6/Lab8	Part/Lab	Part ?/Lab?
原理图	√	√	×	
Verilog 代码	√	√	×	
Flow Summary	√	√	×	
RTL 图	√	√	×	
状态机图	×	×	×	
工艺图	√	√	×	
仿真图	×	×	×	
SignalTapII 图	×	×	×	
硬件运行图	√	√	×	

第一部分　Part 7/Lab7

一、实验目的

1. 熟悉有限状态机的使用方法。

2. 联合数码管驱动电路进行状态设计。

3. 多个状态机串行使用。

二、实验内容

1.使用 LAB1 中数码管驱动程序。

2.使用 part1 中设计思路。

3.以自己的方式设计驱动器。

三、实验原理

1. 以 SW0 开关为复位，以 KEY1 为 2 倍速按键，KEY2 为 2 倍慢速按键。

2. 输出映射到 8 个数码管上，进行流水灯 HELO 设计。

四、实验步骤

1）　建立工程，并添加文件。

1.建立工程，选择常用文件夹，取名为 lab3。

2.添加 Block Diagram/Schematic 文件，取名为 lab3；

3.添加 Verilog HDL 文件，取名为 PART4.5

4.添加 VMF 文件，取名为 lab3.vmf

2）　首先理清思路：

根据本实验所指导的方法来看，需要使用有限状态机来做 PART567，在 PART5 中首先是使用输入的 clk 进行 HELO 的流水

设计，涉及八个状态，所以使用一个三位的状态机指定不同的状态。在八个状态中，对八个状态进行内容设计：定义 HEX 状态，使除 hex0 外的每个 HEX 的数据往后流通。

3） 参考 PART56

在 PART7 中使用，三种状态可以使用两位的状态机进行状态调节，且由于状态比较少，所以也可绕过状态机，直接对状态进行调节。本实验使用第一种方案即传统 FSM。

4） 以 Verilog 代码表示 。

5） 综合

Flow Summary	
Flow Status	Successful - Tue Dec 03 13:07:07 2019
Quartus II 64-Bit Version	13.1.0 Build 162 10/23/2013 SJ Full Version
Revision Name	LAB7
Top-level Entity Name	part7
Family	Cyclone IV E
Device	EP4CE115F29C7
Timing Models	Final
Total logic elements	140 / 114,480 (< 1 %)
Total combinational functions	134 / 114,480 (< 1 %)
Dedicated logic registers	80 / 114,480 (< 1 %)
Total registers	80
Total pins	60 / 529 (11 %)
Total virtual pins	0
Total memory bits	0 / 3,981,312 (0 %)
Embedded Multiplier 9-bit elements	0 / 532 (0 %)
Total PLLs	0 / 4 (0 %)

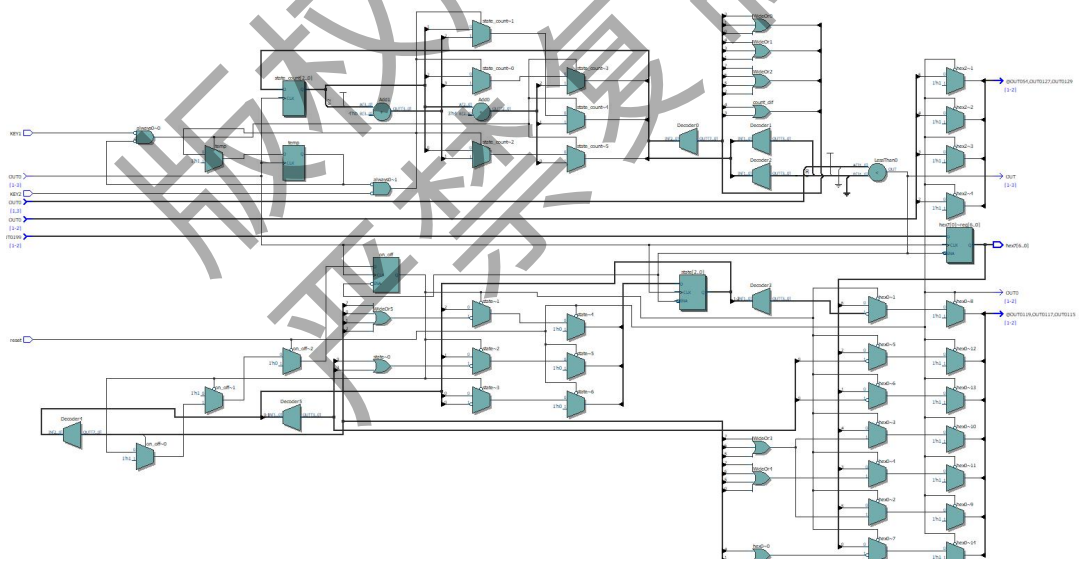
6） 编译并将引脚对应。

Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location	I/O Standard	Reserved
HEX0[6]	Output	PIN_H22	6	B6_N0	PIN_H22	2.5 V (default)	
HEX0[5]	Output	PIN_J22	6	B6_N0	PIN_J22	2.5 V (default)	
HEX0[4]	Output	PIN_L25	6	B6_N1	PIN_L25	2.5 V (default)	
HEX0[3]	Output	PIN_L26	6	B6_N1	PIN_L26	2.5 V (default)	
HEX0[2]	Output	PIN_E17	7	B7_N2	PIN_E17	2.5 V (default)	8m
HEX0[1]	Output	PIN_F22	7	B7_N0	PIN_F22	2.5 V (default)	8m
HEX0[0]	Output	PIN_G18	7	B7_N2	PIN_G18	2.5 V (default)	8m
HEX1[6]	Output	PIN_U24	5	B5_N0	PIN_U24	2.5 V (default)	8m
HEX1[5]	Output	PIN_U23	5	B5_N1	PIN_U23	2.5 V (default)	8m
HEX1[4]	Output	PIN_W25	5	B5_N1	PIN_W25	2.5 V (default)	8m
HEX1[3]	Output	PIN_W22	5	B5_N0	PIN_W22	2.5 V (default)	8m
HEX1[2]	Output	PIN_W21	5	B5_N1	PIN_W21	2.5 V (default)	8m
HEX1[1]	Output	PIN_Y22	5	B5_N0	PIN_Y22	2.5 V (default)	8m
HEX1[0]	Output	PIN_M24	6	B6_N2	PIN_M24	2.5 V (default)	8m
HEX2[6]	Output	PIN_W28	5	B5_N1	PIN_W28	2.5 V (default)	8m
HEX2[5]	Output	PIN_W27	5	B5_N1	PIN_W27	2.5 V (default)	8m
HEX2[4]	Output	PIN_Y26	5	B5_N1	PIN_Y26	2.5 V (default)	8m
HEX2[3]	Output	PIN_W26	5	B5_N1	PIN_W26	2.5 V (default)	8m
HEX2[2]	Output	PIN_Y25	5	B5_N1	PIN_Y25	2.5 V (default)	8m
HEX2[1]	Output	PIN_AA26	5	B5_N1	PIN_AA26	2.5 V (default)	8m
HEX2[0]	Output	PIN_AA25	5	B5_N1	PIN_AA25	2.5 V (default)	8m
HEX3[6]	Output	PIN_Y19	4	B4_N0	PIN_Y19	2.5 V (default)	8m
HEX3[5]	Output	PIN_AF23	4	B4_N0	PIN_AF23	2.5 V (default)	8m
HEX3[4]	Output	PIN_AD24	4	B4_N0	PIN_AD24	2.5 V (default)	8m
HEX3[3]	Output	PIN_AA21	4	B4_N0	PIN_AA21	2.5 V (default)	8m
HEX3[2]	Output	PIN_AB20	4	B4_N0	PIN_AB20	2.5 V (default)	8m
HEX3[1]	Output	PIN_U21	5	B5_N0	PIN_U21	2.5 V (default)	8m

Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location	I/O Standard	Reserved
HEX3[0]	Output	PIN_V21	5	B5_N1	PIN_V21	2.5 V (default)	
HEX4[6]	Output	PIN_AE18	4	B4_N2	PIN_AE18	2.5 V (default)	
HEX4[5]	Output	PIN_AF19	4	B4_N1	PIN_AF19	2.5 V (default)	
HEX4[4]	Output	PIN_AE19	4	B4_N1	PIN_AE19	2.5 V (default)	
HEX4[3]	Output	PIN_AH21	4	B4_N2	PIN_AH21	2.5 V (default)	8m
HEX4[2]	Output	PIN_AG21	4	B4_N2	PIN_AG21	2.5 V (default)	8m
HEX4[1]	Output	PIN_AA19	4	B4_N0	PIN_AA19	2.5 V (default)	8m
HEX4[0]	Output	PIN_AB19	4	B4_N0	PIN_AB19	2.5 V (default)	8m
HEX5[6]	Output	PIN_AH18	4	B4_N2	PIN_AH18	2.5 V (default)	8m
HEX5[5]	Output	PIN_AF18	4	B4_N1	PIN_AF18	2.5 V (default)	8m
HEX5[4]	Output	PIN_AG19	4	B4_N2	PIN_AG19	2.5 V (default)	8m
HEX5[3]	Output	PIN_AH19	4	B4_N2	PIN_AH19	2.5 V (default)	8m
HEX5[2]	Output	PIN_AB18	4	B4_N0	PIN_AB18	2.5 V (default)	8m
HEX5[1]	Output	PIN_AC18	4	B4_N1	PIN_AC18	2.5 V (default)	8m
HEX5[0]	Output	PIN_AD18	4	B4_N1	PIN_AD18	2.5 V (default)	8m
HEX6[6]	Output	PIN_AC17	4	B4_N2	PIN_AC17	2.5 V (default)	8m
HEX6[5]	Output	PIN_AA15	4	B4_N2	PIN_AA15	2.5 V (default)	8m
HEX6[4]	Output	PIN_AB15	4	B4_N2	PIN_AB15	2.5 V (default)	8m
HEX6[3]	Output	PIN_AB17	4	B4_N1	PIN_AB17	2.5 V (default)	8m
HEX6[2]	Output	PIN_AA16	4	B4_N2	PIN_AA16	2.5 V (default)	8m
HEX6[1]	Output	PIN_AB16	4	B4_N2	PIN_AB16	2.5 V (default)	8m
HEX6[0]	Output	PIN_AA17	4	B4_N1	PIN_AA17	2.5 V (default)	8m
HEX7[6]	Output	PIN_AA14	3	B3_N0	PIN_AA14	2.5 V (default)	8m
HEX7[5]	Output	PIN_AG18	4	B4_N2	PIN_AG18	2.5 V (default)	8m
HEX7[4]	Output	PIN_AF17	4	B4_N2	PIN_AF17	2.5 V (default)	8m
HEX7[3]	Output	PIN_AH17	4	B4_N2	PIN_AH17	2.5 V (default)	8m
HEX7[2]	Output	PIN_AG17	4	B4_N2	PIN_AG17	2.5 V (default)	8m

Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location	I/O Standard	Reserved
HEX7[6]	Output	PIN_AA14	3	B3_N0	PIN_AA14	2.5 V (default)	
HEX7[5]	Output	PIN_AG18	4	B4_N2	PIN_AG18	2.5 V (default)	
HEX7[4]	Output	PIN_AF17	4	B4_N2	PIN_AF17	2.5 V (default)	
HEX7[3]	Output	PIN_AH17	4	B4_N2	PIN_AH17	2.5 V (default)	
HEX7[2]	Output	PIN_AG17	4	B4_N2	PIN_AG17	2.5 V (default)	8m
HEX7[1]	Output	PIN_AE17	4	B4_N2	PIN_AE17	2.5 V (default)	8m
HEX7[0]	Output	PIN_AD17	4	B4_N2	PIN_AD17	2.5 V (default)	8m
KEY0	Input	PIN_M23	6	B6_N2	PIN_M23	2.5 V (default)	8m
KEY1	Input	PIN_M21	6	B6_N1	PIN_M21	2.5 V (default)	8m
SW[15]	Input	PIN_AA22	5	B5_N2	PIN_AA22	2.5 V (default)	8m
SW[14]	Input	PIN_AA23	5	B5_N2	PIN_AA23	2.5 V (default)	8m
SW[13]	Input	PIN_AA24	5	B5_N2	PIN_AA24	2.5 V (default)	8m
SW[12]	Input	PIN_AB23	5	B5_N2	PIN_AB23	2.5 V (default)	8m
SW[11]	Input	PIN_AB24	5	B5_N2	PIN_AB24	2.5 V (default)	8m
SW[10]	Input	PIN_AC24	5	B5_N2	PIN_AC24	2.5 V (default)	8m
SW[9]	Input	PIN_AB25	5	B5_N1	PIN_AB25	2.5 V (default)	8m
SW[8]	Input	PIN_AC25	5	B5_N2	PIN_AC25	2.5 V (default)	8m
SW[7]	Input	PIN_AB26	5	B5_N1	PIN_AB26	2.5 V (default)	8m
SW[6]	Input	PIN_AD26	5	B5_N2	PIN_AD26	2.5 V (default)	8m
SW[5]	Input	PIN_AC26	5	B5_N2	PIN_AC26	2.5 V (default)	8m
SW[4]	Input	PIN_AB27	5	B5_N1	PIN_AB27	2.5 V (default)	8m
SW[3]	Input	PIN_AD27	5	B5_N2	PIN_AD27	2.5 V (default)	8m
SW[2]	Input	PIN_AC27	5	B5_N2	PIN_AC27	2.5 V (default)	8m
SW[1]	Input	PIN_AC28	5	B5_N2	PIN_AC28	2.5 V (default)	8m
SW[0]	Input	PIN_AB28	5	B5_N1	PIN_AB28	2.5 V (default)	8m
KEY2	Unknown	PIN_N21	6	B6_N2		2.5 V (default)	8m

7） RTL 级视图



五、实验代码

```
module part7(hex7,hex6,hex5,hex4,hex3,
                    hex2,hex1,hex0,clk,reset,KEY1,KEY2);
output reg [6:0] hex7,hex6,hex5,hex4,hex3,hex2,hex1,hex0;
input clk,reset,KEY1,KEY2;
```

```
reg [2:0] state;
reg    on_off;
reg [2:0]state_count;
reg temp;
integer count;
integer count_dif;


always @(posedge clk)
begin//KEY1:clk=12500000 KEY2:clk=200000000
if(KEY1==0&&temp==0)begin
state_count=state_count+3'b001 ;temp=1;end
else                                    if(KEY2==0&&temp==0)begin
state_count=state_count-3'b001 ;temp=1;end
if(KEY1!=0&&KEY2!=0) begin temp=0; end
begin
case(state_count)
        3'b000:count_dif=12500000;
        3'b001:count_dif=25000000;
        3'b010:count_dif=50000000;
        3'b011:count_dif=100000000;
        3'b100:count_dif=200000000;
```

```
        default: count_dif=50000000;
endcase
end

if(count<count_dif)
   count=count+1;
else
begin
    begin
        if(reset==0)
            begin hex7<=7'b1111111;
                  hex6<=7'b1111111;
                  hex5<=7'b1111111;
                  hex4<=7'b1111111;
                  hex3<=7'b1111111;
                  hex2<=7'b1111111;
                  hex1<=7'b1111111;
                  hex0<=7'b1111111;
                  state<=3'b000;
                  on_off=1'b0;
            end
        else
```

```
            begin
          //solve the first problem
               if(on_off==0)//at the beginning,set the register
                   begin
                   case(state)
                   3'd0:begin
hex0<=7'b0001001;hex1<=hex0;hex2<=hex1;hex3<=hex2;

    hex4<=hex3;hex5<=hex4;hex6<=hex5;hex7<=hex6;state=state+1;
end //H
                   3'd1:begin
hex0<=7'b0000110;hex1<=hex0;hex2<=hex1;hex3<=hex2;

    hex4<=hex3;hex5<=hex4;hex6<=hex5;hex7<=hex6;state=state+1;
end    //E
                   3'd2:begin
hex0<=7'b1000111;hex1<=hex0;hex2<=hex1;hex3<=hex2;

    hex4<=hex3;hex5<=hex4;hex6<=hex5;hex7<=hex6;state=state+1;
end    //L
                   3'd3:begin
hex0<=7'b1000111;hex1<=hex0;hex2<=hex1;hex3<=hex2;
```

```
    hex4<=hex3;hex5<=hex4;hex6<=hex5;hex7<=hex6;state=state+1;
end    //L
                    3'd4:begin
hex0<=7'b1000000;hex1<=hex0;hex2<=hex1;hex3<=hex2;

    hex4<=hex3;hex5<=hex4;hex6<=hex5;hex7<=hex6;state=state+1;
end     //O
                    3'd5:begin
hex0<=7'b1111111;hex1<=hex0;hex2<=hex1;hex3<=hex2;

    hex4<=hex3;hex5<=hex4;hex6<=hex5;hex7<=hex6;state=state+1;
end
                    3'd6:begin
hex0<=7'b1111111;hex1<=hex0;hex2<=hex1;hex3<=hex2;

    hex4<=hex3;hex5<=hex4;hex6<=hex5;hex7<=hex6;state=state+1;
end
                    3'd7:begin
hex0<=7'b1111111;hex1<=hex0;hex2<=hex1;hex3<=hex2;

    hex4<=hex3;hex5<=hex4;hex6<=hex5;hex7<=hex6;state=state+1;
```

```
on_off=1'b1;end
                    endcase
                    end
                else
                    begin
hex0<=hex7;hex1<=hex0;hex2<=hex1;hex3<=hex2;
                hex4<=hex3;hex5<=hex4;hex6<=hex5;hex7<=hex6;
                    end
            end
    end
    count=0;
end
end
endmodule
```

六 实验体会

状态机十分好用，期末大作业可以用上的。