

计算机组成原理

Author:NP_123, zxq

np123greatest@gmail.com

$$\lim_{term \rightarrow 8} GPA = 4.0$$

计算机硬件能直接执行的是_____。

A、**机器语言程序** B、硬件描述语言程序 C、汇编语言程序 D、高级语言程序

下列关于冯·诺依曼结构计算机基本思想的叙述中，错误的是_____。

A、指令和数据均用二进制代码表示，指令和数据以同等地位存储在存储器中，并可以按地址访问。

B、计算机的硬件系统由运算器、存储器、控制器、输入设备和输出设备 5 大部件组成。

C、**指令在存储器中按顺序存放，也一定是按顺序执行。**

D、冯·诺依曼型计算机的主要设计思想是存储程序、程序控制。

冯·诺伊曼结构计算机中数据采用二进制编码表示，其主要原因是_____。

A、**二进制的运算规则简单** B、便于逻辑门电路实现算术运算 C、制造两个稳态的物理器件较容易

将 C 语言源程序转换成计算机可执行的二进制目标代码，需要哪些程序？

A、**编译器（编译程序）** B、**链接器（链接程序）** C、解释器（解释程序） D、汇编器（汇编程序）

软件和硬件都会影响程序的性能，请思考下述哪个例子属于性能瓶颈？

A、**所选算法** B、I/O 系统和设备（硬件和操作系统） C、处理器和存储系统 D、编程语言或编译程序

下列选项中，能缩短程序执行时间的措施是**I、II、III**。

I. 提高 CPU 时钟频率 II. 优化数据通路结构 III. 对程序进行编译优化

下列选项中，描述浮点数操作速度指标的是**A、MIPS B、CPI C、MFLOPS D、IPC**。

程序 P 在机器 M 上的执行时间是 20 秒，编译优化后，P 执行的指令数减少到原来的 70%，而 CPI 增加到原来的 1.2 倍，则 P 在 M 上的执行时间是**16.8 秒**。

假定基准程序 A 在某计算机上的运行时间为 100 秒，其中 90 秒为 CPU 时间，其余为 I/O 时间。若 CPU 速度提高 50%，I/O 速度不变，则运行基准程序 A 所耗费的时间是**70 秒**。

答案解析：程序 A 的运行时间为 100s，除去 CPU 时间 90s，剩余 10s 为 I/O 时间。CPU 提速后运行基准程序 A 所耗费的时间是 $T = 90 / 1.5 + 10 = 70s$ 。注意！CPU 速度提高 50%，而不是提高 1 倍。

某计算机主频为 1.2GHz，其指令分为 4 类，它们在基准程序中所占比例及 CPI 如下表所示

指令类型	所占比例	CPI	指令类型	所占比例	CPI
A	50%	2	C	10%	4
B	20%	3	D	20%	5

该机的 MIPS 数是**400**。

数据表示的作用是将数据按照某种方式组织起来，以便_____。

A、**计算机硬件直接识别和使用**

B、计算机操作系统识别

C、高级语言程序员直接识别

D、计算机软件能直接识别和使用

编译器规定 int 和 short 类型长度分别为 32 位和 16 位，执行下列 C 语言语句得到 y 的机器数为**0000 FFFAH**。

```
unsigned short x=65530;    unsigned int y=x;
```

一个 16 位无符号二进制数的表示范围是_____。

A、-32768~32768

B、0~65536

C、-32768~32767

D、0~65535

考虑以下 C 语言代码：

```
unsigned short usi=65535 ;
```

```
short si=usi ;
```

执行上述程序段后，si 的值是_____。

A、**-1**

B、-65535

C、-32767

D、-32768

对真值 0 表示形式唯一的机器数是_____。

A、原码

B、补码

C、反码

D、移码

假定变量 i、f、d 的数据类型分别为 int、float、double (int 用补码表示, float 和 double 用 IEEE 754 标准中的单精度和双精度浮点数据格式表示), 已知 $i=785$, $f=1.5678e3$, $d=1.5e100$, 若在 32 位机器中执行下列关系表达式, 则结果为真的是 仅 I、III。

- I. $i==(int)(float)i$ II. $f==(float)(int)f$
III. $f==(float)(double)f$ IV. $(d+f)-d==f$

长度相同但格式不同的两种浮点数, 假设前者阶码长、尾数短, 后者阶码短、尾数长, 其他规定均相同, 则它们可表示的数的范围和精度为_____。

- A、两者可表示的数的范围和精度相同 B、后者可表示的数的范围大且精度高
C、前者可表示的数的范围大但精度低 D、前者可表示的数的范围大且精度高

float 型数据通常用 IEEE 754 单精度浮点格式表示。假定两个 float 型变量 x 和 y 分别存放在 32 位寄存器 f1 和 f2 中, 若 $(f1)=CC90\ 0000H$, $(f2)=B0C0\ 0000H$, 则 x 和 y 之间的关系为_____。

$f1=CC90\ 0000H = 1\ 10011001\ 001000000000000000000000$

$f2=B0C0\ 0000H = 1\ 01100001\ 100000000000000000000000$

- A、 $x < y$ 且符号相同 B、 $x > y$ 且符号相同 C、 $x < y$ 且符号不同 D、 $x > y$ 且符号不同

对于汉字, 用于在计算机内进行存储、查找、传送的编码方式是?

- A、输入码 B、外码 C、字形码 D、机内码

IEEE754 单精度浮点格式表示的数中, 最小规格化正数是_____。

- A、 1.0×2^{-126} B、 1.0×2^{-128} C、 1.0×2^{-127} D、 1.0×2^{-149}

float 类型 (即 IEEE754 单精度浮点数格式) 能表示的最大正整数是_____。

- A、2126-2103 B、2127-2103 C、2128-2104 D、2127-2104

一个 C 语言程序在一台 32 位机器上运行, 程序中定义了 3 个变量 x、y、z, 其中 x 和 z 是 int 型, y 为 short 型。

当 $x=127$, $y=-9$ 时, 执行赋值语句 $z=x+y$ 后, x、y、z 的值分别是_____。

- A、 $x=0000007FH$, $y=FFF9H$, $z=00000076H$ B、 $x=0000007FH$, $y=FFF7H$, $z=FFFF0076H$
C、 $x=0000007FH$, $y=FFF7H$, $z=00000076H$ D、 $x=0000007FH$, $y=FFF9H$, $z=FFFF0076H$

若 $x=103$, $y=-25$, 则下列表达式采用 8 位补码运算实现时, 会发生溢出的是 $x-y$ 。

在 BCD 编码中一个十进制数最多需要多少位来存放? 4

下面对补码加法结果中的两位符号位描述中, 错误的是_____。

- A、00 时结果正常 B、01 时为正溢出 C、10 时为正溢出 D、11 时结果正常

在定点二进制运算器中, 减法运算一般通过_____来实现。

- A、原码运算的二进制减法器 B、补码运算的二进制加法器
C、补码运算的十进制加法器 D、补码运算的二进制减法器

假定带符号整数采用补码表示, 若 int 型变量 x 和 y 的机器数分别是 FFFF FDFH 和 0000 0041H, 则 x、y 的值以及 $x-y$ 的机器数分别是_____。

- A、 $x=-65$, $y=41$, $x-y$ 的机器数溢出 B、 $x=-65$, $y=41$, $x-y$ 的机器数为 FFFF FF96H
C、 $x=-33$, $y=65$, $x-y$ 的机器数为 FFFF FF9DH D、 $x=-33$, $y=65$, $x-y$ 的机器数为 FFFF FF9EH

x 的机器数为 1101 1000, 分别对 x 进行逻辑右移 1 位和算术右移 1 位操作, 得到的机器数各是_____。

- A、1110 1100 B、0110 1100 C、0110 1100 D、1110 1100
1110 1100 0110 1100 1110 1100 0110 1100

假定有 4 个整数用 8 位补码分别表示 $r1=FEH$, $r2=F2H$, $r3=90H$, $r4=F8H$, 若将运算结果存放在一个 8 位的寄存器中, 则下列运算会发生溢出的是_____。

- A、 $r1 \times r2$ B、 $r1 \times r4$ C、 $r2 \times r4$ D、 $r2 \times r3$

在定点运算器中，当采用双符号位时，溢出判断电路一般采用_____实现？

- A、非门 B、或门 C、与门 D、异或门

某字长为8位的计算机中，已知整型变量x、y的机器数分别为 $[x]_{\text{补}} = 11110100$ ， $[y]_{\text{补}} = 10110000$ 。若整型变量 $z = 2 * x + y / 2$ ，则z的机器数为_____。

- A、11000000 B、00100100 C、10101010 D、溢出

在定点数运算中，产生溢出的原因是_____。

- A、运算中的最高位产生了进位或借位 B、寄存器的位数太少，不得不舍弃最低有效位
C、运算结果的操作数超出了机器的表示范围 D、参加运算的操作数超出了机器的表示范围

带符号数的原码乘法，部分积寄存器每次在进行右移操作时高位补_____。

- A、0 B、被乘数的符号位 C、两数符号位求异或 D、1

阵列除法器的核心部件是 A、CAS ~~B、存储部件~~ ~~C、控制部件~~ ~~D、FA~~。

在补码一位乘法中，若判断位 $Y_n Y_{n+1} = 01$ ，则应执行的操作为_____。

- A、原部分积加 $[-x]_{\text{补}}$ ，然后右移一位 B、原部分积加 $[x]_{\text{补}}$ ，然后右移一位
C、原部分积加 $[-x]_{\text{补}}$ ，然后左移一位 D、原部分积加 $[x]_{\text{补}}$ ，然后左移一位

阵列除法器采用的是_____和手动除法运算的思想。

- A、恢复余数法 B、加减交替法（不恢复余数法） C、手动乘法 D、移位法

下面哪一种加法器的运算速度最快_____。

- A、16位串行加法器 B、16位组内并行、组间并行加法器
C、16位组内并行、组间串行加法器 D、16位串行可控加减法器

原码除法的商符由被除数与除数的符号位通过 异或 求和 或 与 运算获得。

下面对补码加法结果中的双符号位描述中，错误的是_____。

- A、00时结果正常 B、01时为正溢出 C、10时为正溢出 D、11时结果正常

带符号数的原码乘法，其符号位如何得到_____。

- A、两个乘数符号位求与 B、被乘数符号位取反 C、两个乘数符号位求异或 D、两个乘数符号位求或

在原码不恢复余数除法（又称原码加减交替法）的算法中，以下规则正确的是_____。

- A、本次余数为正，下步除法做加法 B、本次余数为负，下步除法做减法
C、本次余数为正，下步除法做减法 D、本次余数为负，下步除法做加法

下面关于浮点数乘除的操作步骤描述中，正确的是（ ）。

阶码相加/减——尾数相乘/除——规格化、判溢出——舍入——确定符号位

下面关于浮点数加法的操作步骤描述中，正确的是（ ）。

求阶差——对阶——尾数相加——结果规格化——判溢出——舍入

假设有一个16位的IEEE 754-2008浮点数格式，其中有5位指数位。那么它可能表示的数的范围是（ ）。

- A、 $1.0000\ 0000\ 00 \times 2^0$ 到 $1.1111\ 1111\ 11 \times 2^{31}$ ，0
B、 $\pm 1.0000\ 0000\ 0 \times 2^{-14}$ 到 $\pm 1.1111\ 1111\ 1 \times 2^{15}$ ， ± 0 ， $\pm \infty$ ，NaN
C、 $\pm 1.0000\ 0000\ 00 \times 2^{-14}$ 到 $\pm 1.1111\ 1111\ 11 \times 2^{15}$ ， ± 0 ， $\pm \infty$ ，NaN
D、 $\pm 1.0000\ 0000\ 00 \times 2^{-15}$ 到 $\pm 1.1111\ 1111\ 11 \times 2^{14}$ ， ± 0 ， $\pm \infty$ ，NaN

IEEE754标准提供了以下四种舍入模式，其中平均误差最小的是（ ）。

- A、就近舍入（中间值时强迫为偶数） B、正向舍入（即朝正无穷方向舍入）
C、截断舍入（朝0方向舍入） D、负向舍入（即朝负无穷方向舍入）

下列有关浮点数加减运算的叙述中，正确的是_____。

- A、对阶操作不会引起阶码上溢或下溢 B、左规时可能引起阶码下溢
C、右规和尾数舍入都可能引起阶码上溢 D、尾数溢出时结果不一定溢出

在 IEEE754 标准中描述的就近舍入方式，正确的是（）。

- A、附加位为 11 时入位 B、附加位为 10 时强制结果为偶数
C、附加位为 01 时舍去 D、附加位为 00 时保持结果不变

指令系统的设计原则包括？ A、可扩展性 B、有效性 C、规整性 D、完备性 E、兼容性

下面属于 CISC 特点的是？

- A、指令系统复杂，指令数目多 B、寻址方式多、指令格式多
C、以寄存器-寄存器方式工作 D、指令周期长

下列哪些指令属于程序控制指令？

- A、无条件转移指令 B、算术运算指令 C、条件转移指令 D、数据传送指令

以下有关指令系统的说法中错误的是？

- A、指令系统是一台机器硬件能执行的全体指令 B、指令系统是计算机软件、硬件的界面
C、指令系统只会影响计算机系统的软件功能，不会影响计算机硬件
D、任何程序运行前都要先转化为机器语言程序

下列关于 RISC 的叙述中，错误的是_____。

- A、RISC 普遍采用微程序控制器 B、RISC 的指令数、寻址方式和指令格式种类相对 CISC 少
C、RISC 的内部通用寄存器数量相对 CISC 多 D、RISC 大多数指令在一个时钟周期内完成

在指令格式中，采用扩展操作码设计方案的目的是？

- A、减少指令字长度 B、保持指令字长度不变而增加指令的数量
C、保持指令字长度不变而增加寻址空间 D、增加指令字长度

每条指令的操作码可以有_1_个。

栈 stack 是一块采用_先进后出_方式进行数据存取的存储区域，在多数系统中（例如 MIPS），栈位于高端地址空间，向低地址方向动态增长。

某指令格式如下所示。

OP	M	I	D
----	---	---	---

其中 M 为寻址方式，I 为变址寄存器编号，D 为形式地址。若采用先变址后间址的寻址方式，则操作数的有效地址是_____。 A、I+D B、((I)+D) C、((I))+D D、(I)+D

偏移寻址通过将某个寄存器内容与一个形式地址相加而生成有效地址。下列寻址方式中，不属于偏移寻址方式的是_ A、间接寻址 B、基址寻址 C、相对寻址 D、变址寻址 _。

下列寻址方式中，最适合按下标顺序访问一维数组元素的是_____。

- A、相对寻址 B、变址寻址 C、直接寻址 D、寄存器寻址

某计算机采用 16 位定长指令字格式，操作码位数和寻址方式位数固定，指令系统有 48 条指令，支持直接、间接、立即、相对 4 种寻址方式，单地址指令中直接寻址方式可寻址范围是_____。

- A、0~255 B、0~1023 C、-128~127 D、-512~511

按字节编址的计算机中，某 double 型数组 A 的首地址为 2000H，使用变址寻址和循环结构访问数组 A，保存数组下标的变址寄存器初值为 0，每次循环取一个数组元素，其偏移地址为变址值乘以 sizeof(double)，取完后变址寄存器内容自动加 1。若某次循环所取元素的地址为 2100H，则进入该次循环时变址寄存器的内容是_ 32 _。

提示：sizeof(double) = 8（双精度浮点数 64 位，8 字节）

MIPS 中条件转移（条件分支）的地址范围为多大？

- A、分支前后地址范围大约 128KB，即 ± 217 B、分支前后地址范围大约 32KB，即 ± 215
C、0-64KB-1 之间 D、256MB

MIPS 跳转指令如何用指令给出的 26 位直接地址进行寻址？

- A、高四位补 PC 值，低两位补零来形成 32 位目标地址 B、直接用 26 位地址作为目标地址
C、通过低四位补 PC 值，高两位补 1 来形成 32 位目标地址
D、通过低四位补 PC 值，高两位补零来形成 32 位目标地址

在 MIPS 中 j 和 jal 指令的地址范围是多少？

- A、由 PC 提供高 4 位地址的 256M 大小的块中任意地址 B、分支前后地址范围各大约 128K
C、分支前后地址范围各大约 128M D、由 PC 提供高 6 位地址的 64M 大小的块中任意地址

R 型指令的具体操作由哪个字段决定？

- A、op B、shamt C、rs D、funct

在 MIPS 处理器中，假定 int 型变量 f、g、h、i 和 j，依次分配到寄存器 \$s0, \$s1, \$s2, \$s3, \$s4 中，假设 int 型数组 A 和 B 的基地址依次放置寄存器 \$s6 和 \$s7 中，下面那段代码表示 $f=g+h+B[4]$ ？

- A、lw \$s0, 16(\$s6) B、lw \$s0, 4(\$s7) C、lw \$s0, 16(\$s7) D、lw \$s0, 0(\$s7)
add \$s0, \$s0, \$s1 add \$s0, \$s0, \$s1 add \$s0, \$s0, \$s1 add \$s0, \$s0, \$s1
add \$s0, \$s0, \$s2 add \$s0, \$s0, \$s2 add \$s0, \$s0, \$s2 add \$s0, \$s0, \$s2

给定寄存器 \$t0 和 \$t1 的值分别为：

\$t0 = 1010 1101 0001 0000 0000 0000 0000 0010 （二进制）

\$t1 = 0011 1111 1111 1000 0000 0000 0000 0000 （二进制）

执行以下 MIPS 指令后，寄存器 \$t2 的值为多少？

```
slt $t2, $t0, $t1
beq $t2, $zero, ELSE
j DONE
```

ELSE: addi \$t2, \$zero, 2

DONE:

- A、以上答案都不对 B、0 C、2 D、1

下列关于 MIPS R 型指令的描述中，正确的是？

- A、不同功能的 R 型指令使用的寄存器数量不一定相同 B、R 型指令不支持访问主存的指令
C、R 型指令既有算术运算指令，也有逻辑运算指令 D、所有 R 型指令的操作码 OP 字段的值均为 000000

下列关于 MIPS I 型指令的描述中，正确的是（ ）

- A、I 型指令包括访问内存的指令 B、I 型指令包括立即数运算指令
C、I 型指令包括条件转移指令 D、I 型指令包括无条件跳转指令

下列关于 MIPS J 型指令的描述中，正确的是（ ）

- A、无条件跳转指令是 J 型指令 B、J 型指令只使用伪直接寻址方式
C、子程序调用指令是 J 型指令 D、J 型指令执行后，PC 寄存器的值最低两位一定为 00

下列寄存器中，汇编语言程序员可见的是_____。

- A、存储器地址寄存器（MAR） B、程序状态字寄存器（PSW）
C、指令寄存器（IR） D、存储器数据寄存器（MDR）

PC 存放的是下一条指令的地址，故 PC 的位数与_____的位数相同。

- A、指令寄存器 IR B、指令译码器 ID C、存储器地址寄存器 MAR D、程序状态字寄存器 PSWR

某计算机字长 32 位，在执行指令的顺序寻址时，PC 的增量值为 A、4 B、2 C、1 D、8

某计算机主存空间为 4 GB，字长为 32 位，按字节编址，采用 32 位定长指令字格式。若指令按字边界对齐存放，则程序计数器(PC)和指令寄存器(IR)的位数至少分别是_____。

- A、30、30 B、32、32 C、32、30 D、30、32

下列关于处理器数据通路的叙述，错误的是：

- A、数据通路由若干组合逻辑组件和状态单元组件连接而成
B、ALU 是组合逻辑单元，用于执行各类算术与逻辑运算
C、数据通路所实现的功能由控制器发出的控制信号决定
D、通用寄存器是状态单元，但独立于处理器的数据通路，不包含在数据通路中

相对于微程序控制器，硬布线控制器的特点是_____。

- A、指令执行速度慢，指令功能的修改和扩展容易 B、指令执行速度快，指令功能的修改和扩展难
C、指令执行速度快，指令功能的修改和扩展容易 D、指令执行速度慢，指令功能的修改和扩展难

指令周期是_____。

- A、CPU 执行一条指令的时间 B、CPU 从主存取出一条指令的时间
C、时钟周期 D、CPU 从主存取出一条指令、并执行这条指令的时间

单周期数据通路将指令存储器和数据存储器分开，各自独立，原因在于？

- A、在 MIPS 中指令和数据格式不同，因此需要不同的内存 B、独立的内存设计访问速度更快
C、独立的内存设计价格更低
D、处理器的操作在一个时钟周期内完成，不可能在一个周期内使用单端口内存进行两次不同的访问

下列有关指令周期的叙述中，正确的是（ ）。

- A、单周期 CPU 中的指令周期就是一个时钟周期 B、乘法指令和加法指令的指令周期总是一样长
C、一个指令周期可由若干个机器周期或时钟周期组成 D、指令周期的第一个阶段是取指令阶段

下面关于多周期处理器与单周期处理器的比较，错误的是_____。

- A、一条指令执行过程中，单周期处理器中每个部件只能被使用一次，而多周期处理器中同一个部件可以使用多次 B、单周期处理器的 CPI 总比多周期处理器的 CPI 大
C、一条指令执行过程中，单周期处理器中的控制信号取值不改变，而多周期处理器中的控制信号可能会发生改变 D、单周期处理器的时钟周期比多周期处理器的时钟周期长

CPU 中控制器的完整功能是_____。 A、从主存中取出指令 B、产生时序信号 C、完成对指令的译码 D、完成对指令的译码，并产生控制信号

某计算机指令集中包含 R 型运算指令、取数指令 load、存数指令 store、条件分支指令 branch、直接跳转指令 jump。如果采用单周期数据通路实现该指令系统，各主要功能部件的操作时间为：指令存储器和数据存储器都是 2ns、ALU 和加法器都是 1ns、寄存器文件的读和写都是 0.5ns。在不考虑多路选择器、控制器、PC、符号扩展单元和传输延迟的情况下，该计算机的时钟周期至少为多少？

- A、5ns B、6ns C、7ns D、8ns

下列有关取指令操作部件的叙述中，正确的是？

- A、取指令操作的延时主要由程序计数器 PC 的延迟 $T_{clk_to_q}$ 、指令存储器访问延迟 T_{mem} 决定的
B、单周期 CPU 数据通路中需使用指令寄存器存放取出的指令
C、取指令操作可以和下一条指令地址的计算操作同时进行
D、PC 在单周期数据通路中不需要“写使能”控制信号

单周期 MIPS 处理器的 PC 的来源有_____。（教材 P207，图 6.25）

- A、取指后计算的 $PC+4$ B、指令的 16 位立即数符号扩展后的 32 位结果
C、指令的低 26 位左移 2 位，与 PC 增值 ($PC+4$) 后的高 4 位相连，这是直接转移指令 (jump) 的跳转目标地址 D、加法器的运算结果，计算的是条件转移指令的转移目标地址

关于 MIPS 实现是所用到的功能单元，以下描述哪些是正确的？

- A、MIPS 实现中的功能单元由两种不同类型的单元组成：产生数据值的组合逻辑单元、包含状态的时序单元；
- B、状态单元又称为时序电路，一般包含输入端、写使能控制端、时钟输入端、输出端。
- C、如果一个单元拥有内部存储功能，它就会包含状态，因此称这种单元是状态单元。存储器和寄存器是状态单元。
- D、组合逻辑电路单元的输出只依赖于当前的输入。给定相同的输入，组合逻辑电路单元总会产生相同的输出。运算单元 ALU 是组合单元。

下面是有关 MIPS 架构的 R-型指令数据通路设计的描述中，正确的有_____。

- A、在 R-型指令数据通路中，一定会有一个通用寄存器组
- B、在 R-型指令数据通路中，一定存在一条路径使 ALU 输出被送到某个寄存器
- C、在 R-型指令数据通路中，一定有一个 ALU 用于对读寄存器读出数据进行运算
- D、执行 R-型指令时，通用寄存器堆的“写使能 (RegWrite)”控制信号一定为 1

下面有关 MIPS 架构的 lw/sw 指令数据通路设计的叙述，哪些是正确的？

- A、在 lw/sw 指令数据通路中，一定有一个符号扩展部件用于偏移量的扩展
- B、在 lw/sw 指令数据通路中，ALU 的控制信号一定为“add”（即 ALU 做加法）
- C、数据存储器写使能 MemWrite 信号在 lw 指令执行时为“0”，在 sw 指令执行时为“1”
- D、寄存器堆写使能 RegWrite 信号在 lw 指令执行时为“1”，在 sw 指令执行时为“0”

下面是有关 MIPS 架构的 beq 指令的单周期数据通路设计的叙述，哪些是正确的？

- A、在 beq 指令的执行过程中，ALU 的两个输入都来自寄存器堆
- B、在 beq 指令数据通路中，一定有一个加法器用于计算目标转移地址
- C、在 beq 指令的执行过程中，数据不会流经符号扩展部件
- D、在 beq 指令数据通路中，ALU 的控制信号一定为“sub”（即 ALU 做减法）

判断题：MIPS 的核心指令，包括 R 型运算指令、存储访问指令、条件分支指令、无条件跳转指令。这些指令的实现过程大致相同，与具体的指令类型无关。每条指令执行的前两个步骤是一样的：

- 1) 根据程序计数器 (PC) 从内存取出指令， $PC=PC+4$ 。
- 2) 指令译码，通过指令字段的内容，读取操作数。

对

某 CPU 主频为 1.03GHz，采用 4 级指令流水线，每个流水段的执行需要 1 个时钟周期。假定 CPU 执行了 100 条指令，在其执行过程中，没有发生任何流水线阻塞，此时流水线的吞吐率为_____。

- A、 0.25×10^9 条指令/秒
- B、 1.03×10^9 条指令/秒
- C、 0.97×10^9 条指令/秒
- D、 1.0×10^9 条指令/秒

下列关于指令流水线数据通路的叙述中，错误的是_____。

- A、包含生成控制信号的控制部件
- B、由组合逻辑电路和时序逻辑电路组合而成
- C、包含通用寄存器组和取指部件
- D、包含算术逻辑运算部件 (ALU)

某计算机的指令流水线由四个功能段组成，指令流经各功能段的时间（忽略各功能段之间的缓存时间）分别为 90ns、80ns、70ns、和 60ns，则该计算机的 CPU 时钟周期至少是_____。

- A、90ns
- B、80ns
- C、60ns
- D、70ns

若某计算机最复杂指令的执行需要完成 5 个子功能，分别由功能部件 A~E 实现，各功能部件所需时间分别为 80ps、50ps、50ps、70ps 和 50ps，采用流水线方式执行指令，流水段寄存器延时为 20ps，则 CPU 时钟周期至少为_____。

- A、60ps
- B、80ps
- C、100ps
- D、70ps

以下关于流水段寄存器的叙述中，正确的是_____。

- A、指令译码得到的控制信号需要经过流水段寄存器传递到下一段
- B、每个流水段之间的流水段寄存器存放的信息相同
- C、每个流水段之间的流水段寄存器位数相同
- D、用户程序可以通过指令指定访问哪个流水段寄存器

下列给出的指令系统特点中，有利于实现指令流水线的 A、指令长度一致 B、指令格式规整 C、指令和数据按边界对齐存放 D、只有 Load/Store 指令才能对操作数进行存储访问

下列给出的处理器类型中理想情况下 CPI 为 1 的是_____。
A、单周期 CPU B、多周期 CPU C、基本流水线 CPU D、超标量流水线 CPU

流水线处理器的控制器实现方式与单周期处理器控制器类似。控制信号沿各流水段逐级传递。在不同的流水段，在特定流水段部分信号被使用，部分信号向下一级流水段传递。 对

如果流水线各阶段操作平衡，在理想情况和有大量指令的情况下，流水线所带来的加速比与流水线的级数近似相同，例如：一个 5 级流水线能获得的加速比接近于 5。 对

在无转发机制的五段基本流水线中，下列指令序列存在数据冲突的指令对是_____。
I1: ADD R1, R2, R3; (R2)+(R3)→R1 I2: ADD R5, R2, R4; (R2)+(R4)→R5
I3: ADD R4, R5, R3; (R5)+(R3)→R4 I4: ADD R5, R2, R6; (R2)+(R6)→R5
A、I1 和 I2 B、I2 和 I3 C、I2 和 I4 D、I3 和 I4

不会引起指令流水线阻塞的是： A、数据旁路（转发） B、资源冲突 C、数据相关 D、条件转移

在采用“取指、译码/取数、执行、访存、写回”5 段流水线的处理器中，执行如下指令序列，其中 s0、s1、s2、s3 和 t2 表示寄存器编号。

I1 : add s2, s1, s0 //R[s2] ← R[s1]+R[s0]
I2 : load s3, 0 (t2) //R[s3] ← M[R[t2]+0]
I3 : add s2, s2, s3 //R[s2] ← R[s2]+R[s3]
I4 : store s2, 0(t2) //M[R[t2]+0] ← R[s2]

下列指令对中，不存在数据冒险的是_____。
A、I1 和 I3 B、I2 和 I3 C、I2 和 I4 D、I3 和 I4

采用指令 Cache 与数据 Cache 分离的主要目的是_____。
A、降低 Cache 的缺失损失 B、降低 CPU 平均访存时间 C、提高 Cache 的命中率
D、减少指令流水线资源冲突

以下是关于控制冒险的叙述，正确的有_____。
A、在分支转移指令后加入若干空操作指令可避免控制冒险
B、通过编译器调整指令（分支延迟槽技术）可解决部分控制冒险
C、通过分支预测技术可解决部分控制冒险 D、无条件跳转指令不会发生控制冒险
E、条件分支指令执行时有可能会发生控制冒险

以下是关于数据冒险的叙述，正确的有_____。
A、可采用硬件阻塞（气泡）的方法解决数据冒险
B、在发生数据冒险的指令之间插入空操作指令能避免数据冒险
C、采用重定向/旁路技术可解决所有数据冒险
D、通过编译器调整指令顺序（编译优化）可解决部分数据冒险

以下是关于结构冒险的叙述，正确的有_____。
A、结构冒险是指同时有多条指令使用同一个资源 B、数据 cache 和代码 cache 分离可解决结构冒险
C、寄存器堆的读写控制逻辑独立，所以实际上不存在冲突 D、重复设置功能部件可以避免结构冒险

1、下列说法正确的是_____。
A、采用写回法时，一个 Cache 数据在写操作数时同时写回主存
B、采用写穿法时，一个 Cache 数据在数据被换出时写回主存
C、写穿法中，需要为每个 cache 行设置一个修改位
D、写操作时，写分配和写不分配在缺失（不命中）时应用

2、硬件上容易实现，速度快，虚拟存储器的 TLB 表中为了提高替换速度，采用的替换算法是_____。

- A、FIFO B、LRU C、LFU **D、随机替换**

3、为每一行设置一个计数器，每次访问，命中行的计数器清零，而其他行的计数器加 1，替换时，将计数值最大的行换出。这种替换算法是_____。
~~A、FIFO~~ **B、LRU** ~~C、随机替换~~ ~~D、LFU~~。

1、替换算法与 cache 的组织方式密切相关，需要使用替换算法的是_____。

- A、全相联映射** **B、四路组相联映射** C、直接相联映射 **D、二路组相联映射**

2、下列因素中，与 cache 缺失率有关的是_____。

- A、cache 容量** **B、映射方式（相联度）** C、块大小 **D、cache 级数**

1、为实现 Cache 地址映射，需要将来自 CPU 的物理地址根据映射方式进行不同划分，错误的是（ ）

- A、全相联映射方式下，将地址划分为主存块地址和块内偏移地址两部分
B、组相联映射方式下，根据 Cache 分组数大小将地址划分为标记（Tag）、索引（Index）和块内偏移地址三部分。其中 Index 指向 Cache 特定组位置
C、K 路组相联是指 cache 被分成 K 组
D、直接相联映射方式下，根据 Cache 大小将地址划分为标记（Tag）、索引（Index）和块内偏移地址三部分。其中 Index 指向 Cache 特定行位置

2、相联存储器是按（~~A、地址~~ ~~B、堆栈~~ ~~C、队列~~ **D、内容**）进行寻址访问的存储器。

3、某计算机的 Cache 共有 16 块，采用 2 路组相联映射方式（即每组 2 块）。每个主存块大小为 32B，按字节编址。主存 129 号单元所在主存块应装入到的 Cache 组号是___**4**___。

4、主存和 CPU 之间增加高速缓冲存储器的目的是？

- A、解决 CPU 和主存之间的速度匹配问题** C、既扩大主存容量，又提高存取速度
B、有利于直接存储器访问 D、扩大主存容量

5、直接映射的主要缺点是

- A、实现过于复杂，成本过高 **C、替换操作频繁，命中率比较低**
B、相联度太高 D、命中时间长于其他映射方式

6、关于直接相联映射 cache 和全相联 cache，以下的说法哪个正确？

- A、两者在缺失率和访问延迟上表现相似
B、全相联映射的高速缓存缺失率低，直接映射高速缓存访问延迟短
C、全相联映射的高速缓存访问延迟短，直接映射高速缓存缺失率低
D、直接映射高速缓存存在缺失率和访问延迟方面都表现得更好

7、假定 Cache 被划分成 4 行，采用全相联映射和最不经常使用 LFU 替换算法，CPU 访问的数据块流依次为 22，11，22，19，11，16，19，4。则 CPU 访问数据块 4 时，将发生的调度操作是（ ）

- A、调出数据块 22 B、调出数据块 11 **C、调出数据块 16** D、调出数据块 19

8、在程序的执行过程中，高速缓存（cache）与主存的地址映射是由？

- A、硬件自动完成的** B、操作系统来管理的 C、编译器执行的 D、程序员调度的

9、假定主存按字节编址，cache 共 64 行，采用直接映射方式，主存块大小为 32 字节，所有编号都从 0 开始。问主存第 2593 号单元所在主存块对应的 cache 行号是（17）。

10、下列关于主存与 cache 地址映射方式的叙述中正确的是（ ）

- A、在 Cache 容量相等条件下，直接映射方式的命中率比组相联方式有更高的命中率
- B、在 Cache 容量相等条件下，组相联方式的命中率比直接映射方式有更高的命中率
- C、全相联映射方式比较适用于大容量 Cache
- D、直接映射是一对一的映射关系，全相联映射是一对多的映射关系

1、主存和 CPU 之间增加高速缓冲存储器的目的是_____。

- A、解决 CPU 和主存之间的速度匹配问题
- C、扩大主存容量
- B、既扩大主存容量，又提高存取速度
- D、提高内存可靠性

2、下列各类存储器中，不采用随机存取方式的是 A、EPROM B、CDROM C、SRAM D、DRAM。

3、下列存储器中，在工作期间需要周期性刷新的是_____。

- A、SRAM（静态随机存取存储器）
- C、FLASH（闪存）
- B、ROM（只读存储器）
- D、SDRAM（同步动态随机存储器）

4、在存储器层次结构中，存储器速度从最快到最慢的排列顺序是_____。

- A、寄存器-- cache --主存 -- 辅存
- C、寄存器-- cache -- 辅存 --主存
- B、寄存器 --主存 -- cache -- 辅存
- D、寄存器 -- 辅存 --主存 -- cache

5、下列关于闪存（FlashMemory）的叙述中，错误的是_____。

- A、信息可读可写，并且读、写速度一样快
- C、存储元由 MOS 管组成，是一种半导体存储器
- B、采用随机访问方式，可替代计算机外部存储器
- D、掉电后信息不丢失，是一种非易失性存储器

6、从存储介质上来说，内存储器通常是 A、半导体存储器 B、磁存储器 D、激光存储器。

在同一行中的元素在存储器中被连续存放，访问下列变量时，对局部性的描述正确的是？

```
for (i=0; i<1024; i++)  
    for (j=0; j<1024; j++)  
        A[i][j] = B[j][0]+A[j][i];
```

- A、程序段中 B[j][0]的空间局部性好
- B、程序段中 A[j][i]的时间局部性好
- C、程序段中 A[i][j]的空间局部性好
- D、循环体内指令的时间局部性好

2、某计算机按字节编址，数据按整数边界存放，可通过设置使其采用小端方式或大端方式，有一个 float 型变量的地址为 FFFF C000H，数据 X = 12345678H，无论采用大端还是小段方式，在内存单元 FFFF C001H，一定不会存放的数是 A、12H B、56H C、78H D、34H。

- 1、读写速度快，但是集成度低，容量小，主要用作 Cache 或小系统的内存存储器 (C)
 - 2、读写速度慢，但集成度高，容量大，现代微型计算机的主存由它构成 (D)
 - 3、由芯片制作商在生产、制作时写入其中数据，成本低，适合于批量较大、程序和数据已经成熟不需要修改的场合 (B)
 - 4、允许用户自行写入芯片内容，芯片出厂时，所有位均处于全“0”或全“1”状态，数据写入后不能恢复，只能写入一次 (F)
 - 5、可根据用户的需求，多次写入和擦除，重复使用，用于系统开发，需要反复修改的场合。当需要改写时，通过紫外线照射芯片上方的石英窗约 10~15 分钟，使浮栅恢复初态 1，便可使存储器全部复原，用户可以再次写入。(G)
 - 6、可根据用户的需求，多次写入和擦除，重复使用，用于系统开发，需要反复修改的场合。采用电擦除技术，可在电路板上直接编程写入和擦除，无需把芯片从电路板上拔下，无需专用电路，允许以字节为单位擦除和重写。(E)
 - 7、在 EEPROM 技术基础上发展的，是一种非易失性存储器，即断电数据也不会丢失，又可进行数据的读和写。分为 NOR 型与 NAND 型：NOR 型像内存，有独立的地址线 and 数据线，但价格比较贵，容量比较小；而 NAND 型像硬盘，地址线 and 数据线是共用的 I/O 线，成本低，容量大。(A)
- A、闪存 Flash Memory B、掩模型只读存储器 MROM C、静态随机存取存储器 SRAM
D、动态随机存取存储器 DRAM E、电可擦除可编程只读存储器 EEPROM
F、可编程只读存储器 PROM G、可擦除可编程只读存储器 EPROM

- 1、采用重定向/旁路机制，仍不能解决数据冒险的指令序列是_____。
- A、add \$1, \$1, \$2 B、add \$1, \$1, \$2 C、lw \$5, 4(\$1) D、lw \$5, 4(\$1)
sub \$2, \$1, \$0 or \$4, \$5, \$4 add \$6, \$5, \$7 sub \$1, \$2, \$3
or \$4, \$5, \$4 sub \$2, \$1, \$0 sub \$1, \$2, \$3 add \$6, \$5, \$7

- 2、下列关于超标量流水线特性的叙述中，正确的是 II、III。
- I. 能缩短流水线功能段的处理时间 II. 能在一个时钟周期内同时发射多条指令
III. 能结合动态调度技术提高指令执行并行性

- 3、下列给出的处理器类型中理想情况下 CPI 为 1 的是 I、III。
- I. 单周期 CPU II. 多周期 CPU III. 基本流水线 CPU IV. 超标量流水线 CPU

- 1、有如下指令序列在 5 段流水线处理器中执行：
- or r1, r2, r3 or r2, r1, r4 or r1, r1, r2
- (1 若流水线处理器没有旁路，则需要插入 4 个气泡才能消除数据冒险。
(2 若流水线处理器中有充分的旁路，则该指令序列执行需要 7 个时钟周期。

- 2，下图给出了数据通路中不同阶段的延迟情况，则：（注意：只填数字即可）

- (1) 流水线处理器的时钟周期= 350 ps。
(2) 单周期处理器的时钟周期= 1250 ps。
(3) LW 指令在流水线处理器中的总延迟= 1750 ps。
(4) LW 指令在单周期处理器中的总延迟= 1250 ps。

IF	ID	EX	MEM	WB
250ps	350ps	150ps	300ps	200ps

- 1、动态分支预测技术中，有一个全相联 cache，分支预测缓存（分支历史记录表），用于存放分支指令的分支跳转历史统计信息，包括：_____等。
- A、分支指令地址 C、1 位或 2 位分支预测位
B、顺序地址 (PC+4) D、分支目标地址