4.2；4.3；4.8；4.9；4.11；4.12；4.15；

**4.2**

**1.**控制单元、算数逻辑单元、指令存储器、数据存储器、寄存器的读写端口。

**2.**不需要。**这个指令可以使用现有的模块来实现。**

**3.**不需要。**这个指令可以实现没有添加新的控制信号。它只需要控制逻辑的变化。**

**4.3**

**1.改进前的时钟周期=400+200+30+120+350+30=1130ps**

**改进后的时钟周期=1130+30=1430ps**

**2加速比=改进前的CPU执行时间/改进后的CPU执行时间=0.83**

**3.改进前的成本=1000+30\*2+10\*3+100+200+2000+500=3890**

**改进后的成本=3890+600=4490**

**改进前后的成本=4490/3890=1.15**

**成本比/加速比=1.15/0.83=1.39**

**4.8**

**1.非流水线处理器的时钟周期=250+350+150+300+200=1250ps**

**流水线处理器的时钟周期=max{250，350，150，300，200}**

**2.lw指令在非流水线处理器中的总延迟=350\*5=1750ps**

**3.选择ID级进行划分**

**划分后的处理器的时钟周期=max{.250，350，150，300，200}=300ps**

**4.在4种指令中，LW指令和用到了数据存储器**

**数据存储器的利用率=20%+15%=35%**

**5.在4种指令中，alu指令和lw指令用到了寄存器堆的写寄存器端口**

**寄存器的写寄存器端口的利用率：45%+20%=65%**

**6.单周期设计的时钟周期为1250ps**

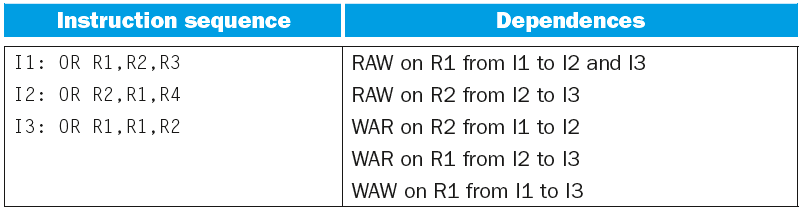
**多周期设计和流水线设计的时钟周期均为350ps**

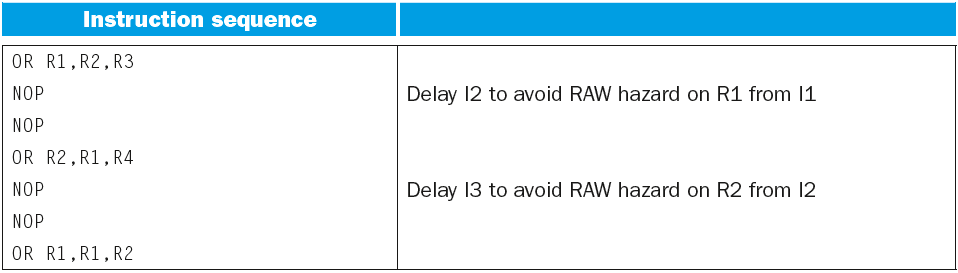
**由分析可知，流水线设计的总执行时间最短**

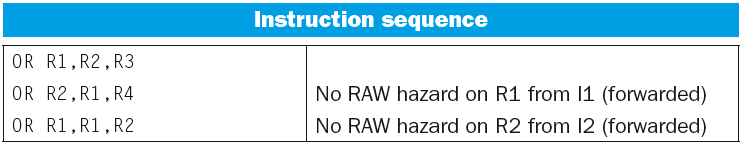
**单周期设计的总执行时间/流水线设计的总执行时间=1250/350=3.57**

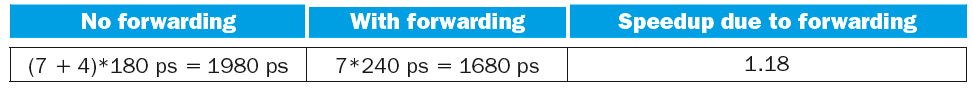
**多周期设计：alu指令需要4个时钟周期（不需要MEM阶段），beg指令需要三个时钟周期。（大多数学生写4.2个时钟周期）**

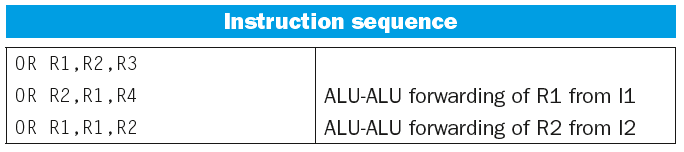
**4.9**

**1.** 

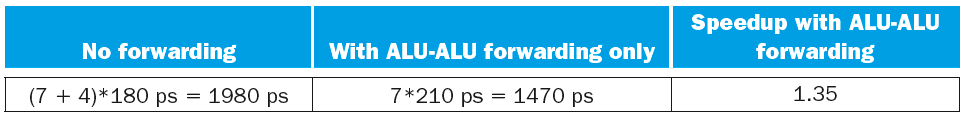
2. 

3. 4.

4. 

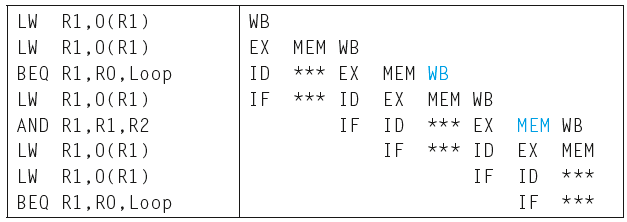
5. 

6

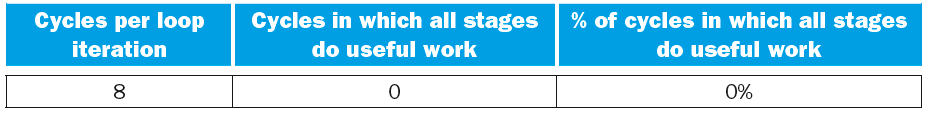
6. 

444**4.44.11**

**1.**

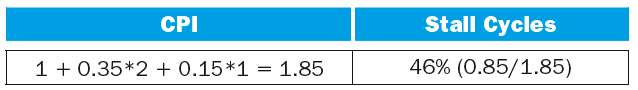


22.



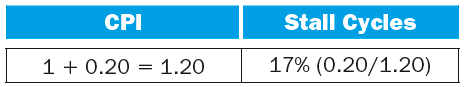
**444.44.12**

**1.**

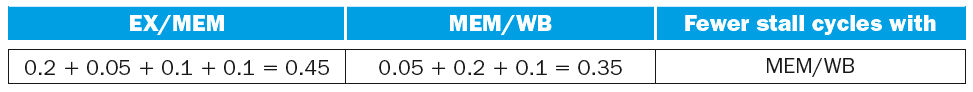


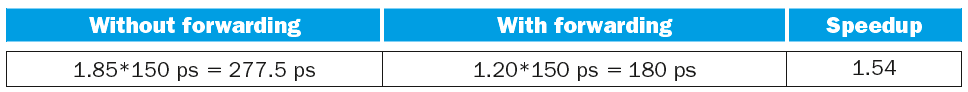
2.

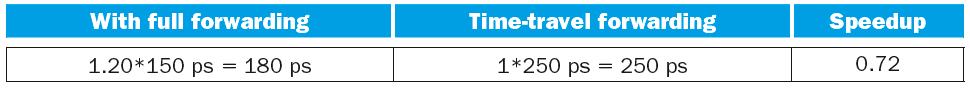
.2

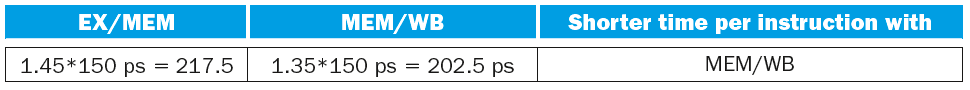
.22 

3.



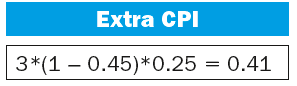
4. 

5. 

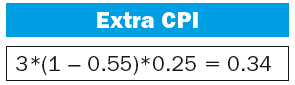
6. 

**4.15**

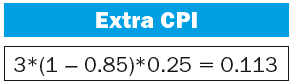
**1.**



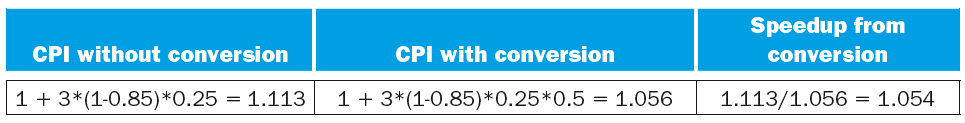
2.



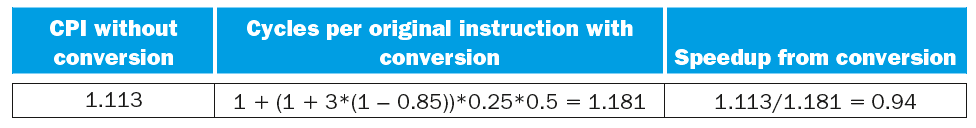
3.



4.



5.



6.

