

第3章 集成逻辑门

3.1 晶体管的开关特性

3.2 TTL集成逻辑门

3.4 MOS逻辑门

3.5 CMOS电路

用以实现基本逻辑关系的电子电路称为逻辑门电路

常用的逻辑门有与门、或门、非门等
本章是全课程的器件基础，介绍基本开关元件的开关特性和最常用的TTL集成逻辑门及CMOS集成逻辑门的工作原理和主要外部特性

3.1 晶体管的开关特性

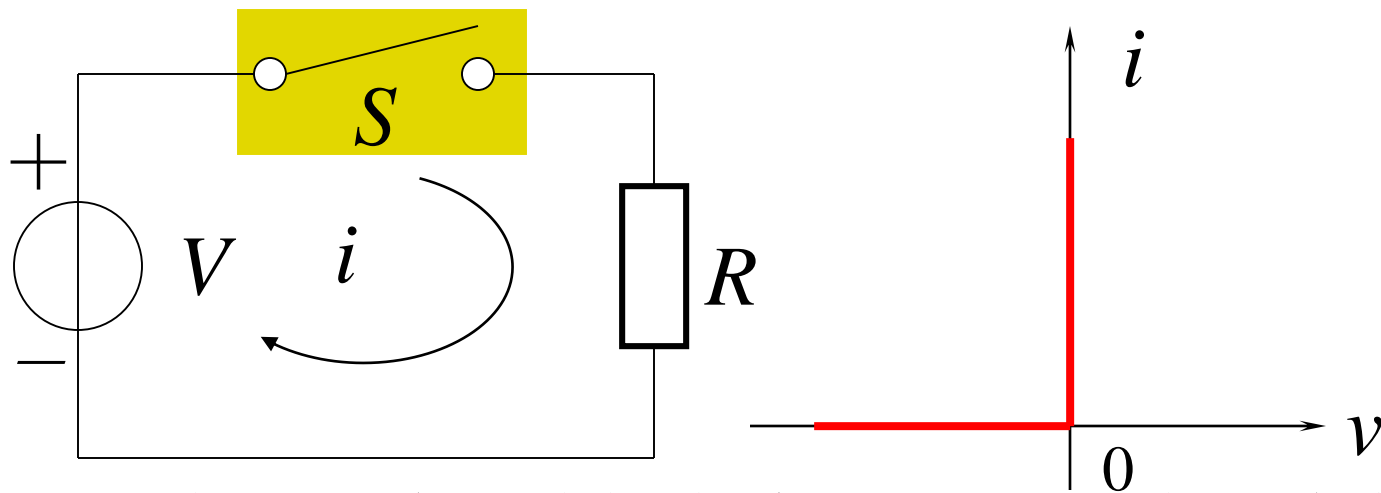
晶体管是电子电路中最常见的半导体器件。在逻辑门电路中，晶体二极管、三极管及MOS管都工作在开关状态，利用它们的接通状态和断开状态或输出低电平和高电平分别表示二值逻辑的0和1。在电路中，晶体管处于接通、断开状态时，以及在两种状态之间转换时所呈现的特性称为晶体管的开关特性

3.1.1 晶体二极管开关特性

具有接通或断开电路功能的元件称为开关，它所具有的伏安特性就是开关特性

晶体二极管是一种开关元件，在一定条件下可以近似当成一个理想开关来分析。但是在严格的电路分析时或高速开关电路中则不能当成理想开关

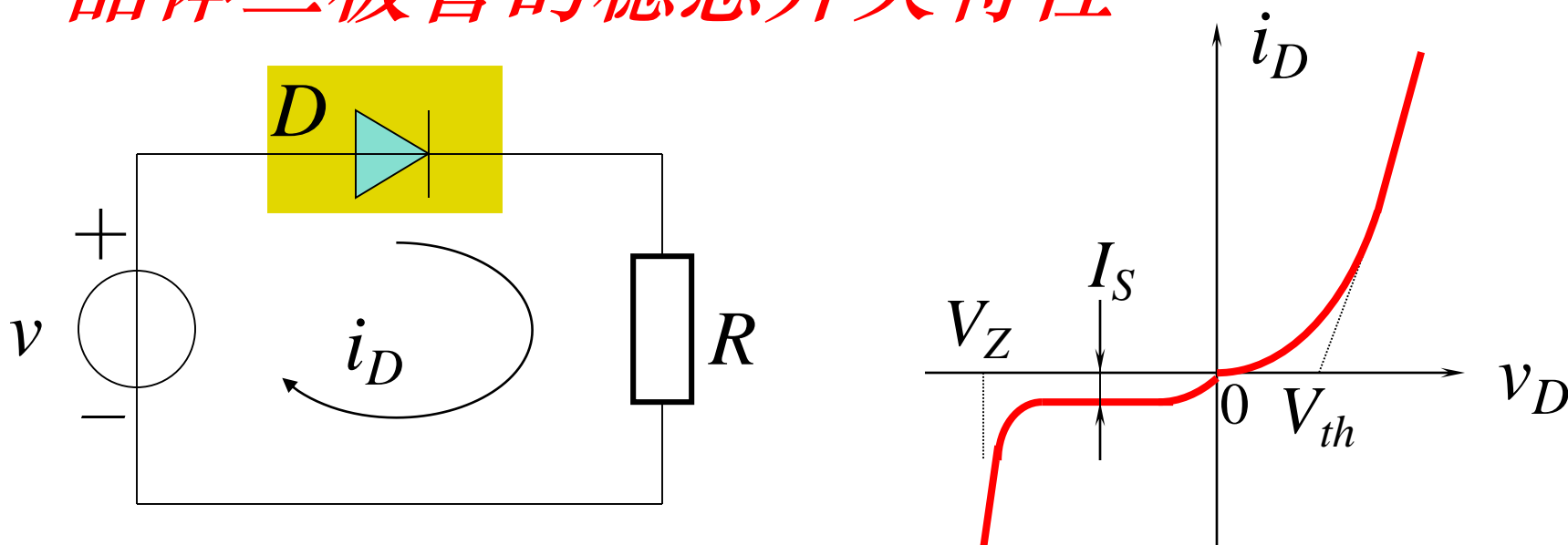
理想开关特性



- ❖ 开关断开时，通过开关的电流 $i=0$ ，开关两端点间呈现的电阻为无穷大
- ❖ 开关闭合时，开关两端的电压为 $v=0$ ，开关两端点间呈现的电阻为零
- ❖ 开关的接通或断开动作瞬间完成
- ❖ 上述开关特性不受其它因素(如温度等)影响

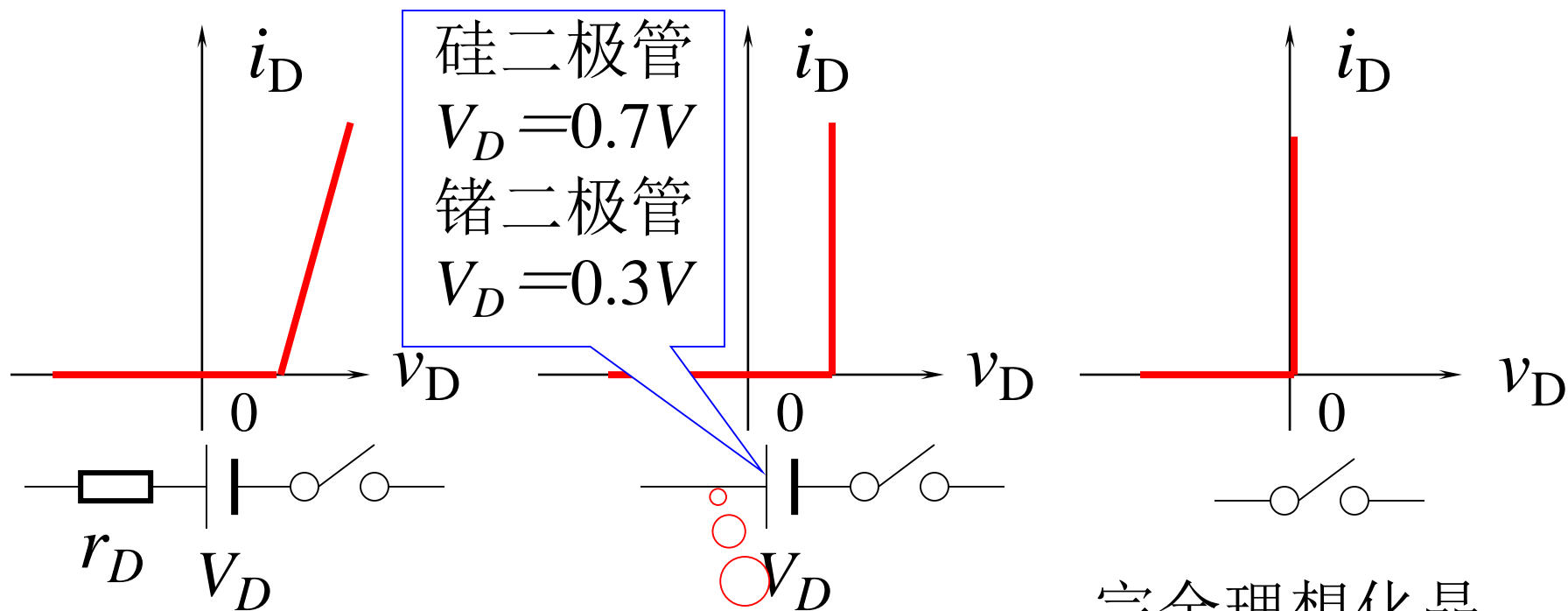
3.1.1 晶体二极管开关特性

晶体二极管的稳态开关特性



当晶体二极管反偏截止时， $i_D = -I_S \neq 0$ ；正偏导通时， $v_D = V_{th} \approx 0.7V \neq 0$ ；在截止和导通之间转换时决不可能在瞬间完成；而且 i_D 和 v_D 都还会随温度等环境条件的变化而变化，显然晶体二极管不是理想开关

晶体二极管稳态开关特性近似分析



模拟电子电路
中晶体二极管
的等效电路

数字电路中晶
体二极管的等
效电路

完全理想化晶
体二极管的等
效电路

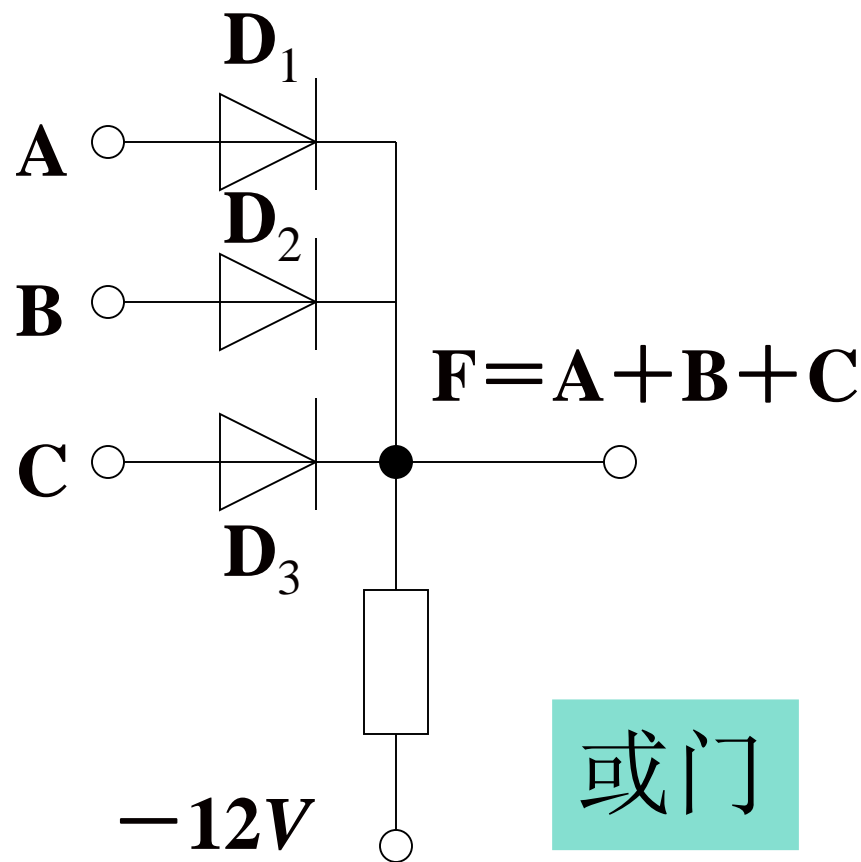
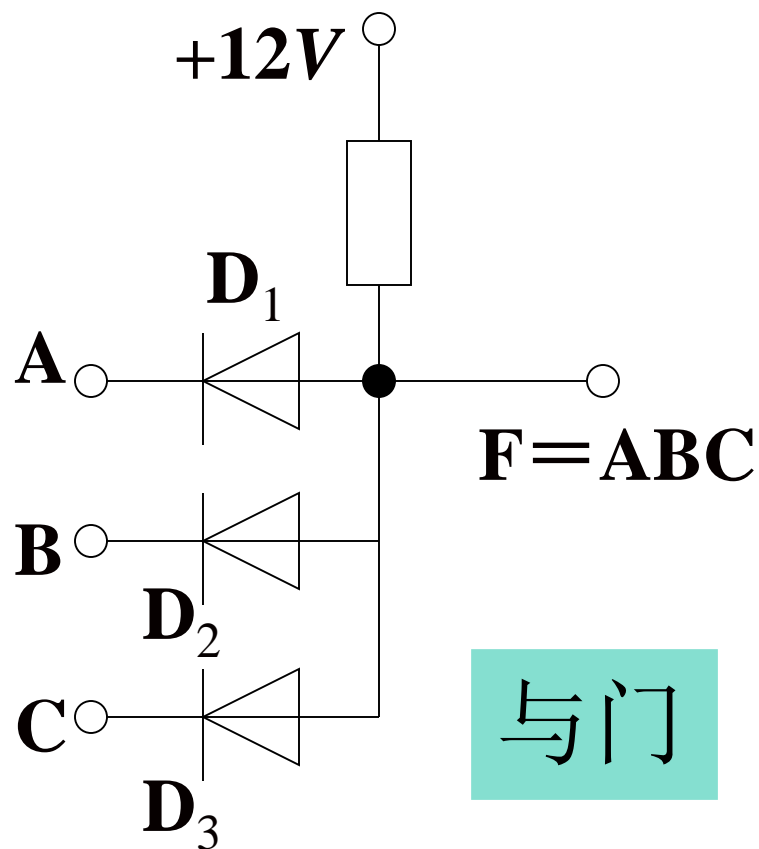
晶体二极管的瞬态开关特性

电路处于瞬变状态下，二极管呈现的特性称为瞬态开关特性

晶体二极管在导通和截止间转换时，呈现的瞬态开关特性，其内在机理在于二极管的等效势垒电容和结电容的充、放电过程，即电荷的积累和消散过程需要一定时间。常用正向恢复时间和反向恢复时间来表征二极管的开关速度

晶体二极管的开关应用

二极管门电路



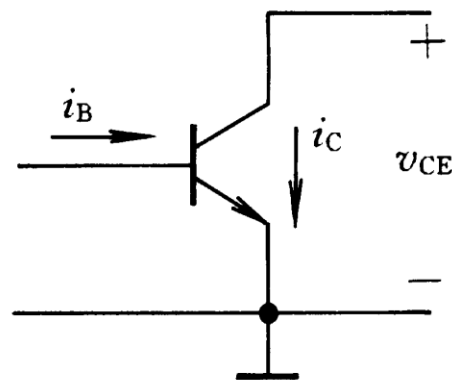
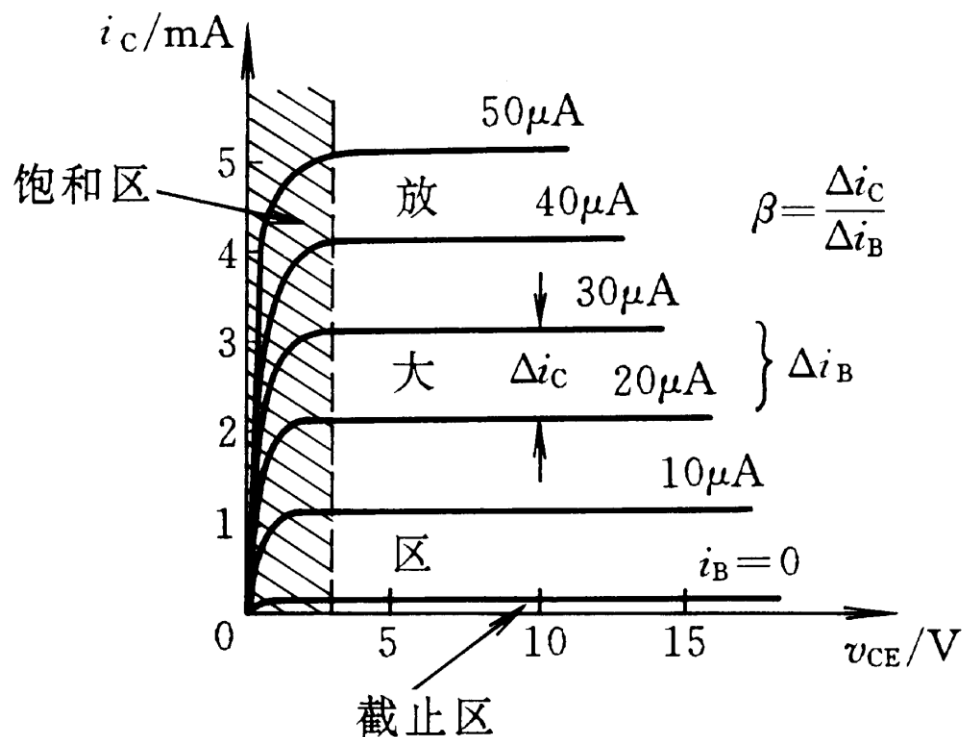
3.1.2 晶体三极管开关特性（BJT）

晶体三极管作为开关元件时，其优点在于具有**增益**，可以用基极微小信号控制集电极和发射极间的通、断，并具有一定的带负载能力

晶体三极管作为开关元件时，电路大多连接成**共发射极**组态，总是工作在饱和状态和截止状态，而放大状态仅仅是一种过渡状态

- 特性曲线分三个部分

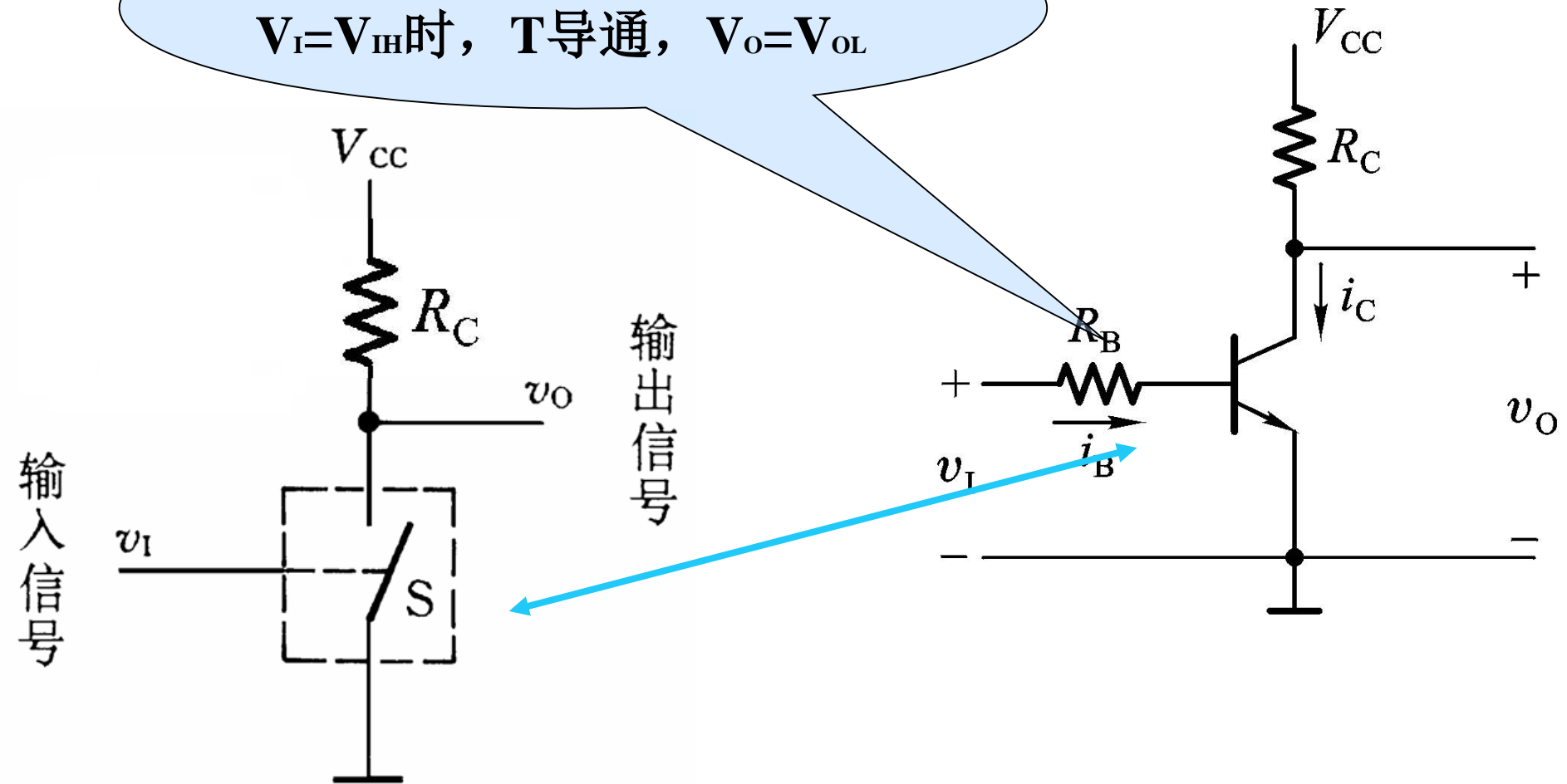
- ① 放大区：条件 $V_{CE} > 0.7V$, $i_B > 0$, i_C 随 i_B 成正比变化, $\Delta i_C = \beta \Delta i_B$ 。
- ② 饱和区：条件 $V_{CE} < 0.7V$, $i_B > 0$, V_{CE} 很低, Δi_C 随 Δi_B 增加变缓, 趋于“饱和”。
- ③ 截止区：条件 $V_{BE} = 0V$, $i_B = 0$, $i_C = 0$, c—e 间“断开”。



$$i_C = f(V_{CE})$$

双极型三极管的基本开关电路

$V_I = V_{IL}$ 时, T截止, $V_O = V_{OH}$
 $V_I = V_{IH}$ 时, T导通, $V_O = V_{OL}$

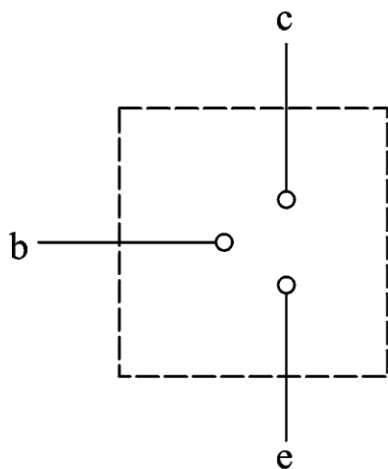


晶体三极管的稳态开关特性

工 作 状 态		截 止	饱 和
条 件	偏 置	$v_{BE} \leq 0.5V, v_B < v_C$	$v_{BE} \geq 0.7V, v_B > v_C$
	基 极 电 流	$i_B \approx 0$	$i_B \geq I_{BS} = \frac{V_{CC} - V_{CE(Sat)}}{\beta R_C}$
特 点	集电极电流	$i_C \approx 0$	$i_C = \frac{V_{CC} - V_{CE(Sat)}}{R_C} \approx \frac{V_{CC}}{R_C}$
	C—E 间压降	$v_O = v_{CE} \approx V_{CC}$	$v_O = v_{CE(Sat)} \approx 0.3V$
	B—C 结状态	反 偏	正 偏
	B—E 结状态	反 偏	正 偏
	C—E 间电阻	很 大	很 小

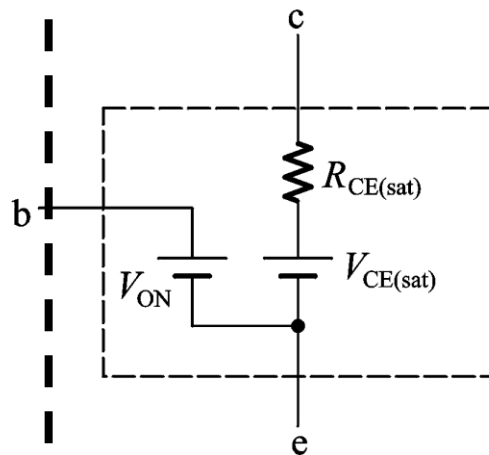
三极管的开关等效电路

截止状态

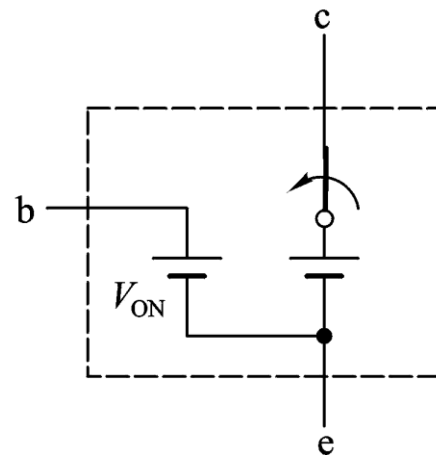


(a)

饱和导通状态



(b)



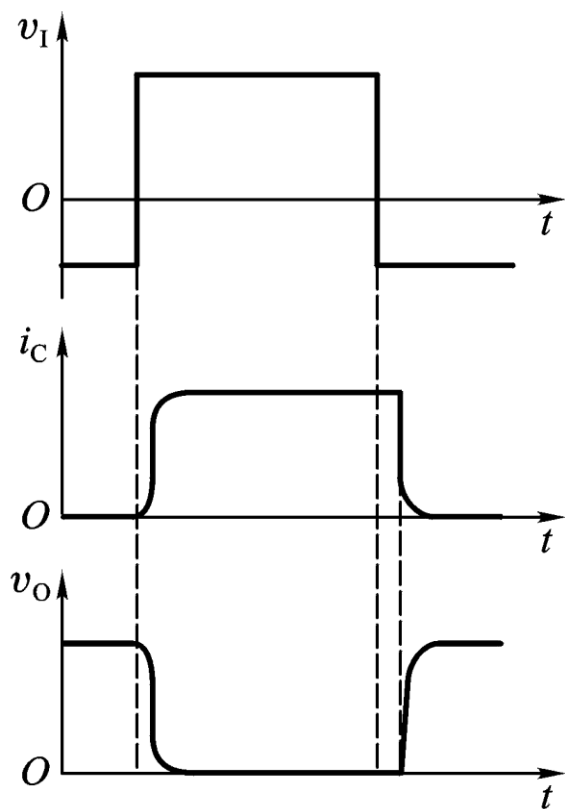
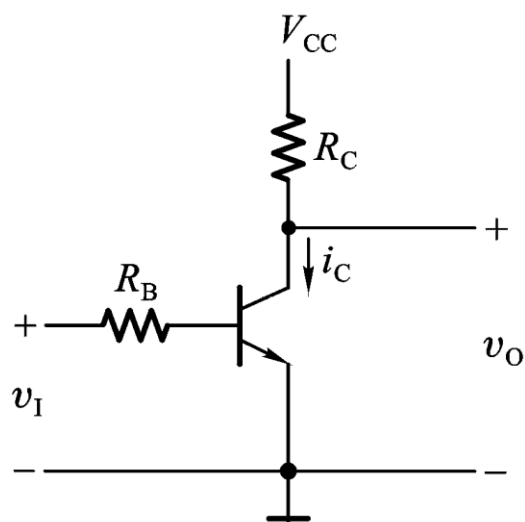
(c)

晶体三极管的瞬态开关特性

晶体三极管在饱和状态与截止状态之间转换时呈现的开关特性称为瞬态开关特性

晶体三极管从截止状态转向饱和状态所需时间称为**开通时间** t_{on} (包括延迟时间 t_d 和上升时间 t_r); 从饱和状态转向截止状态所需时间称为**关断时间** t_{off} (包括存储时间 t_s 和下降时间 t_f)

动态开关特性

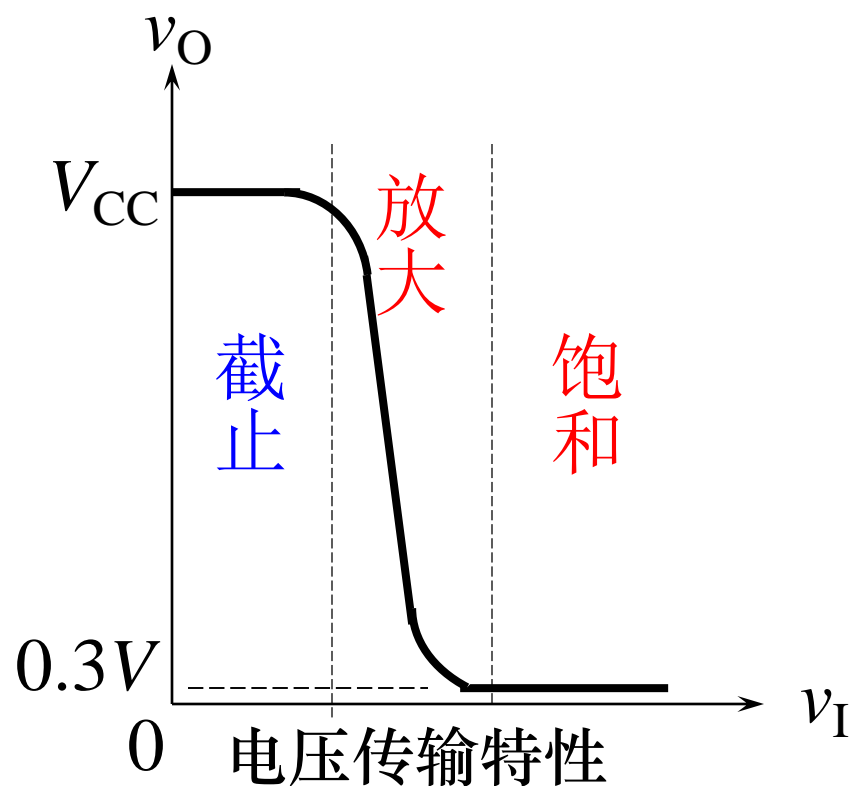
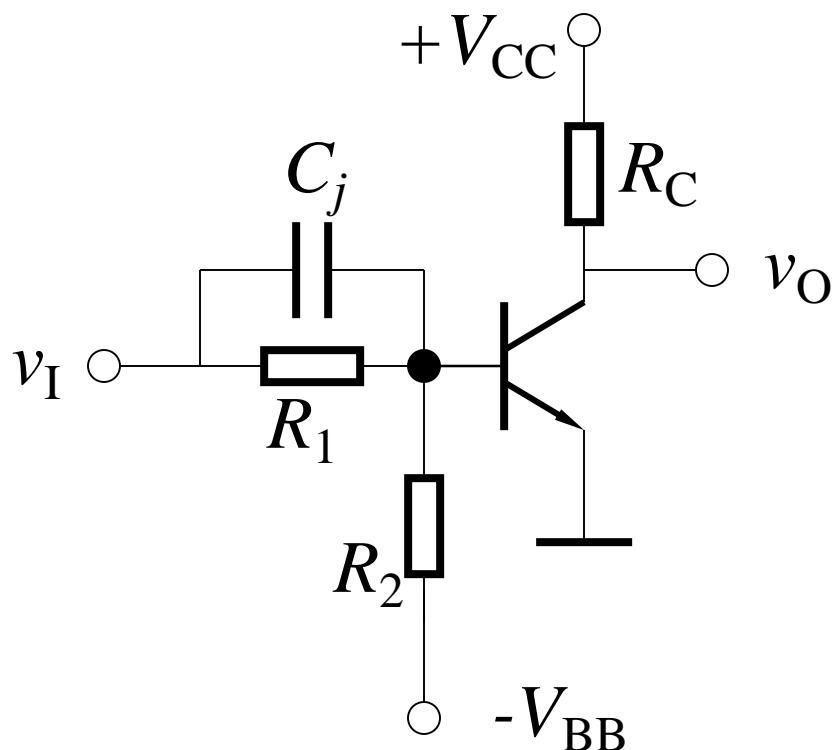


从二极管已知，PN结存在电容效应。

在饱和与截止两个状态之间转换时， i_C 的变化将滞后于 V_I ，则 V_O 的变化也滞后于 V_I 。

晶体三极管的开关应用

三极管的基本开关电路就是非门



晶体三极管的开关应用

晶体三极管反相器正常工作条件

设输入高、低电平分别是 V_H 和 V_L 则截止条件是：

$$v_{BE} = V_L - \frac{V_L + V_{BB}}{R_1 + R_2} \cdot R_1 \leq 0$$

饱和条件是：

$$i_B = i_1 - i_2 \geq I_{BS} = \frac{V_{CC} - 0.7}{\beta R_C}$$

$$i_1 = \frac{V_H - 0.7}{R_1} \quad i_2 = \frac{0.7 + V_{BB}}{R_2}$$

3.2 TTL集成逻辑门

TTL(***T**ransistor-**T**ransistor
Logic*)

即晶体管—晶体管逻辑电路，数字电路中一类最常见的双极型集成逻辑门。

3.2.1 晶体管—晶体管逻辑门电路

常见的TTL门电路系列有：

- ❖ 标准通用系列 CT54/74××系列
- ❖ 高速系列 CT54H/74H××系列
- ❖ 肖特基系列 CT54S/74S××系列
- ❖ 低耗肖特基系 CT54LS/74LS××系列

54系列(军用)：电源电压 $(5 \pm 0.5)V$ ，使用环境温度范围 $-55^{\circ}\text{C} \sim +125^{\circ}\text{C}$

74系列(民用)：电源电压 $(5 \pm 0.25)V$ ，使用环境温度范围 $0^{\circ}\text{C} \sim +70^{\circ}\text{C}$

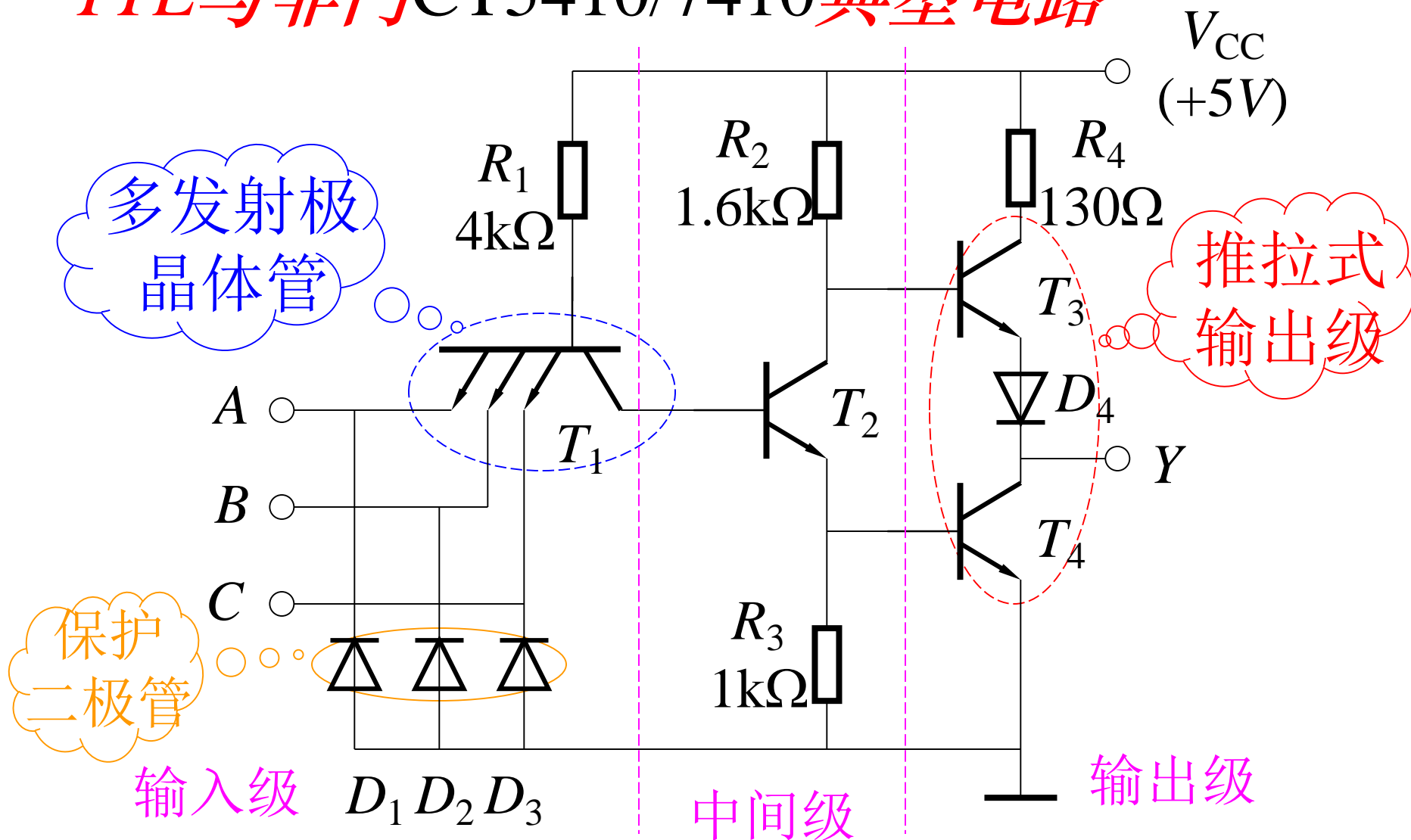
TTL门电路的标称

逻辑高电平是3.6V

逻辑低电平是0.3V

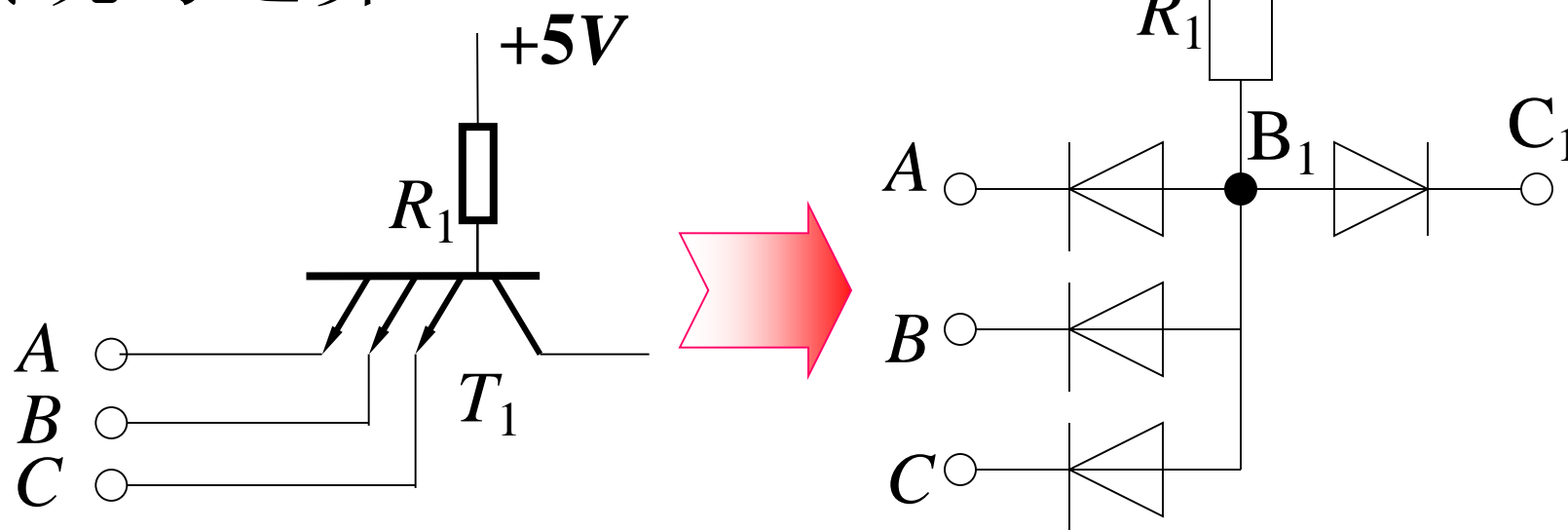
3.2.1 晶体管—晶体管逻辑门电路

TTL与非门CT5410/7410典型电路



*TTL与非门*CT5410/7410的特点

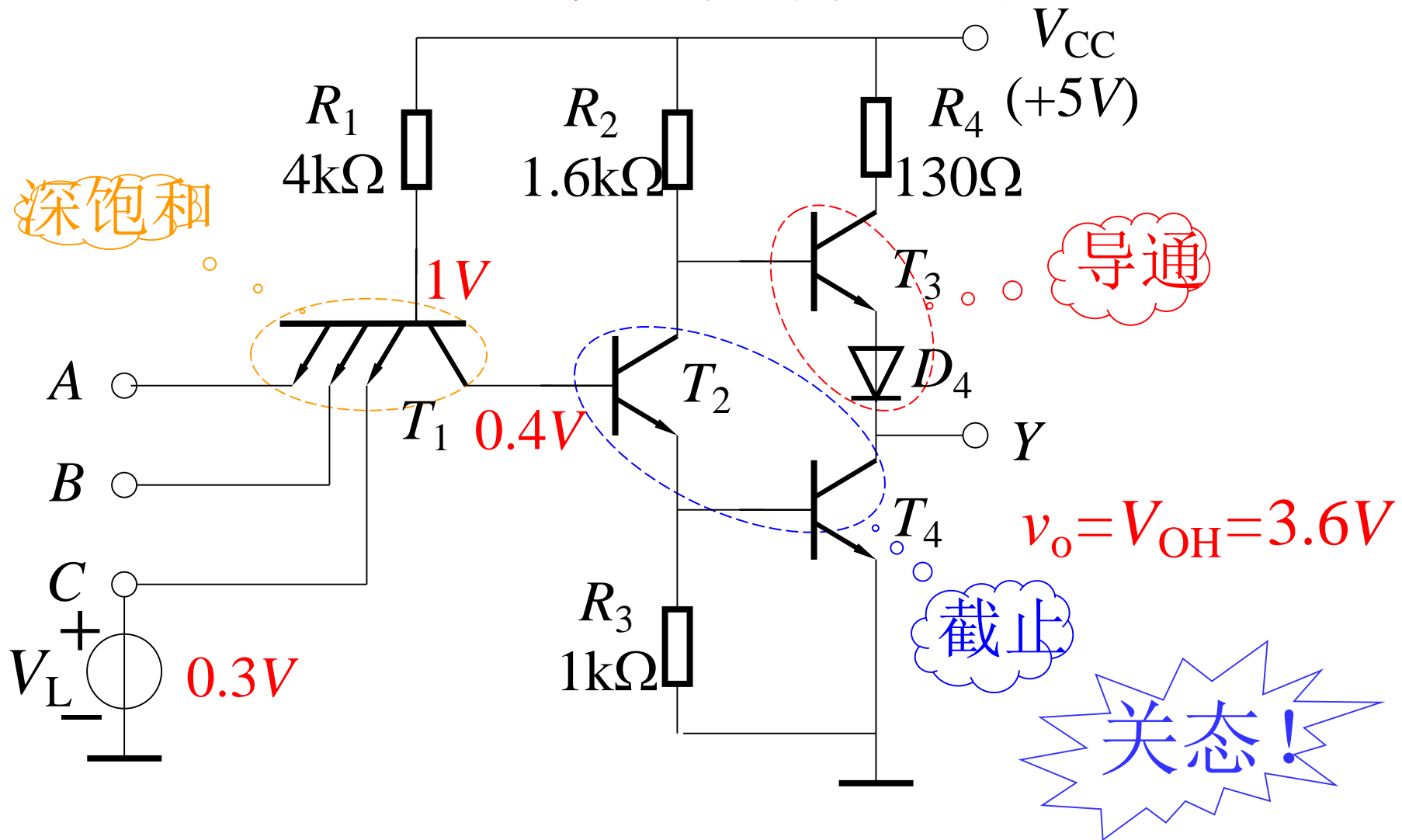
多发射极晶体管的作用是 $+5V$
实现与运算



推拉式输出级有助于提高开关速度和增强
电路带负载能力

3.2.1 晶体管—晶体管逻辑门电路

A、B、C中至少有一个为低电平时



TTL 与非门 CT5410/7410 工作原理

A、B、C中至少有一个为低电平（0.3V）时

$$v_I = 0.3V \rightarrow v_{B1} = 1V \rightarrow T_1 \text{ 深饱和} \rightarrow v_{CES1} \approx 0.1V$$

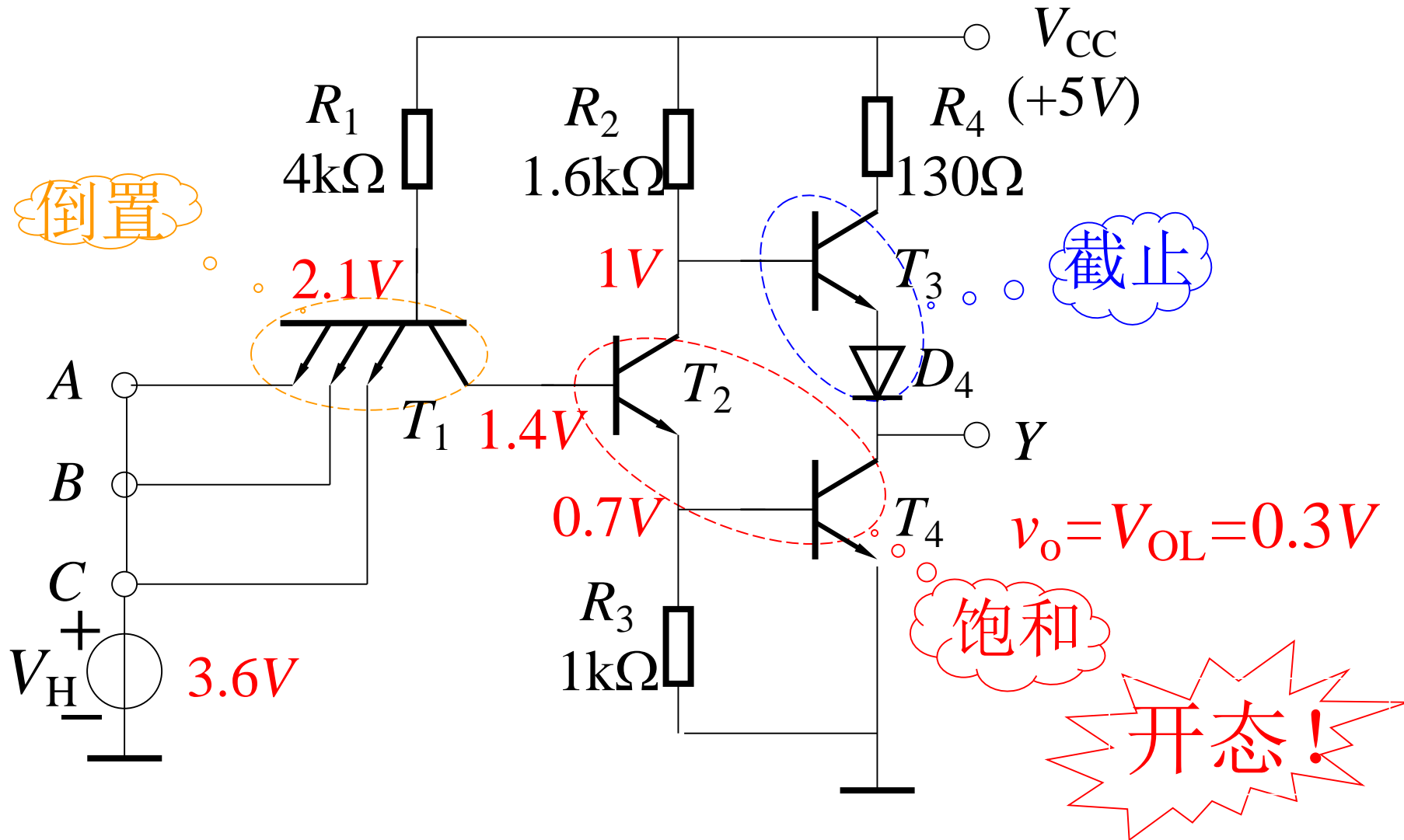
$$[i_{B1} = (5 - 1) \div 4k = 1mA \gg I_{BS}]$$

$$\rightarrow v_{C1} = 0.4V \rightarrow T_2 \text{ 截止} \rightarrow T_4 \text{ 截止} \left. \vphantom{\begin{matrix} \rightarrow v_{C1} = 0.4V \\ \rightarrow T_2 \text{ 截止} \\ \rightarrow T_4 \text{ 截止} \end{matrix}} \right\} \rightarrow T_3, D_4 \text{ 导通}$$

$$\begin{aligned} \rightarrow v_o &= V_{CC} - i_{B3} R_2 - v_{BE3} - v_{D4} \\ &\approx 5 - 0 - 0.7 - 0.7 \\ &= 3.6V = V_{OH} \end{aligned}$$

3.2.1 晶体管—晶体管逻辑门电路

A、B、C全部为高电平时



TTL 与非门 CT5410/7410 *工作原理*

A、B、C全部为高电平（3.6V）时

$$v_I = 3.6V \rightarrow v_{B1} = 2.1V \rightarrow T_1 \text{ 倒置} \rightarrow v_{C1} = v_{B2} = 1.4V$$

$$[v_{B1} = v_{BC1} + v_{BE2} + v_{BE4} = 0.7 + 0.7 + 0.7 = 2.1V]$$

$$\rightarrow T_2 \text{ 饱和} \rightarrow v_{E2} \approx 0.7V, v_{CES2} \approx 0.3V$$

$$\left\{ \begin{array}{l} \rightarrow v_{C2} = 0.7 + 0.3 = 1V \rightarrow T_3, D_4 \text{ 截止} \\ \rightarrow v_{B4} = v_{E2} \approx 0.7V \rightarrow T_4 \text{ 饱和} \end{array} \right.$$

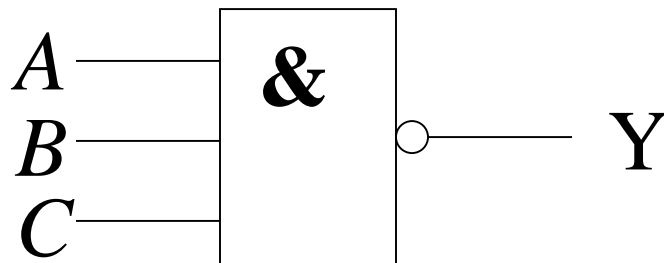
$$\rightarrow v_o = v_{CES4} \approx 0.3V = V_{OL}$$

TTL 与非门CT5410/7410的逻辑功能

根据分析不难列出电路的真值表，并得出结论：该电路输入见“0”出“1”，输入全“1”出“0”，其逻辑功能是

$$Y = \overline{A \cdot B \cdot C}$$

与非门的逻辑符号是



A	B	C	Y
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

3.2.2 TTL与非门的主要外部特性

TTL与非门的主要外部特性包括

电压传输特性：输入、输出电压之间关系

输入特性：输入电压与输入电流之间关系

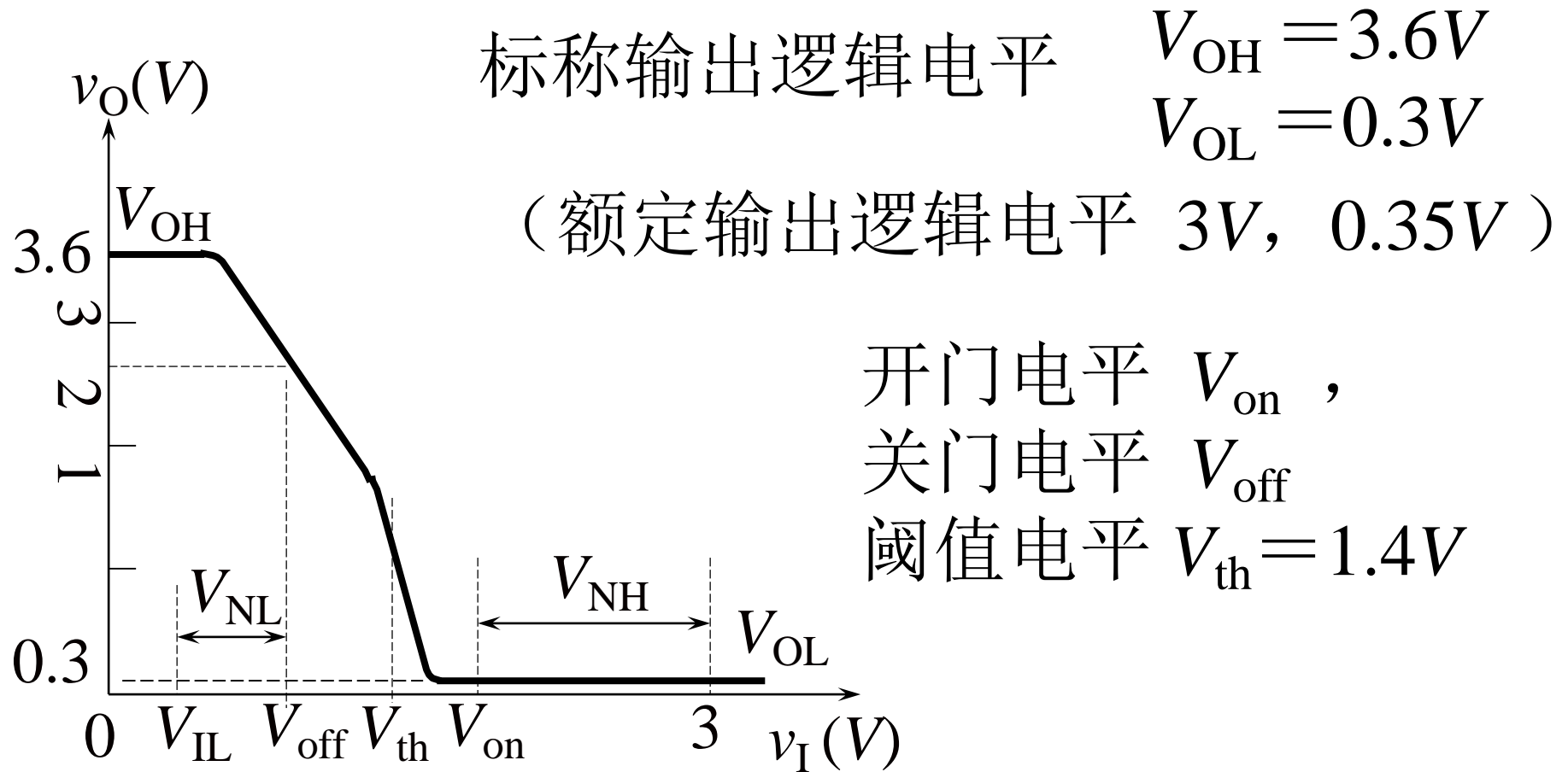
输出特性：输出电压与输出电流之间关系

电源特性：平均功耗

传输延迟特性：动态特性

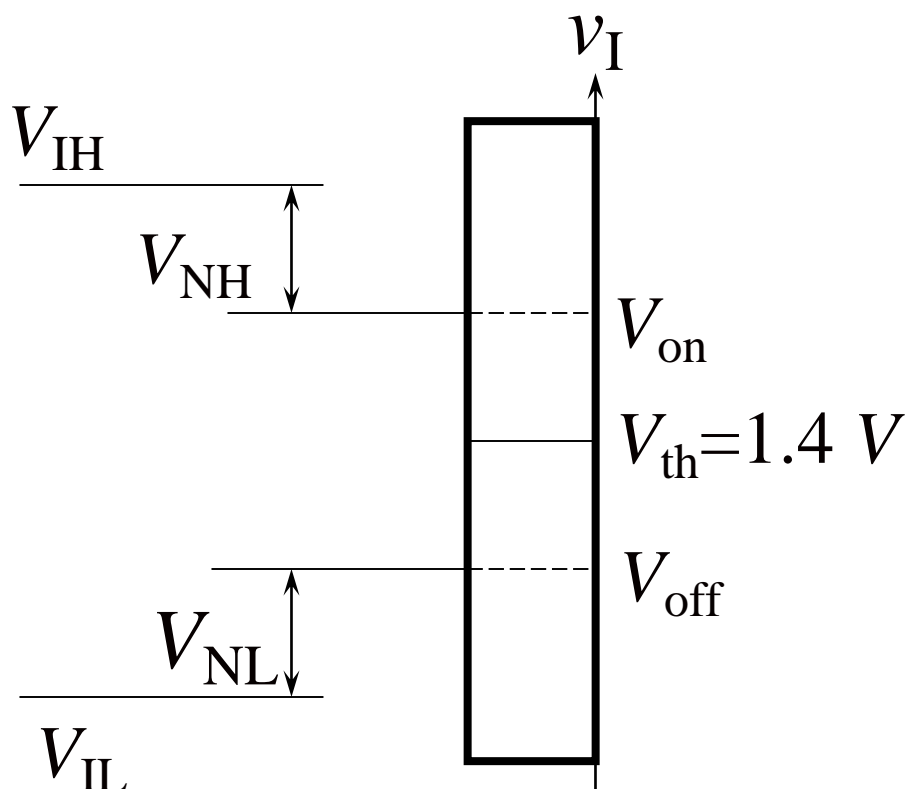
通过讨论这些外部特性，进而了解它们的技术参数，帮助我们更好地使用数字集成电路

电压传输特性



电压传输特性

关于噪声容限



输入高电平噪声容限

$$V_{IH} - V_{NH} \geq V_{on}$$

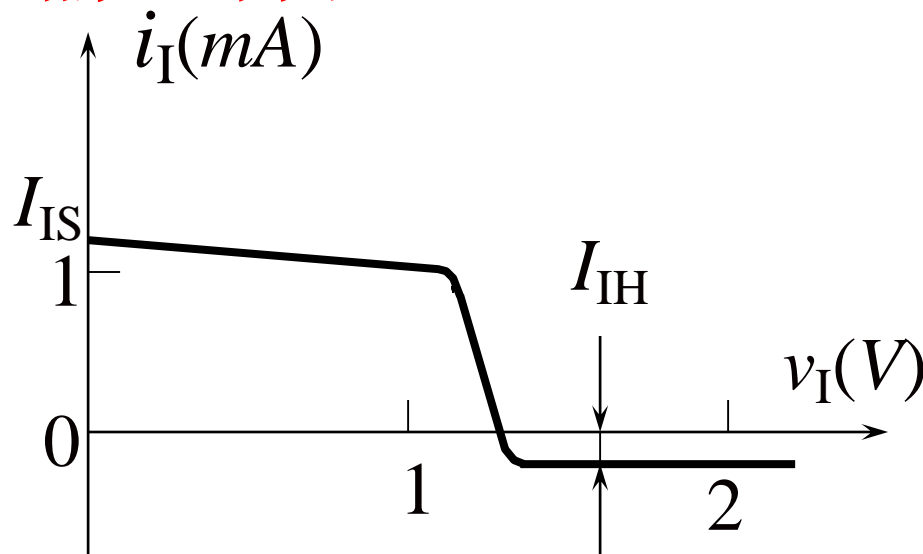
$$V_{NH} = V_{IH} - V_{on}$$

输入低电平噪声容限

$$V_{NL} + V_{IL} \leq V_{off}$$

$$V_{NL} = V_{off} - V_{IL}$$

输入特性（输入伏安特性）



$$i_I = \frac{V_{CC} - 0.7 - v_I}{R_1}$$

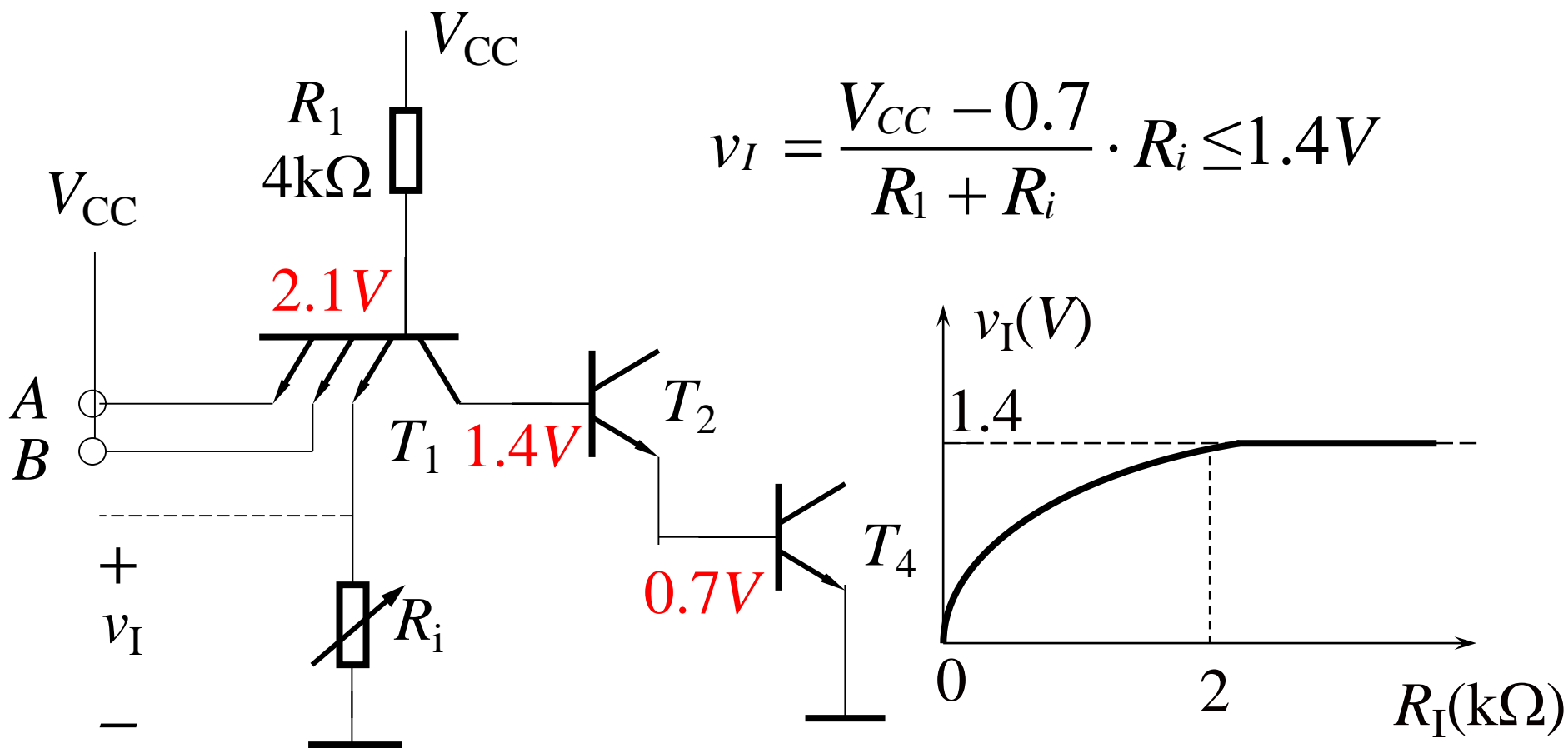
当 $v_I = 0$ 时

$$i_I = I_{IS} \approx 1.08 \text{ mA}$$

当输入端对地短路时，从输入端流出的电流称为**输入短路电流** I_{IS}

当输入高电平时流入输入端的电流称为**输入漏电流** $I_{IH} \approx 40 \mu\text{A}$

输入特性（输入负载特性）



输入特性（输入负载特性）

与非门的输入端外接接地电阻 R_i 时，由于 T_1 管发射极电流在电阻 R_i 上产生的电压降等效这个输入端的输入电压，该电压直接影响与非门的输出状态。根据分析，这个电压的数值决定于电阻 R_i 的大小，且最大值为1.4V，可以计算出，当 R_i 小于某个数值时，产生的电压很小，相当于输入逻辑0，当 R_i 大于某个数值时，产生的电压为1.4V，相当于输入逻辑1，显然， R_i 决定与非门的状态

输入特性（输入负载特性）

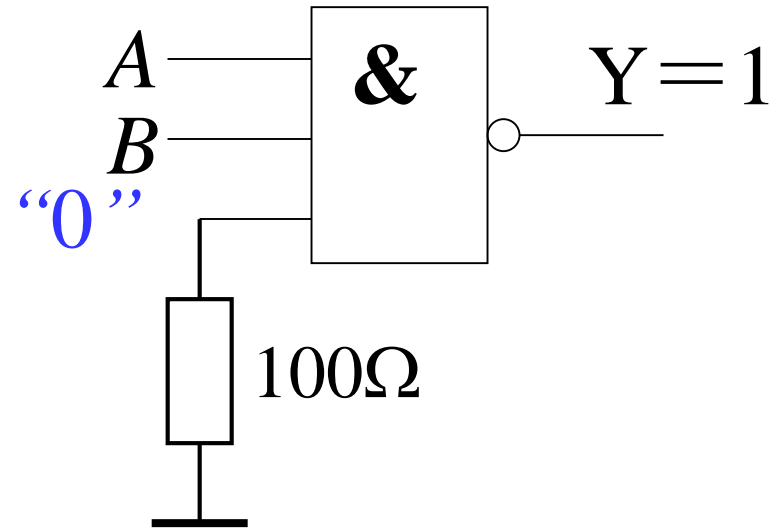
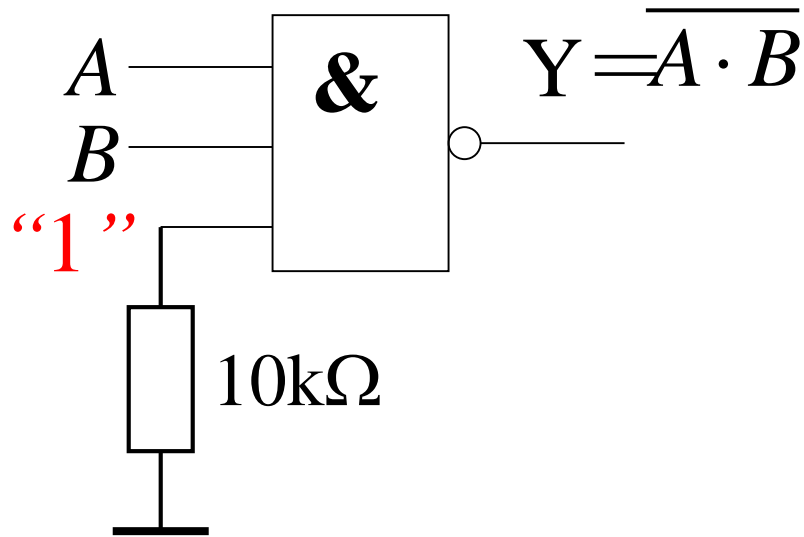
由此引出一个TTL门电路多余输入端的正确处理
方法问题：

为避免干扰多余输入端一般不应悬空，若悬空则
相当于外接无穷大电阻；

为保证门电路的逻辑功能正确，多余输入端可接
适当电平、与在用输入端并联使用；

当需要外接电阻时，应当注意到电阻 R_i 对门电路
工作状态的影响：当 $R_i \geq 3.2\text{k}\Omega$ (开门电阻 R_{on})时，相
当于输入逻辑1；当 $R_i \leq 910\Omega$ (关门电阻 R_{off})时，相当
于输入逻辑0

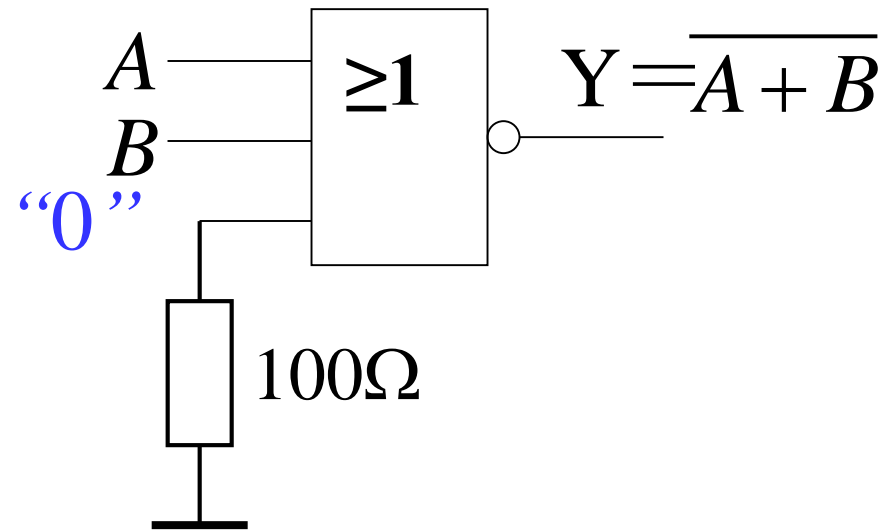
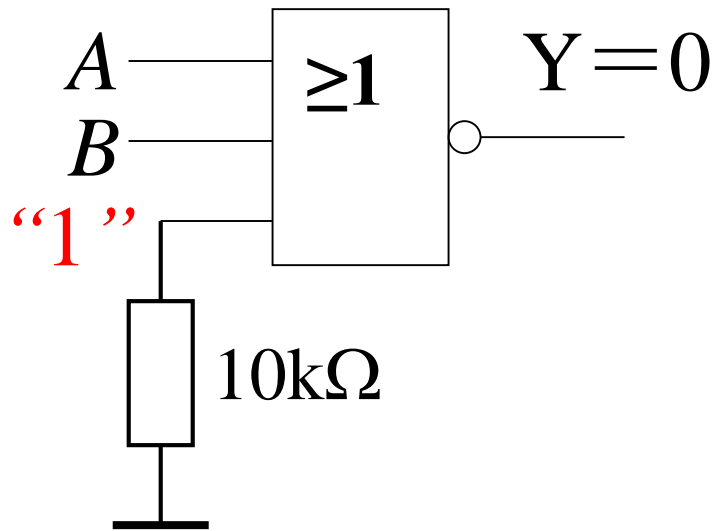
TTL与非门外接电阻 R_i 对电路工作的影响



将TTL与非门换成TTL或非门，其输出又如何？

3.2.2 TTL与非门的主要外部特性

TTL与非门外接电阻 R_i 对电路工作的影响

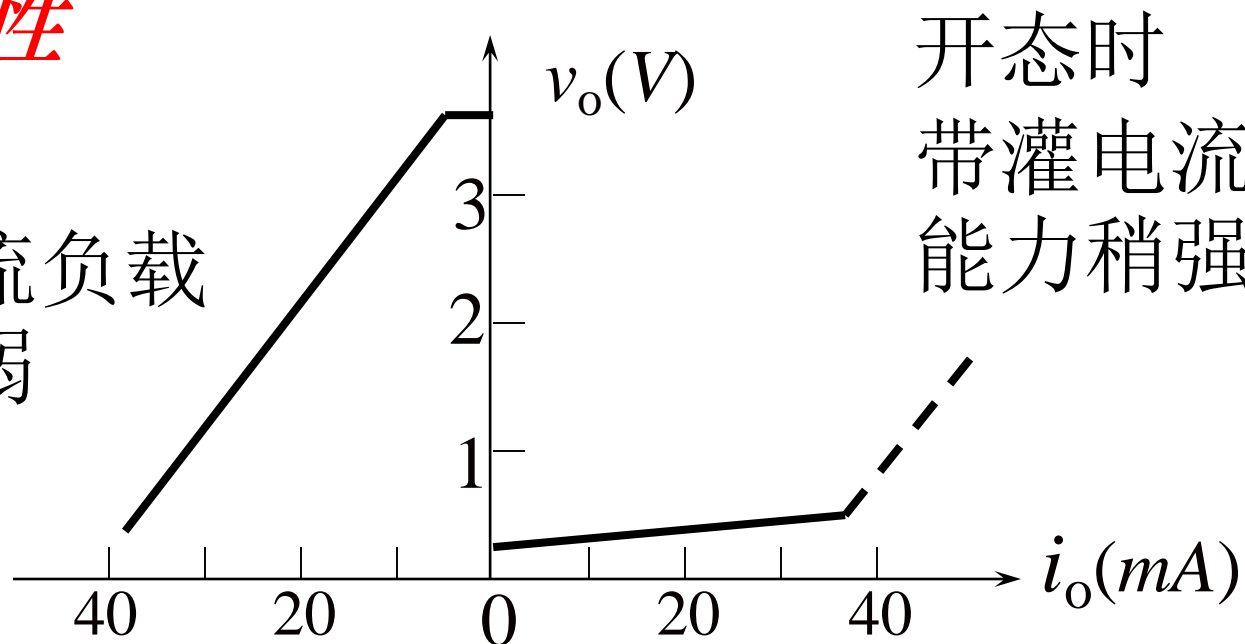


将TTL与非门换成TTL或非门，电阻在输入端的等效作用没变，但输出变了

3.2.2 TTL与非门的主要外部特性

输出特性

关态时
带拉电流负载
能力较弱

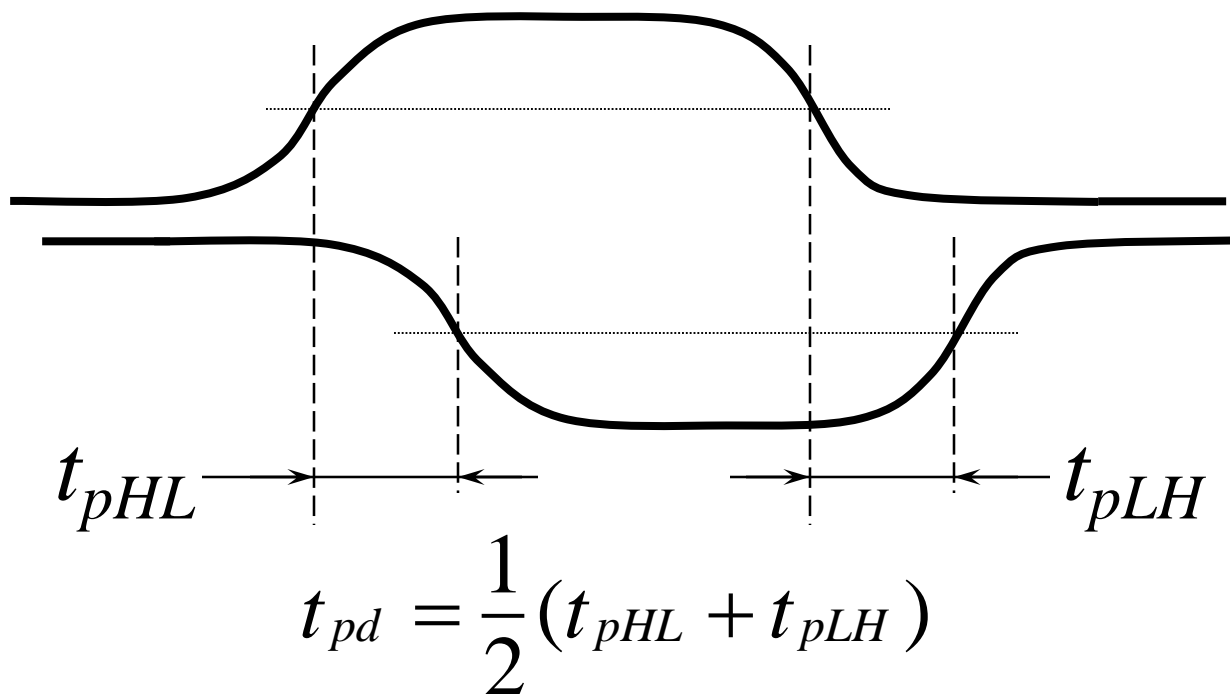


开态时
带灌电流负载
能力稍强

扇出系数 N_O ：输出端最多能带同类门的个数，它规定了TTL与非门的最大负载容限

$$N_O = \left| \frac{I_{O\max}}{I_{IS}} \right|$$

平均延迟时间



平均延迟时间反映了TTL门的瞬态开关特性，主要说明了它的工作速度

电源特性

电路处于稳定开态时的空载导通功耗

$$P_L = I_{EL} V_{CC} = (i_{R1} + i_{R2}) V_{CC}$$

电路处于稳定关态时的空载截止功耗

$$P_H = I_{EH} V_{CC} = i_{R1} V_{CC}$$

与非门的空载平均功耗

$$P = (P_H + P_L) / 2$$

电路从开态向关态转换时， T_1 、 T_2 、 T_3 、 D_4 、 T_4 同时处于导通的瞬间， R_1 、 R_2 、 R_4 上均流过电流，电流出现瞬时峰值，使电源在一个工作周期中的平均功耗增加

TTL与非门的主要参数

输出逻辑电平

开门电平

关门电平

阈值电平

噪声容限

输入短路电流

输入漏电流

开门电阻

关门电阻

扇出系数

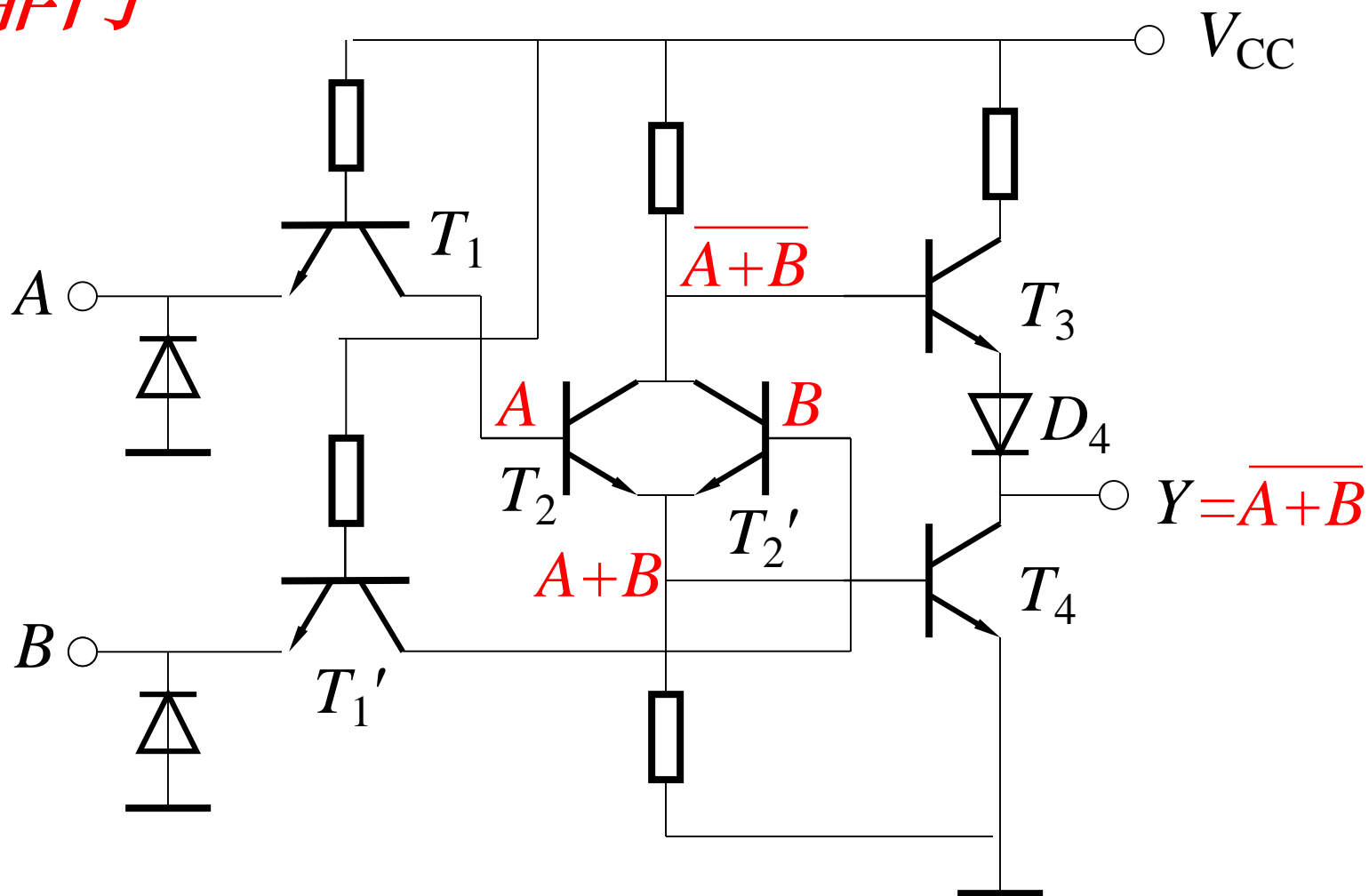
平均延迟时间

空载导通功耗

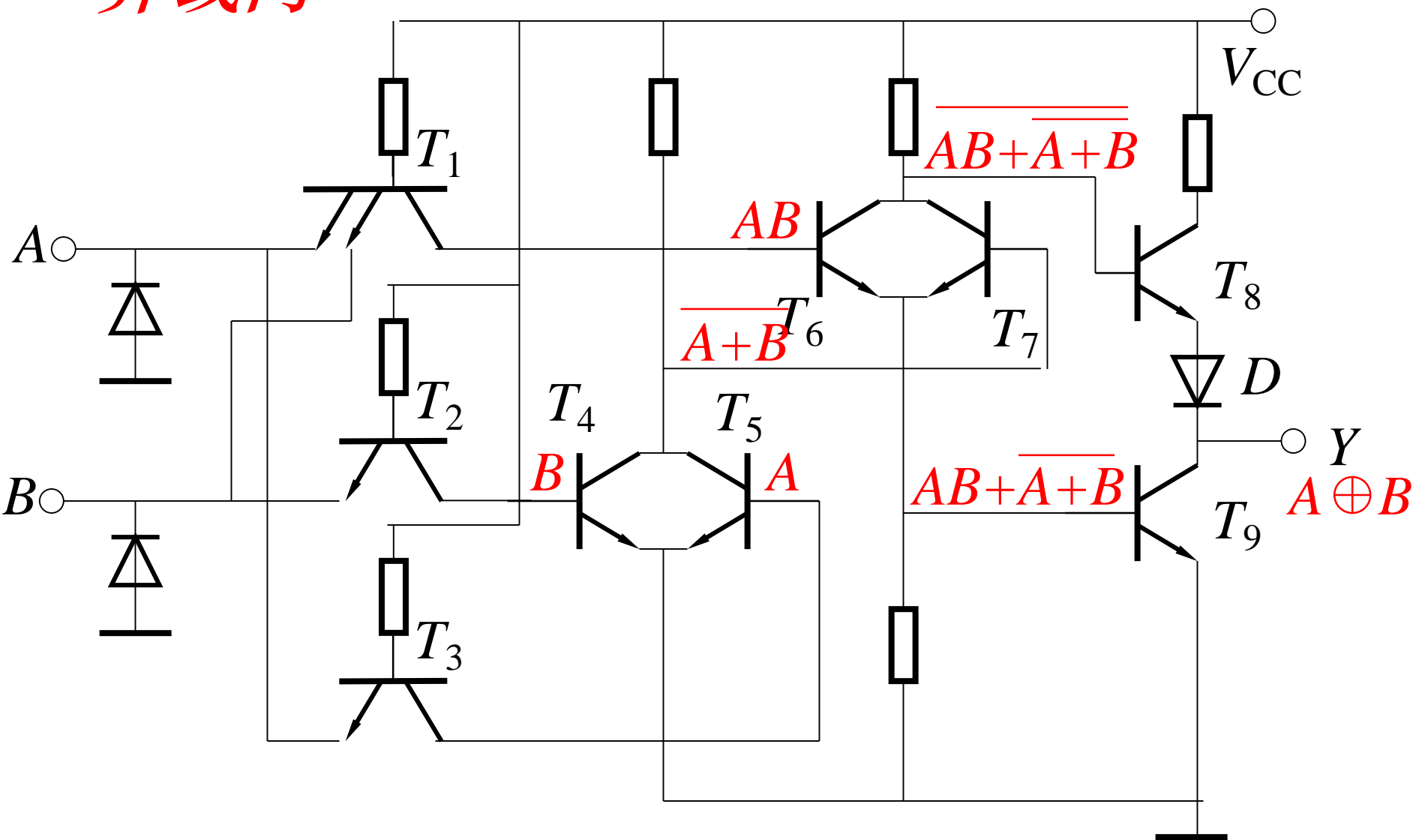
空载截止功耗

3.2.3 其它逻辑功能TTL门

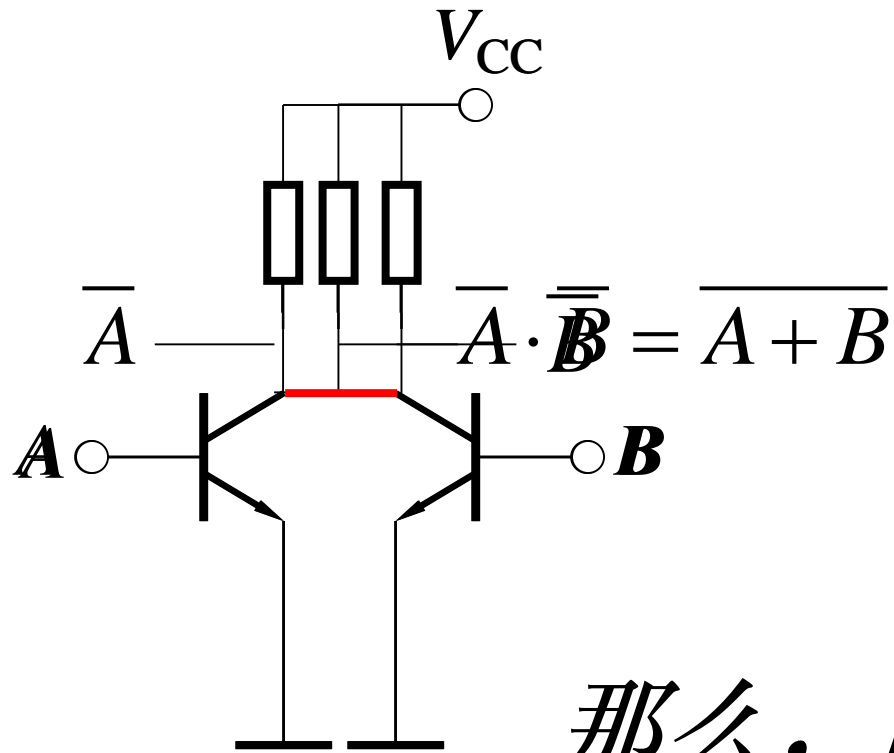
或非门



异或门



集电极开路与非门 (OC门)



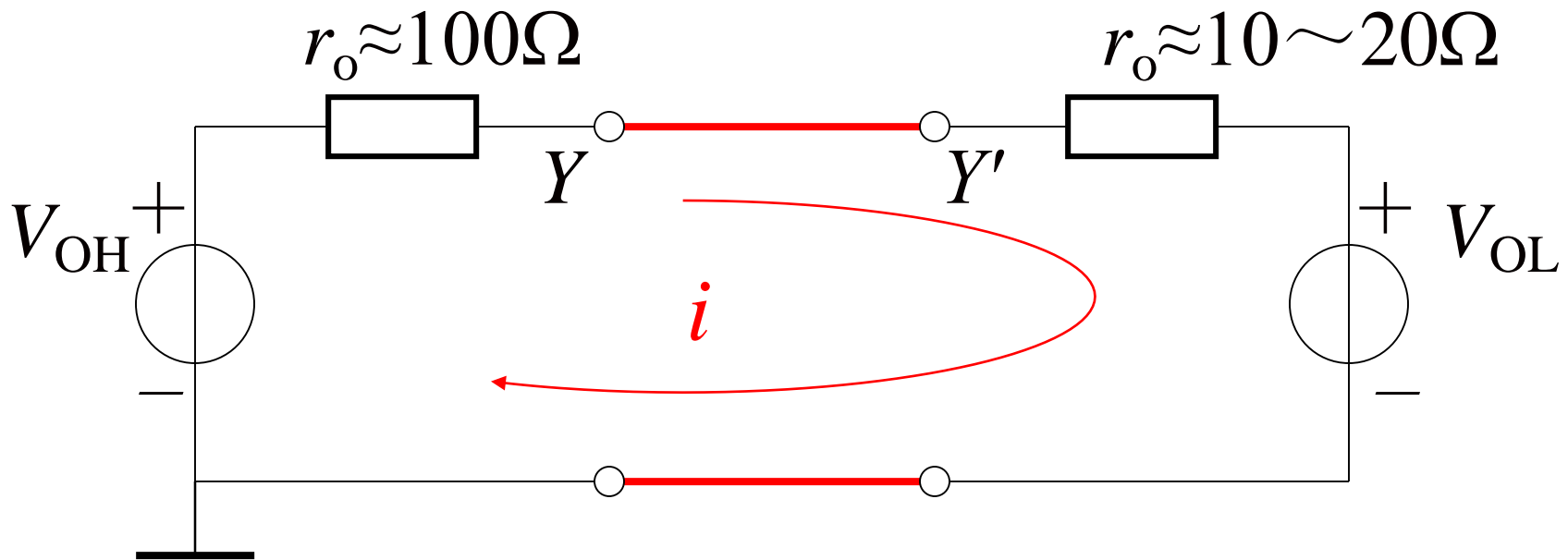
将两个反相器输出端直接相连，实现了两输出端相与的功能，称为**线与**。用线与有时能大大地简化电路

那么，能否将两个TTL与非门的输出端也直接相连来实现线与？

不能!

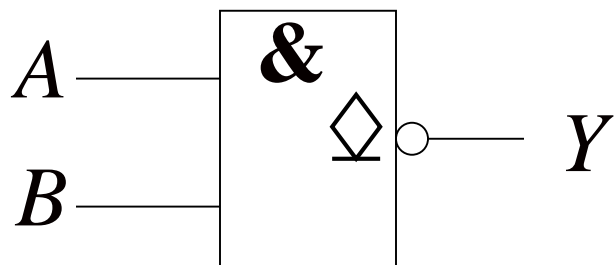
集电极开路与非门 (OC门)

如果把两个推拉式输出结构TTL门电路的输出端直接相连，将可能破坏正确输出逻辑，甚至损坏门电路

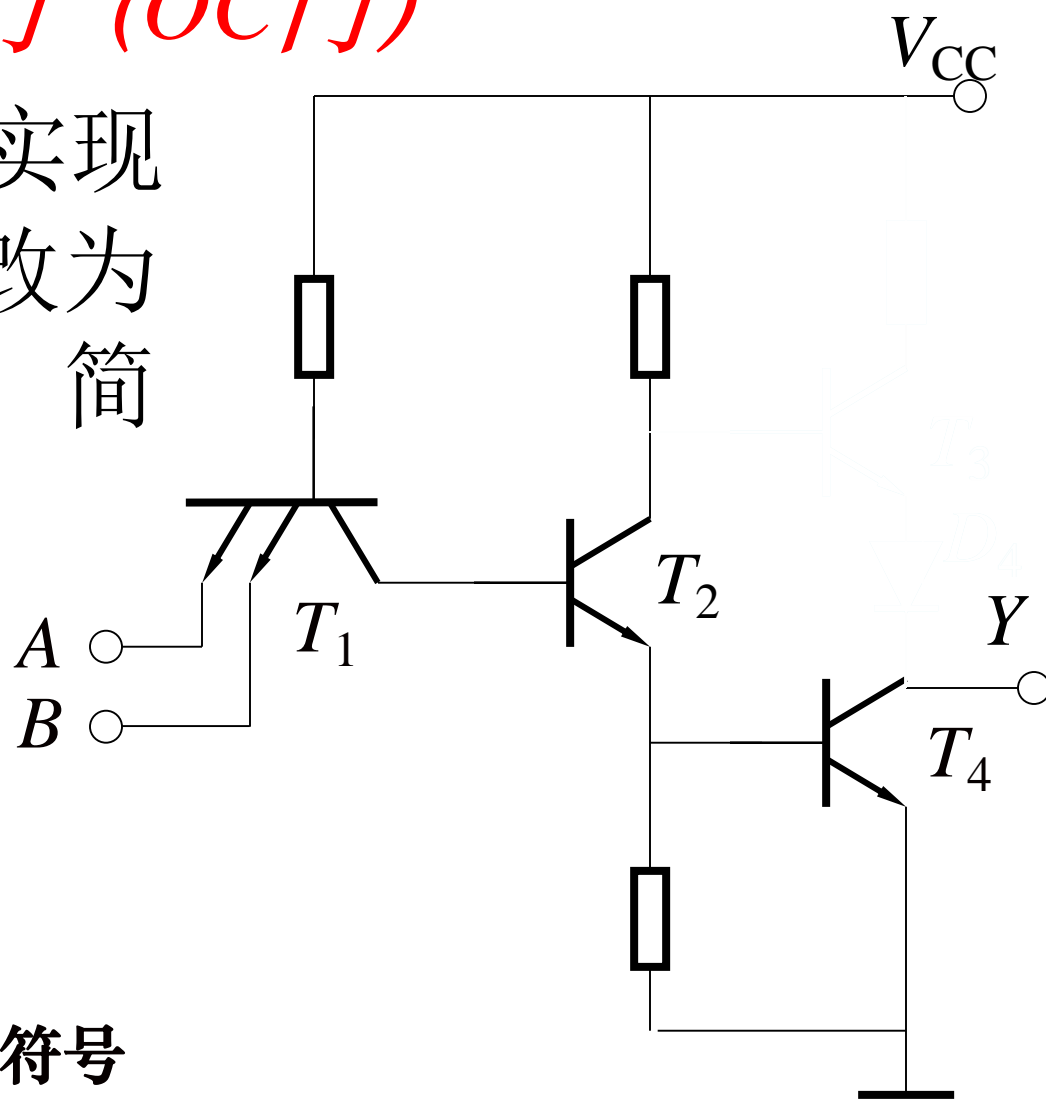


集电极开路与非门 (OC门)

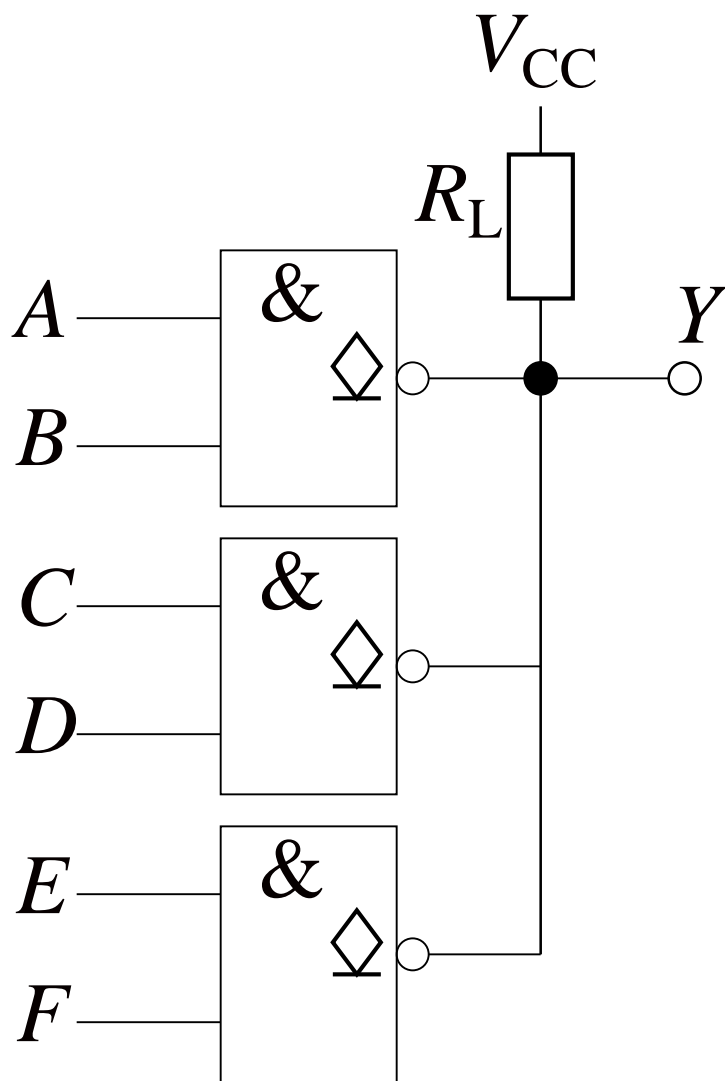
为使TTL门能够实现线与，将输出级改为集电极开路结构，简称OC门。



集电极开路与非门的逻辑符号



集电极开路与非门 (OC门) 的应用



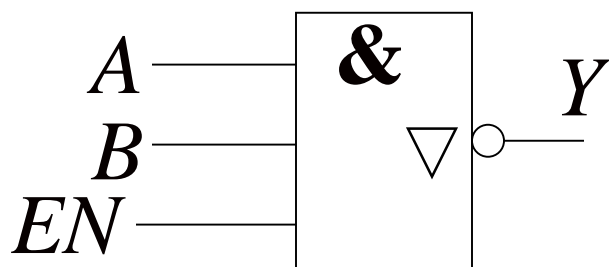
OC门实现线与

$$Y = \overline{AB} \cdot \overline{CD} \cdot \overline{EF}$$
$$= \overline{AB + CD + EF}$$

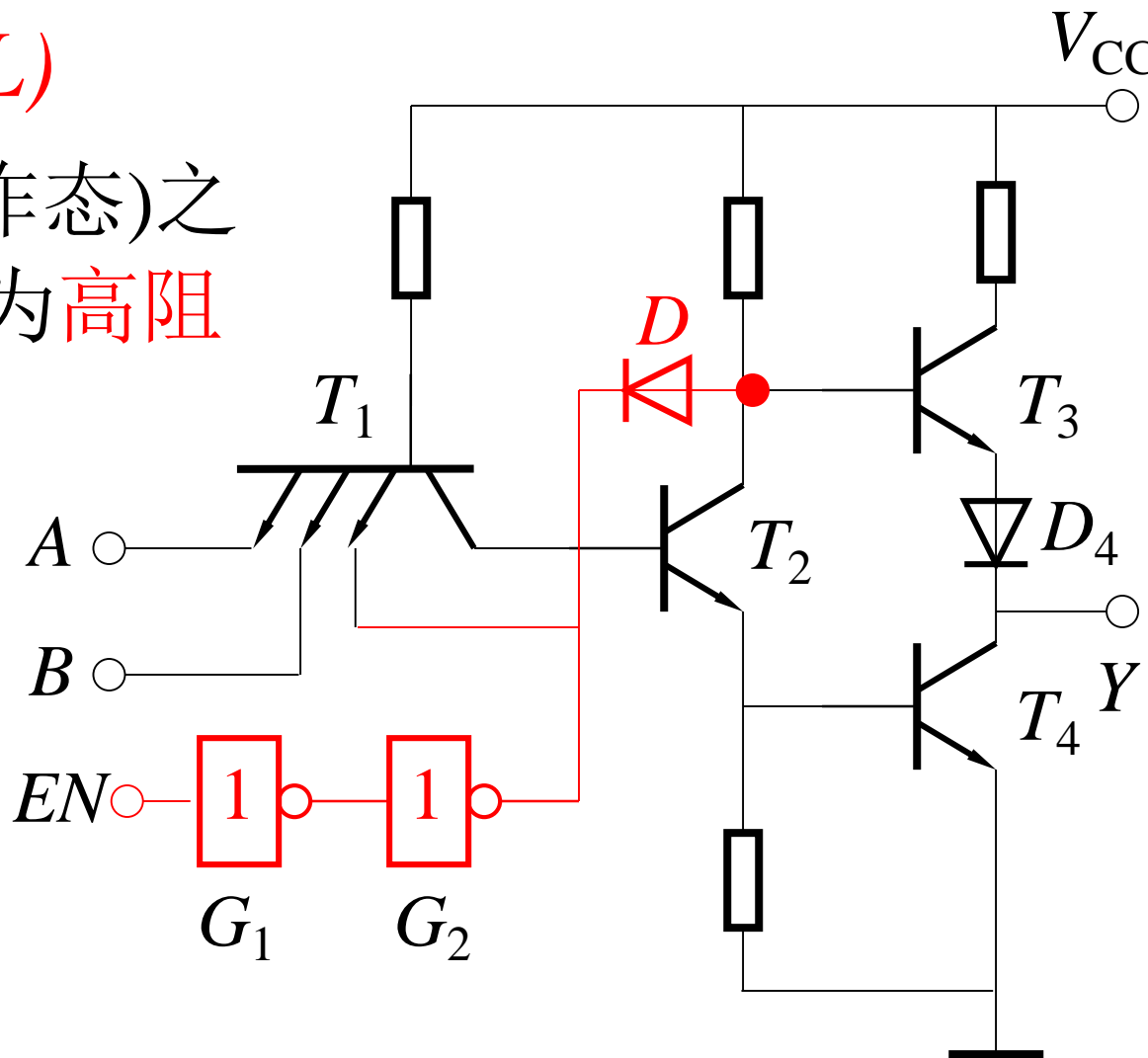
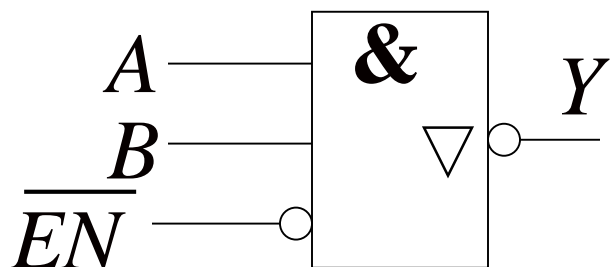
除此之外，OC门常常用于驱动高电压、大电流负载

三态输出门(TSL)

开态、关态(工作态)之外的第三态, 称为**高阻态** (也称禁止态)

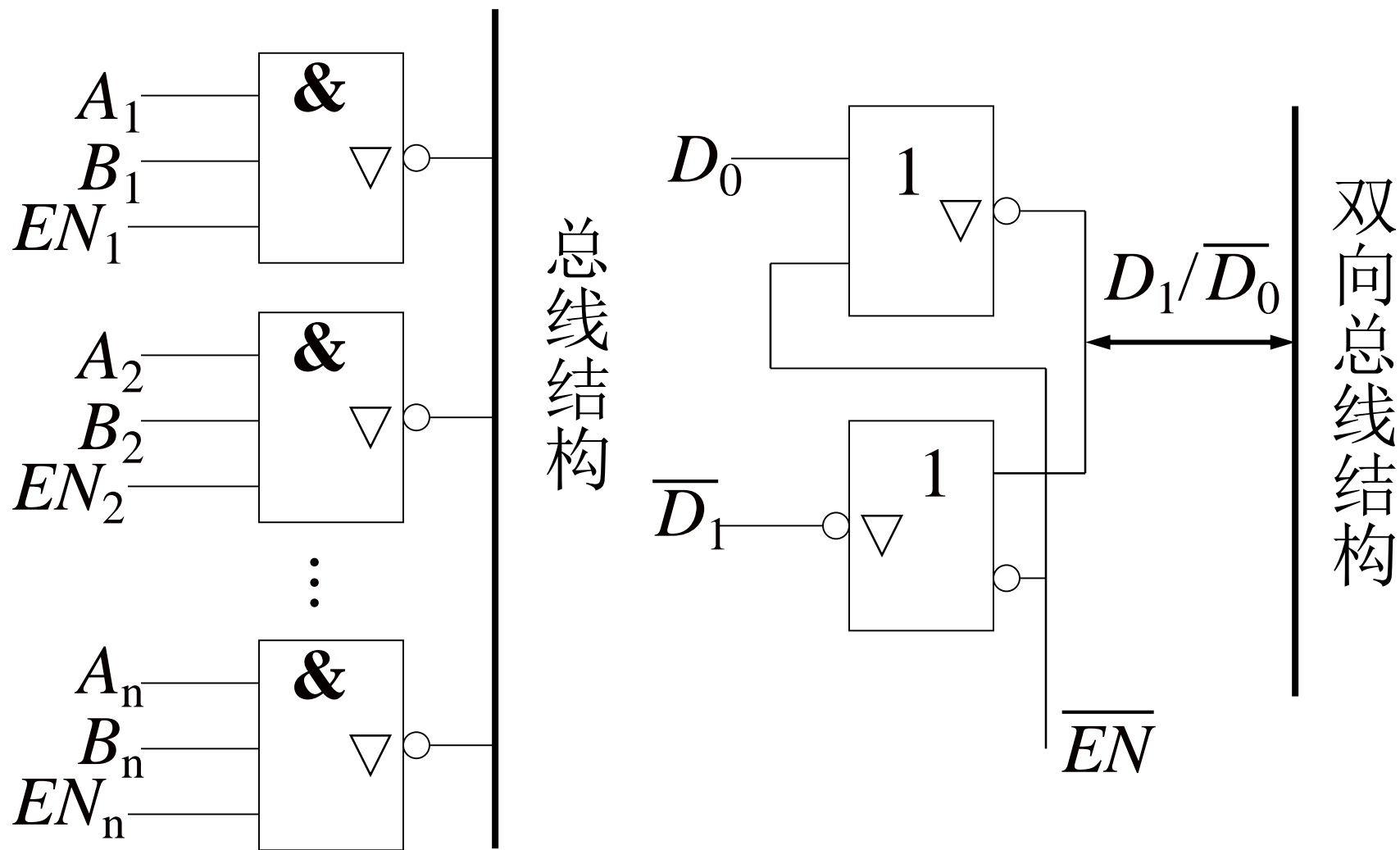


EN 使能控制端



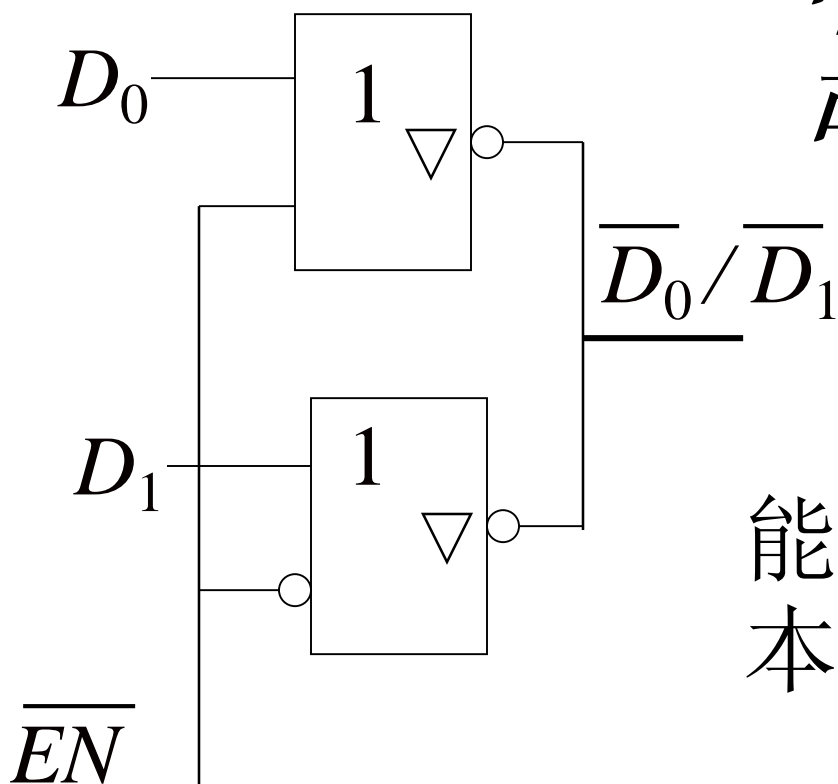
$$Y = \begin{cases} \overline{AB} & EN=1 \\ \text{高阻态} & EN=0 \end{cases}$$

三态输出门(TSL)的应用



三态输出门(TSL)的应用

模拟开关



为什么这些应用中三态门的输出端可以连接在一起？

这些三态门分别受使能端控制信号控制，根本不在同一时间工作！

3.2.4 其它系列TTL门电路

TTL门电路的改进系列：高速系列、肖特基系列、低耗肖特基系列（自学）

改进系列是针对“提高工作速度”和“降低功耗”而出现的。但是，在电路中“提高工作速度”和“降低功耗”往往是矛盾的，所以常用功耗和传输延迟时间的乘积来综合评价器件的性能，简称功耗—延迟积或pd积。

TTL各系列器件主要性能比较

	CT54/74	CT54H/74H	CT54S/74S	CT54LS/74LS
平均延迟时间(ns/门)	10	6	3	9.5
平均功耗(mW/门)	10	22	19	2
最高工作频率(MHz)	35	50	125	45

3.3 发射极耦合逻辑 (ECL) 门 与集成注入逻辑 (I²L) 电路

(自 学)

ECL(*E*mitter *C*oupled *L*ogic)

发射极耦合逻辑门电路，双极型集成逻辑门，一种非饱和型的高速逻辑门电路

I²L(*I*ntegrated *I*njection *L*ogic)

集成注入逻辑电路，双极型集成逻辑器件，一种低功耗双极型器件

3.4 MOS逻辑门

以金属氧化物半导体(MOS)场效应晶体管(FET)为基础的数字集成电路就是 MOS 逻辑门。MOS 逻辑门是数字集成电路中另一类最常见的器件。

MOS(**M***etal* **O***xide* **S***emiconductor*)

FET(**F***ield* **E***ffect* **T***ransistor*)

3.4.1 MOS晶体管（复习）

MOS晶管的类型和电路符号： N沟道增强型、耗尽型、P沟道增强型、耗尽型

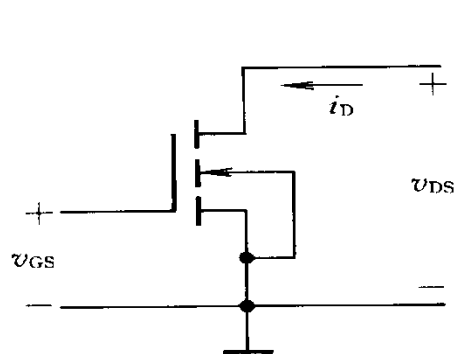
三个电极：源极S、漏极D和栅极G

开启电压： $V_{GS(th)N}$ 、 $V_{GS(th)P}$

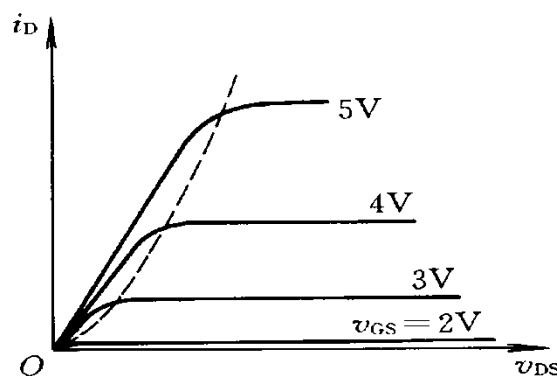
夹断电压： $V_{GS(off)N}$ 、 $V_{GS(off)P}$

输出特性

三个工作区：截止区、饱和区、非饱和区

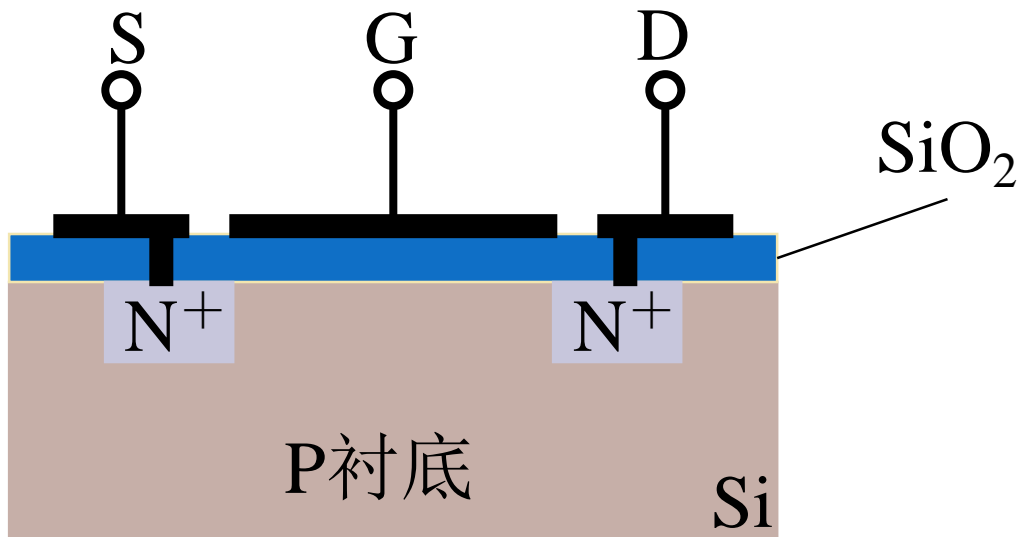
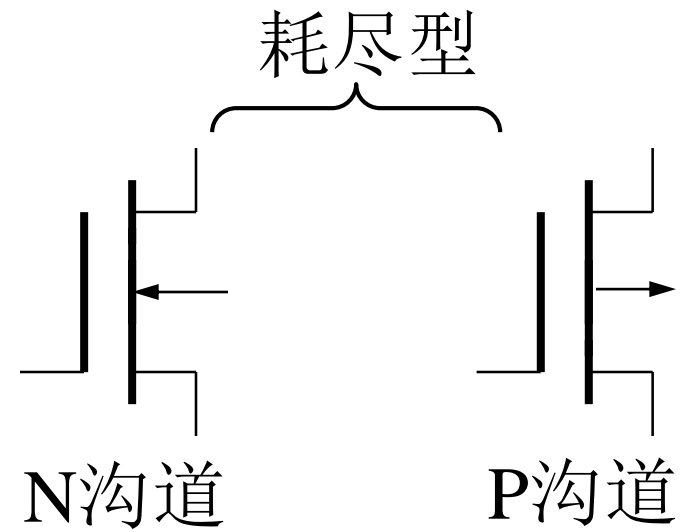
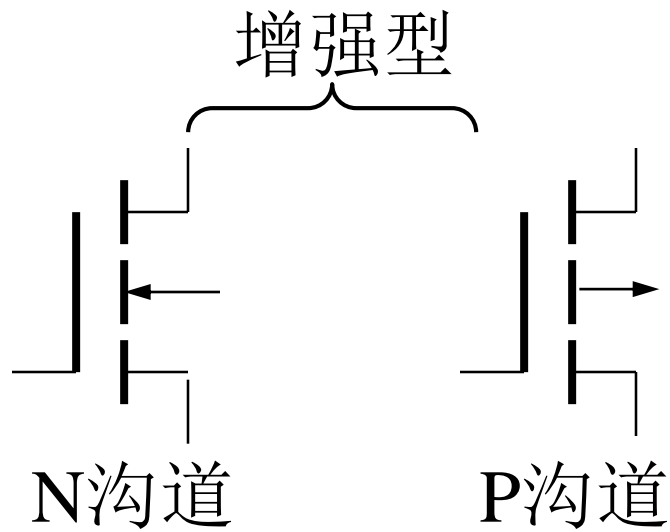


(a)



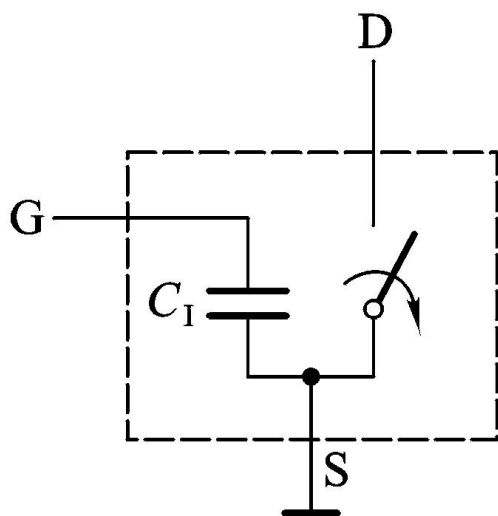
(b)

3.4.1 MOS晶体管（复习）



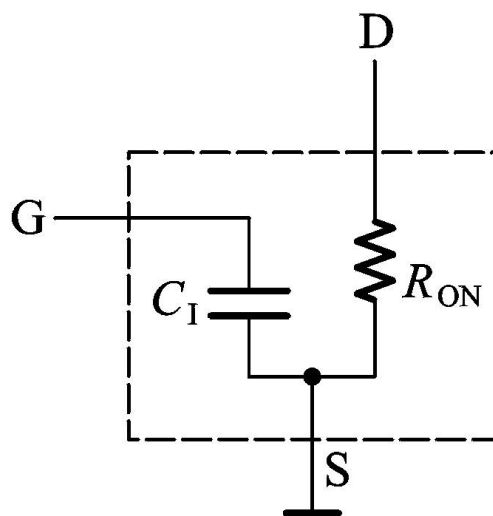
N沟道增强型MOS管

MOS管的基本开关电路



(a)

OFF，截止状态



(b)

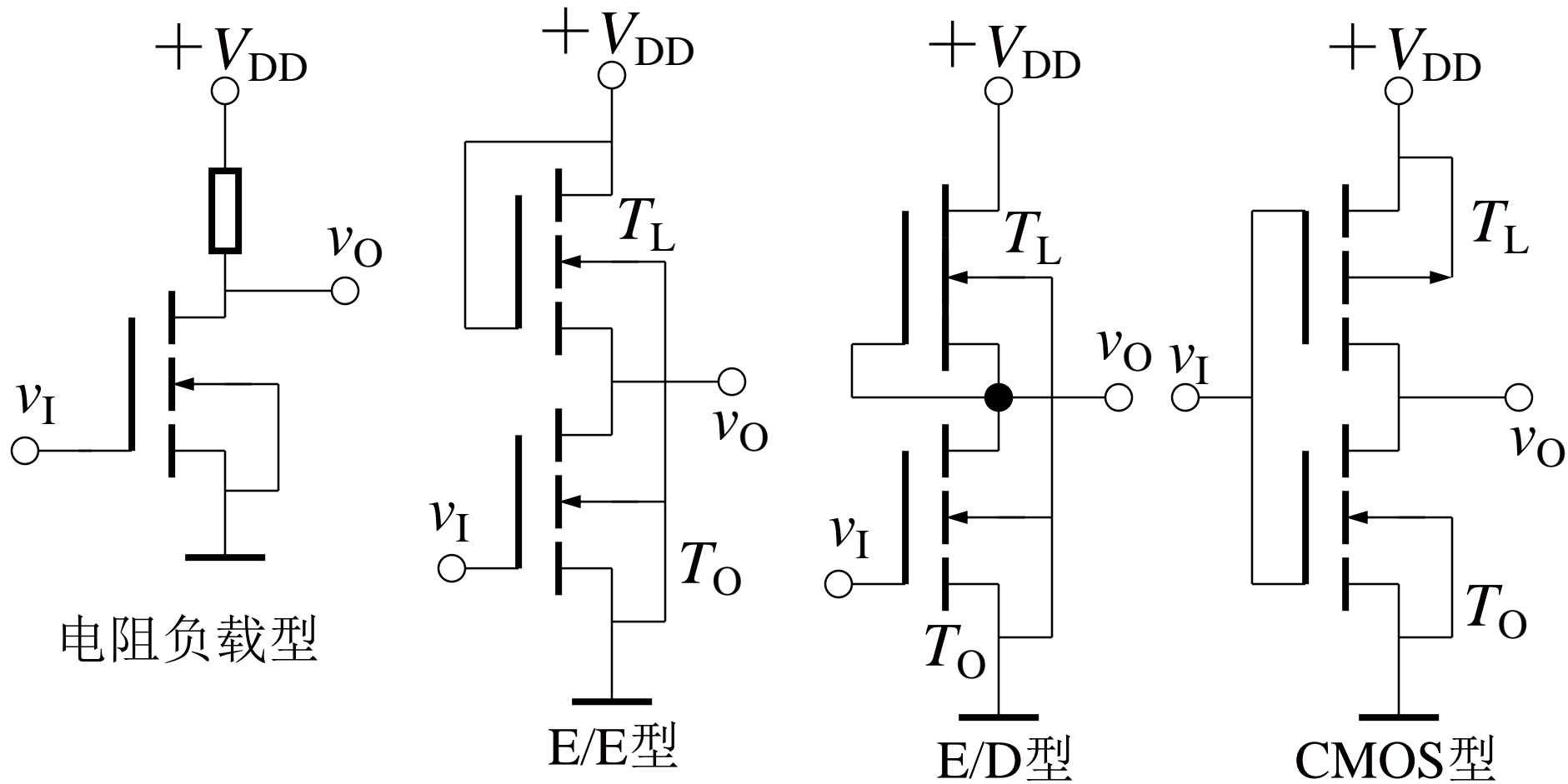
ON，导通状态

3.4.2 MOS反相器和门电路

反相器是MOS门电路的基本单元，可分为：

- ❖ 电阻负载MOS反相器，用线性电阻作为负载
- ❖ E/E MOS反相器，输入管和负载都采用同种沟道增强型MOS晶体管，即增强—增强型反相器
- ❖ E/D MOS反相器，输入管为增强型MOS晶体管，负载为同种沟道耗尽型MOS晶体管，即增强—耗尽型MOS反相器
- ❖ CMOS(Complementary MOS) 反相器，输入管和负载管为不同种沟道的MOS管，即互补型MOS反相器

3.4.2 MOS反相器和门电路



在反相器的基础上可以组合构成各种逻辑功能的MOS门电路

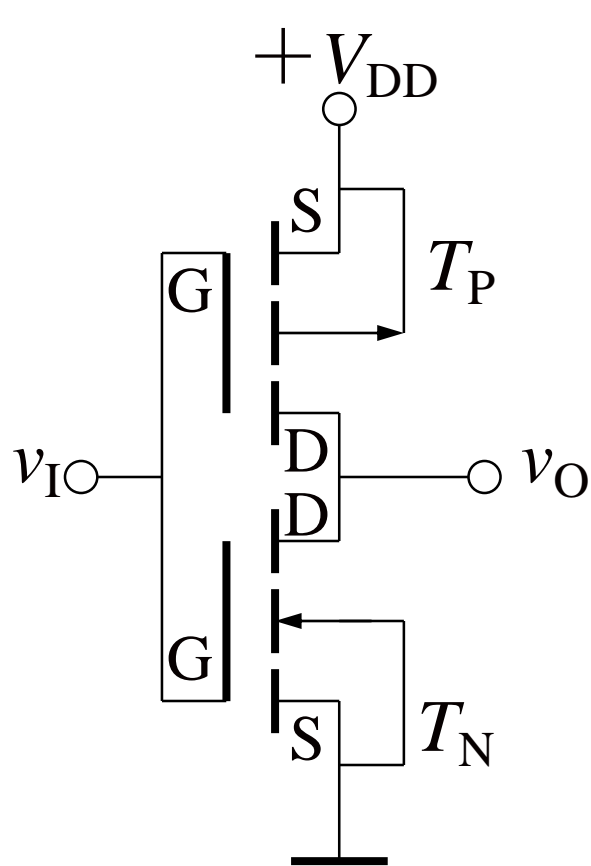
3.5 CMOS门电路

CMOS (**C**omplementary **M**etal
Oxide **S**emiconductor)

以增强型P沟道MOS管和增强型N沟道MOS管串联互补(反相器)和并联互补(传输门)为基本组件构成CMOS集成门电路。

3.5.1 CMOS反相器的工作原理

$$V_{GS(th)N} = |V_{GS(th)P}|, V_{DD} > V_{GS(th)N} + |V_{GS(th)P}|$$



当 $v_I = 0$ 时,

$$V_{GSN} = v_I = 0 < V_{GS(th)N}$$

$$T_N \text{ 截止 } R_{off} = 10^9 \sim 10^{12} \Omega$$

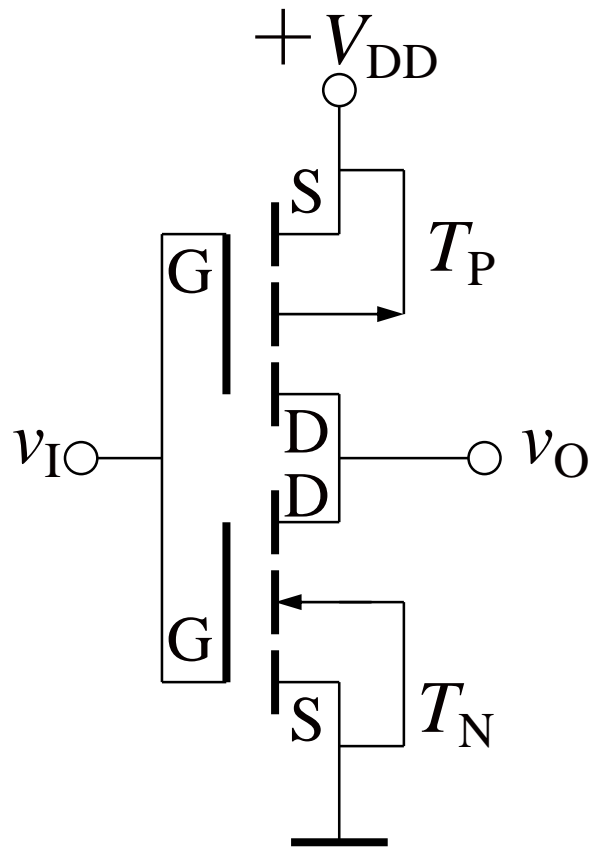
$$V_{GSP} = v_I - V_{DD} < V_{GS(th)P}$$

$$T_P \text{ 导通 } R_{on} = 10^3 \Omega$$

$$v_O = \frac{R_{off}}{R_{on} + R_{off}} \cdot V_{DD} \approx V_{DD}$$

输出高电平

3.5.1 CMOS反相器的工作原理



当 $v_I = V_{DD}$ 时,

$$V_{GSN} = v_I > V_{GS(th)N}$$

$$T_N \text{ 导通 } R_{on} = 10^3 \Omega$$

$$V_{GSP} = v_I - V_{DD} > V_{GS(th)P}$$

$$T_P \text{ 截止 } R_{off} = 10^9 \sim 10^{12} \Omega$$

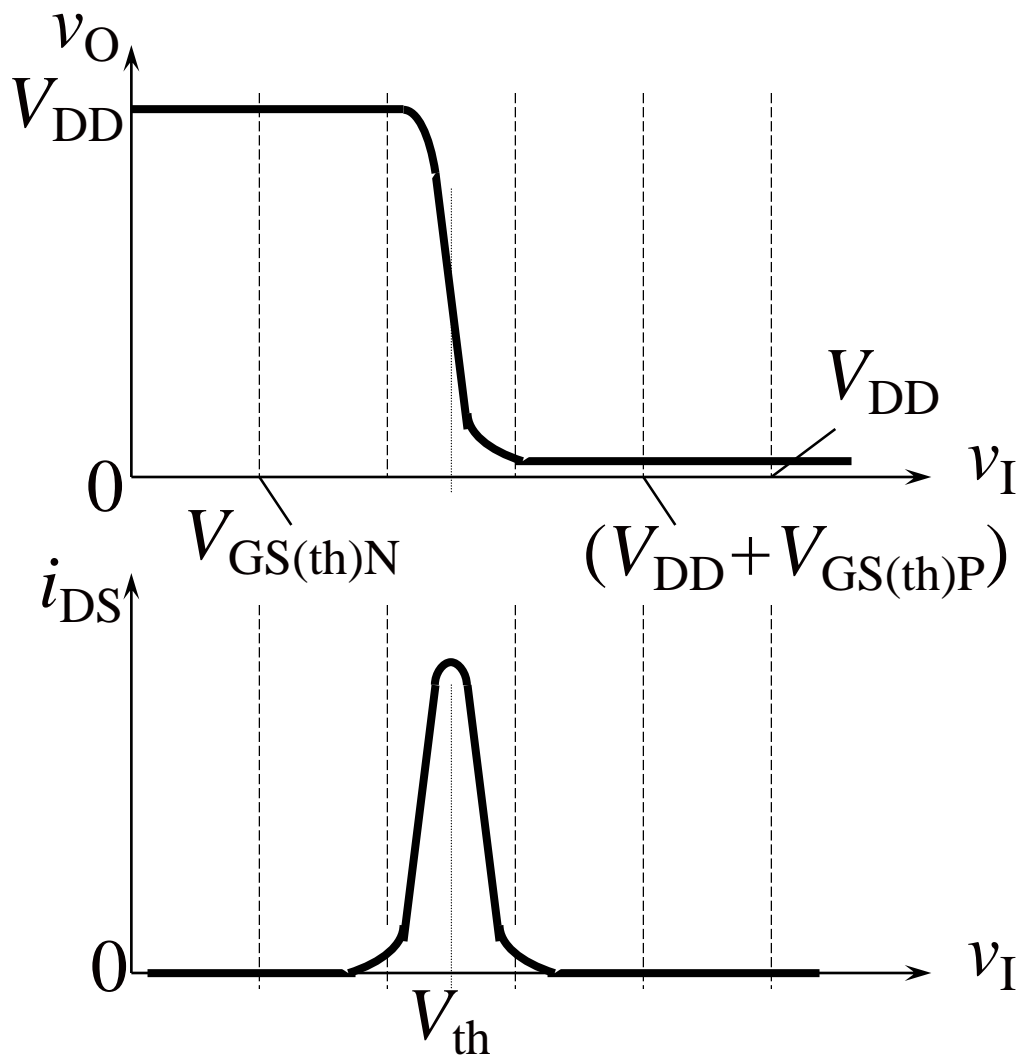
$$v_O = \frac{R_{on}}{R_{on} + R_{off}} \cdot V_{DD} \approx 0$$

输出低电平

根据分析可见电路
具有反相器的功能

3.5.2 CMOS反相器的主要特性

电压传输特性和电流传输特性

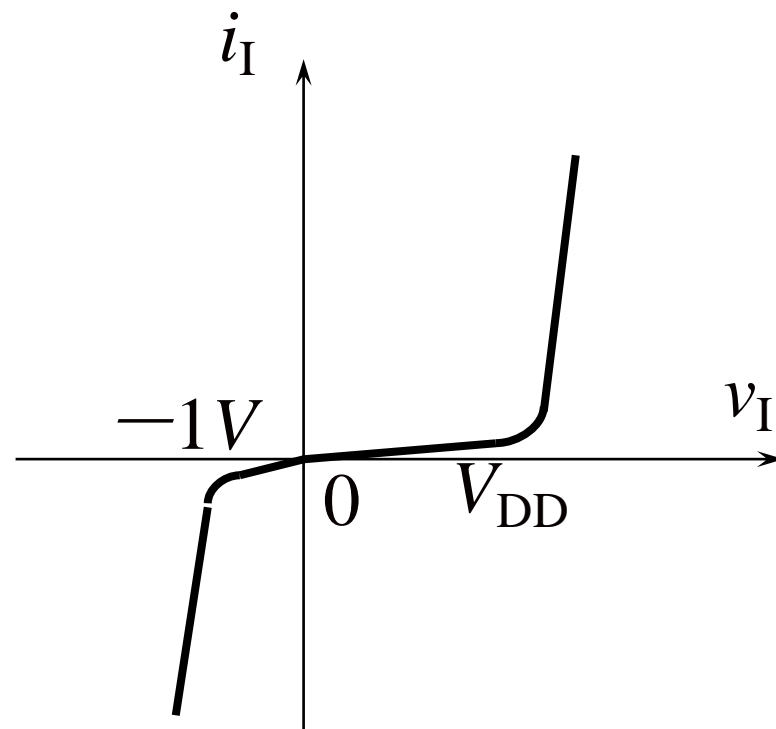
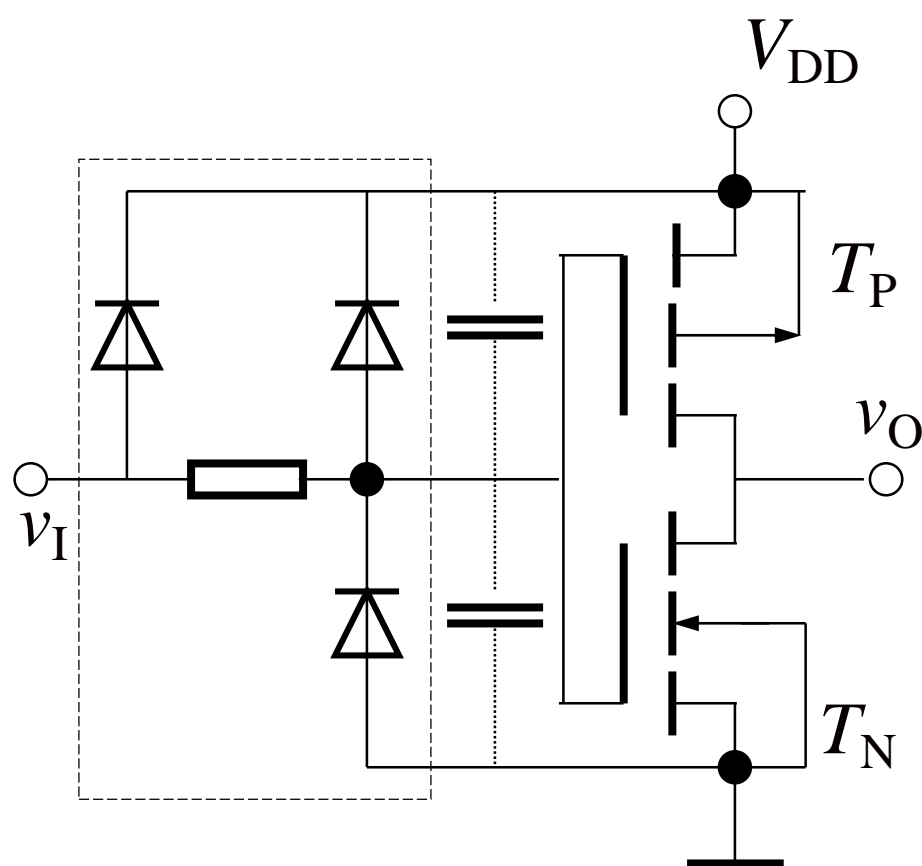


特点:

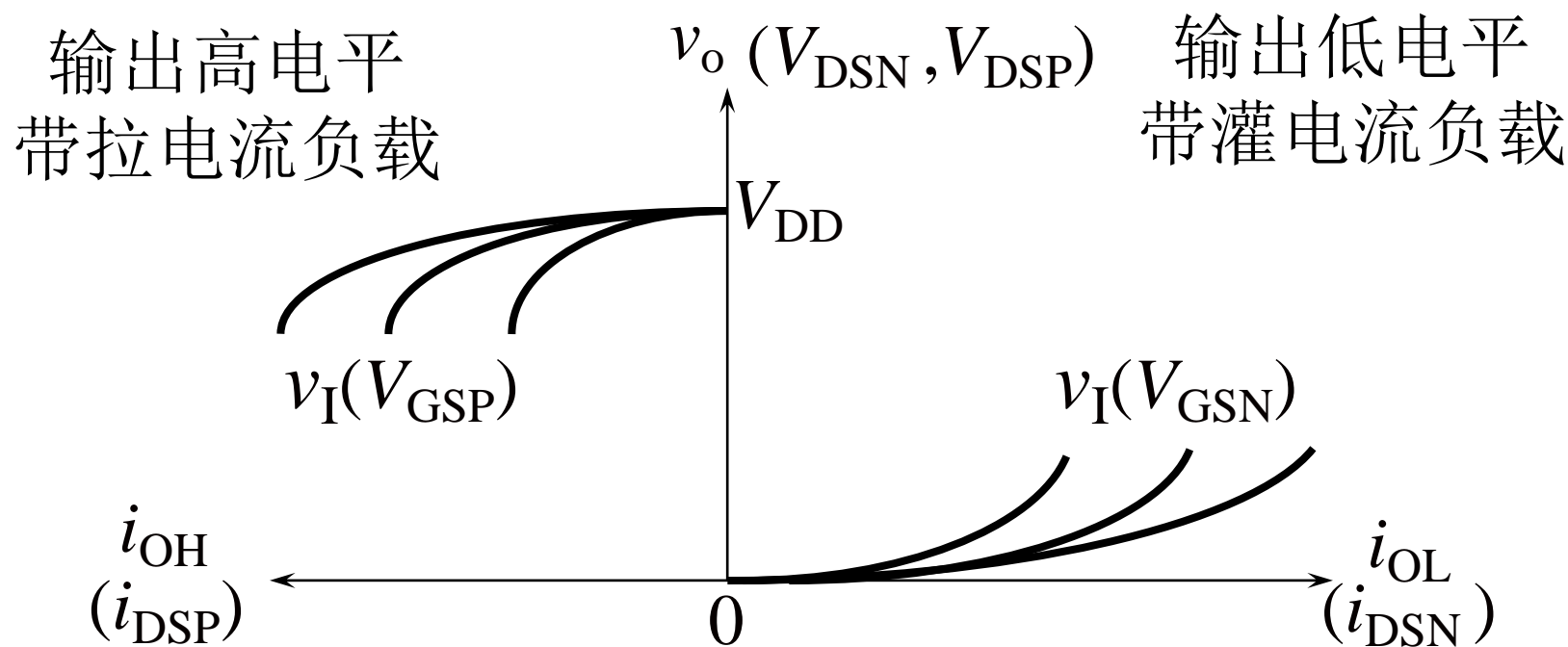
静态功耗极低
抗干扰能力强
电源利用率高
输入阻抗高
扇出系数大

输入特性

在 CMOS 电路的输入端都加有二极管保护电路，可以避免MOS管在正或负尖峰脉冲作用下被击穿。保护电路决定了CMOS反相器的输入特性



输出特性



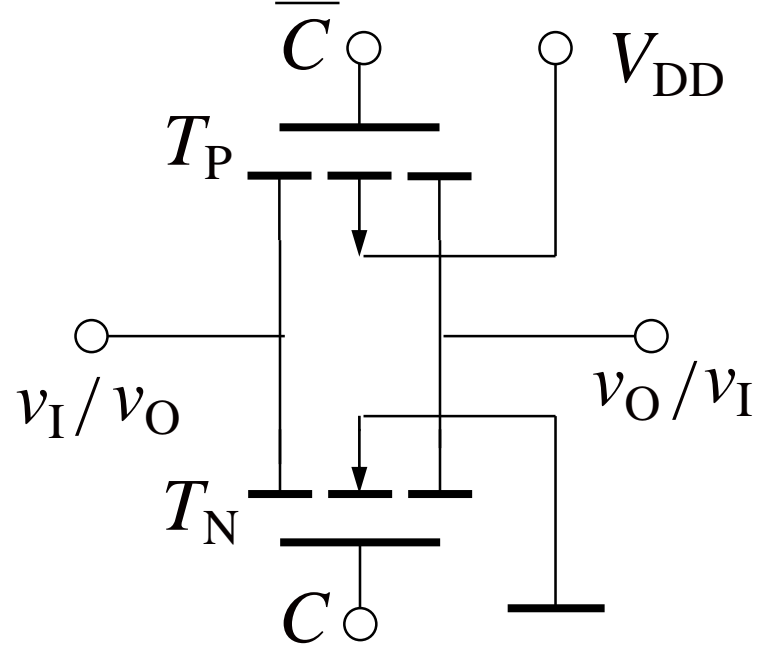
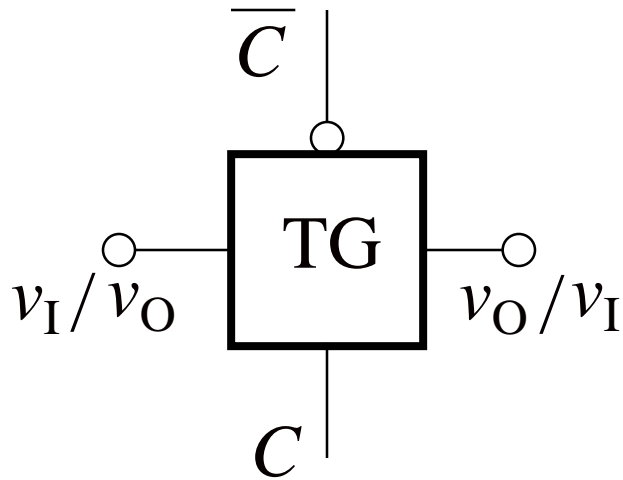
电源特性

在静态工作下，CMOS反相器中的 T_P 和 T_N 总有一个截止，截止时的漏电流及其微小，因此消耗的电源功耗可以忽略不计。保护二极管的反向漏电流却比MOS管的截止漏电流大许多，而成为静态电流的主要部分

CMOS反相器的 T_P 和 T_N 短时间同时饱和导通时动态功耗比静态功耗大得多。因此，功耗主要决定于动态功耗，尤其是工作频率较高时更为突出。当然，动态功耗还包括状态转换时，对负载电容充、放电所消耗的功率

3.5.3 CMOS传输门

P沟道和N沟道增强型MOS管并联互补 组成 CMOS传输门



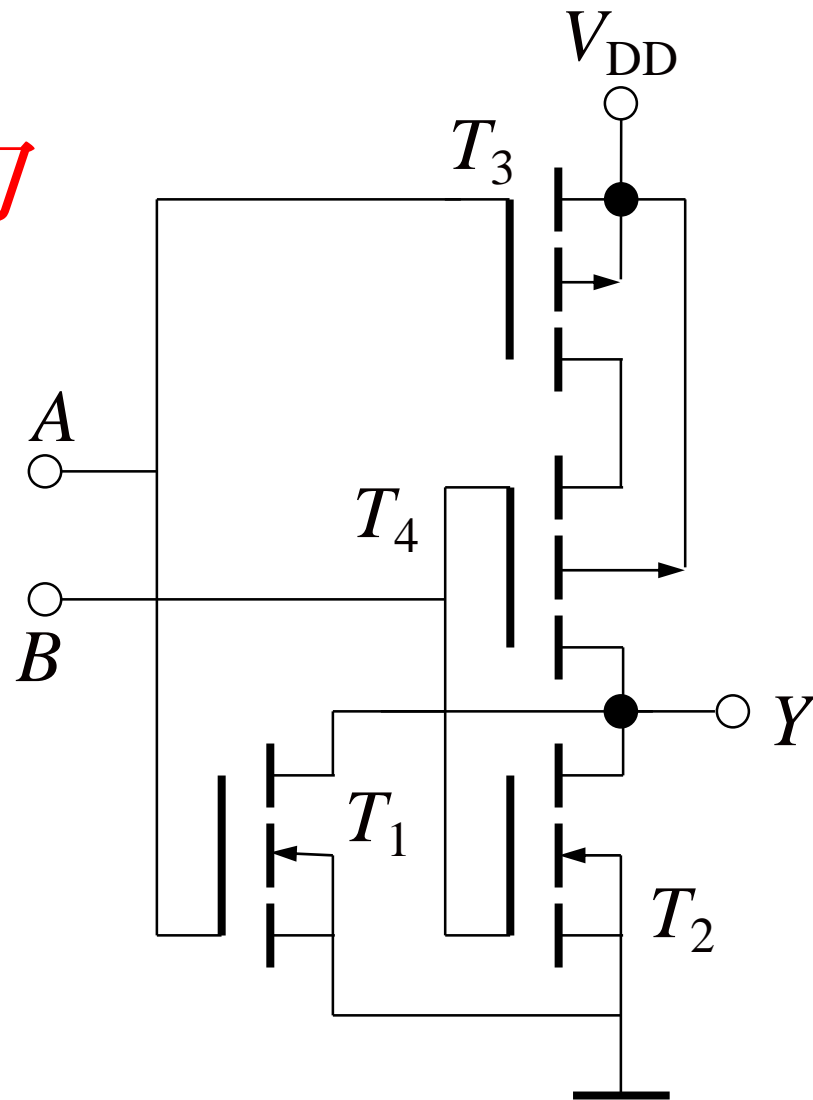
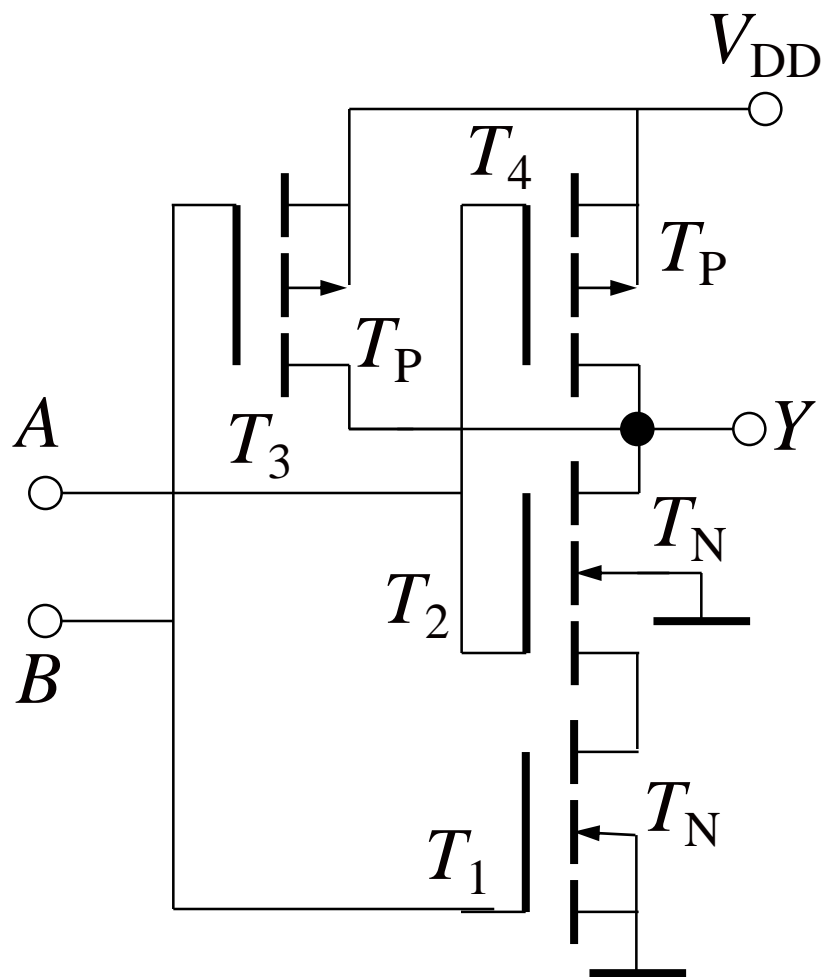
$C=0, \bar{C}=V_{DD}$ 时, 两管同时截止, 传输门截止

$C=V_{DD}, \bar{C}=0$ 时, $0 \leq v_I \leq V_{DD} - V_{GS(th)N}$ T_N 管导通
 $|V_{GS(th)P}| \leq v_I \leq V_{DD}$ T_P 管导通

可见当 $0 \leq v_I \leq V_{DD}$

3.5.4 CMOS逻辑门

CMOS与非门和或非门



带缓冲级的CMOS与非门

设每管的导通电阻是 R_{on} ,与非门的输出电阻是 R_O 则当:

$A=0, B=0$ 时

$$R_O = R_{on3} // R_{on4} = R_{on}/2$$

$A=0, B=1$ 时

$$R_O = R_{on4} = R_{on}$$

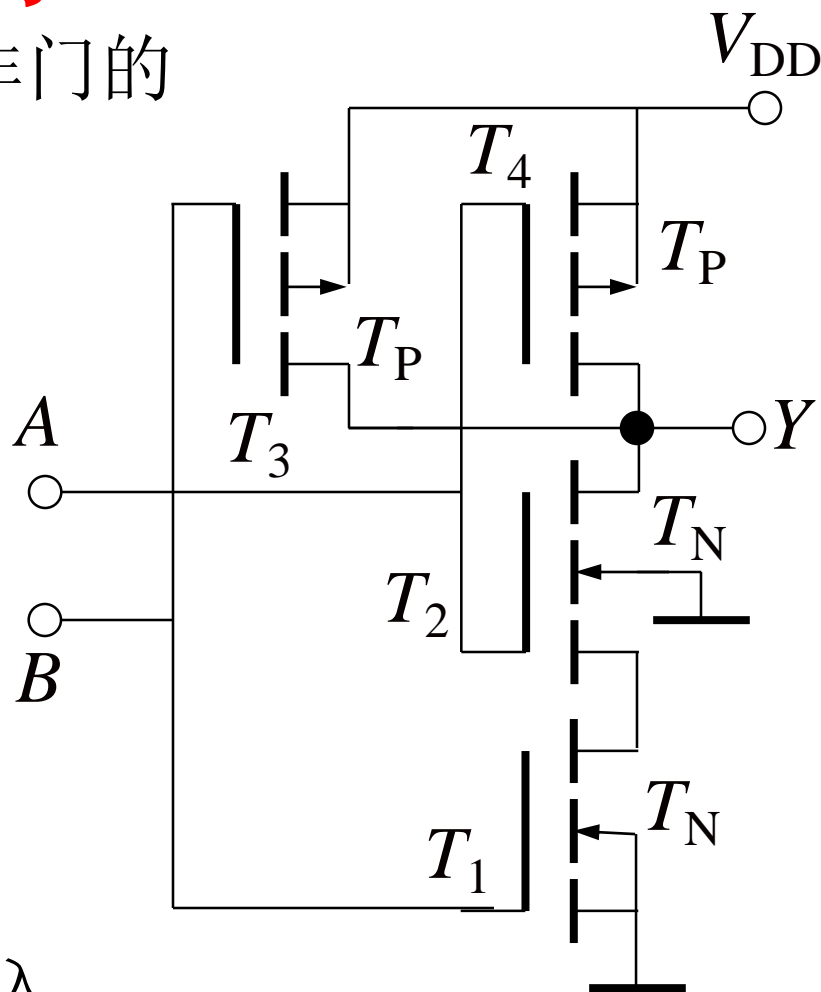
$A=1, B=0$ 时

$$R_O = R_{on3} = R_{on}$$

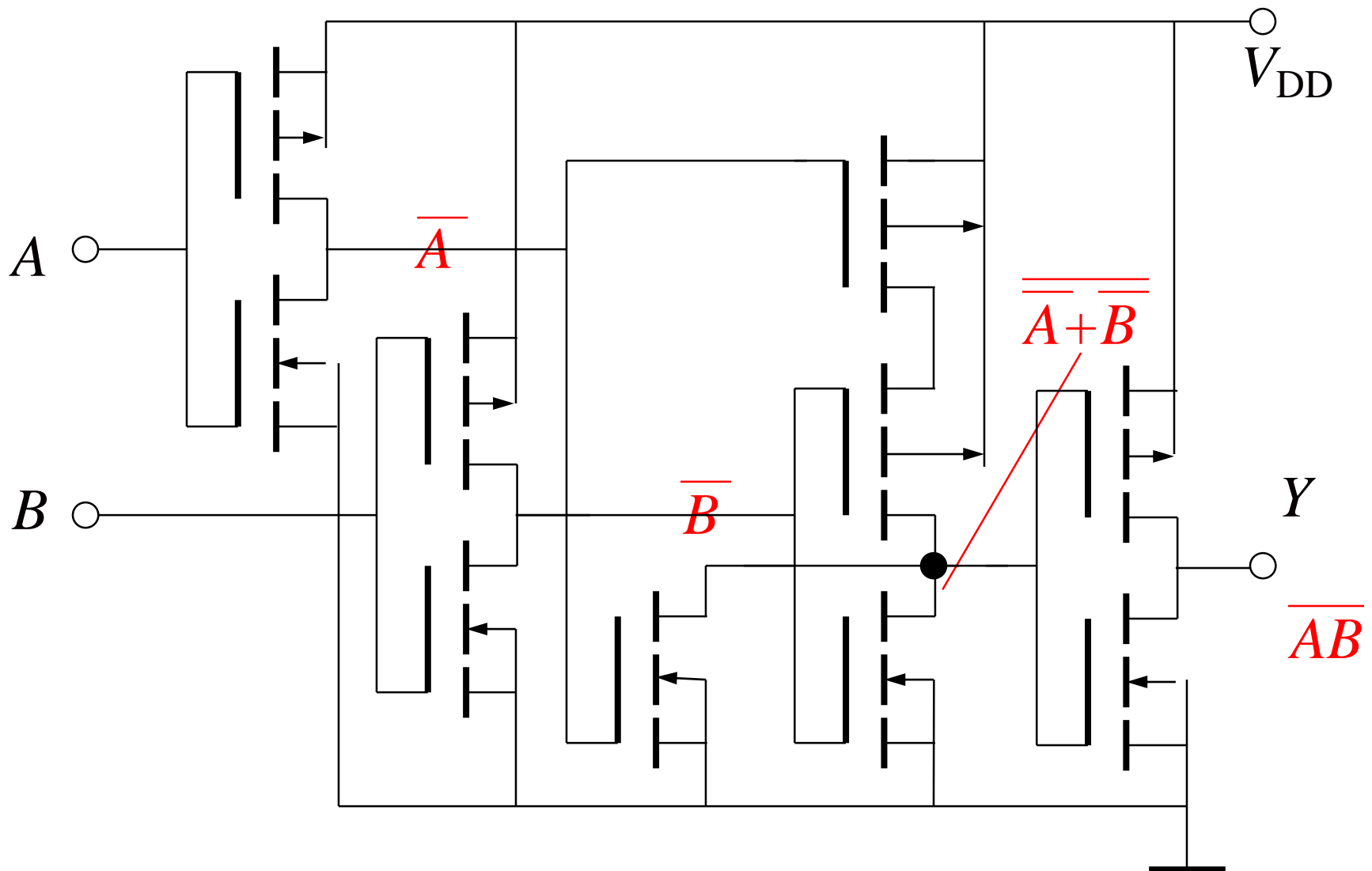
$A=1, B=1$ 时

$$R_O = R_{on1} + R_{on2} = 2R_{on}$$

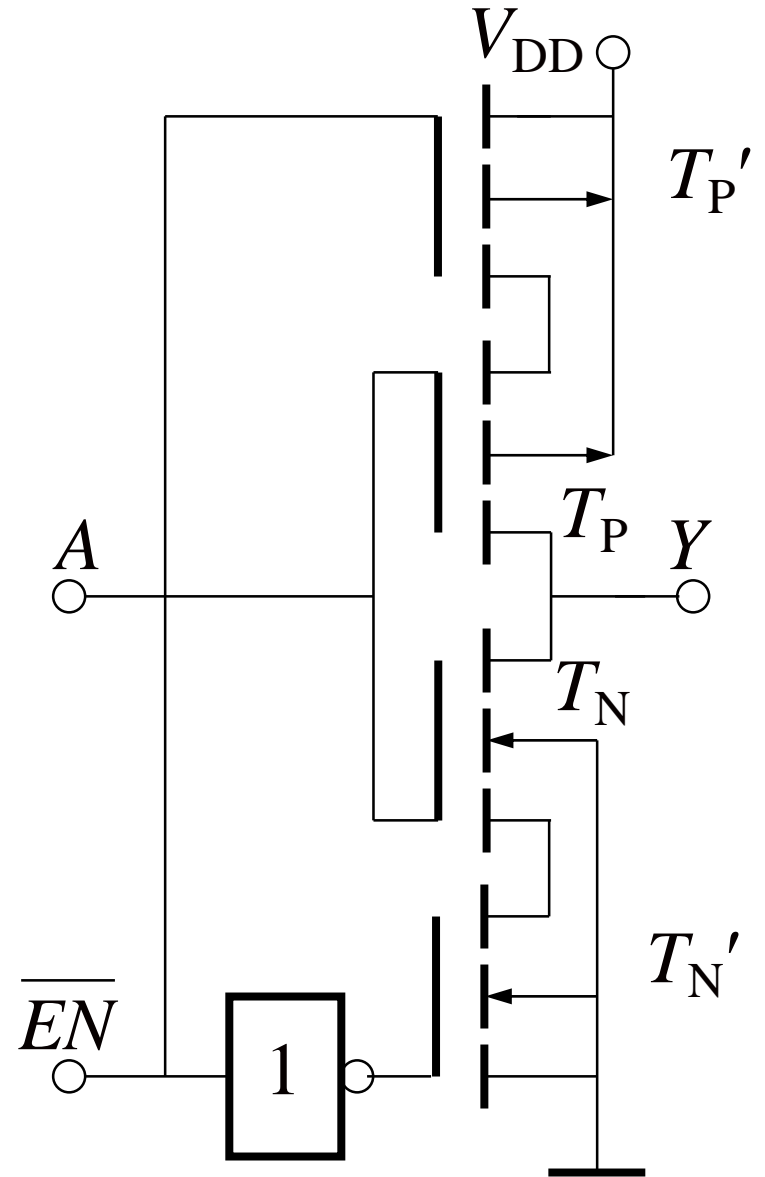
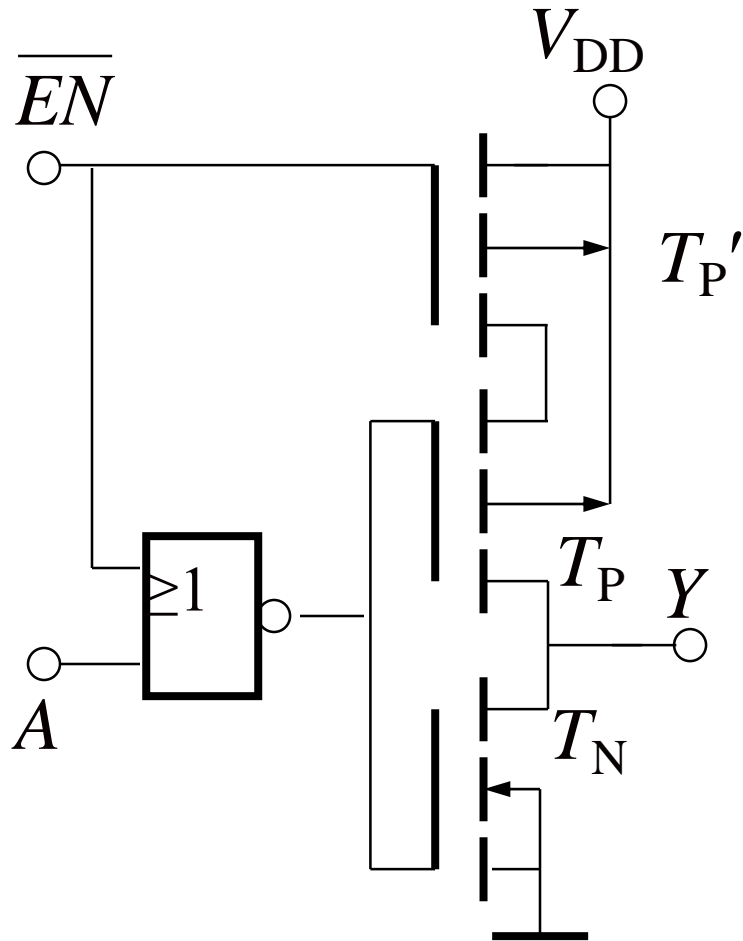
显然, 输出电阻在不同的输入下有四倍之差



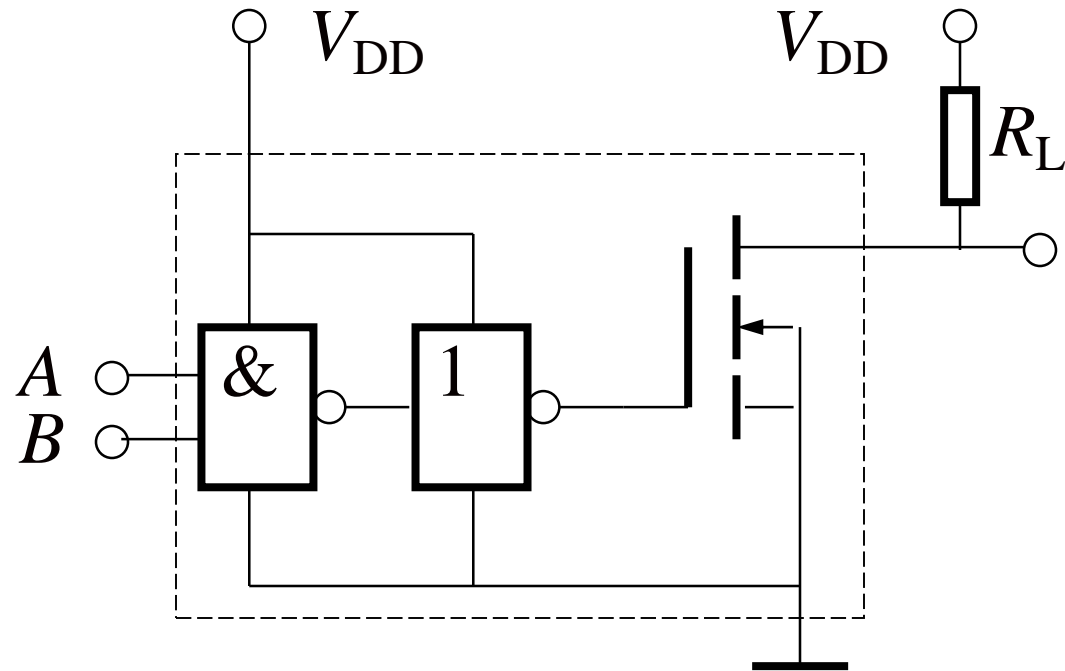
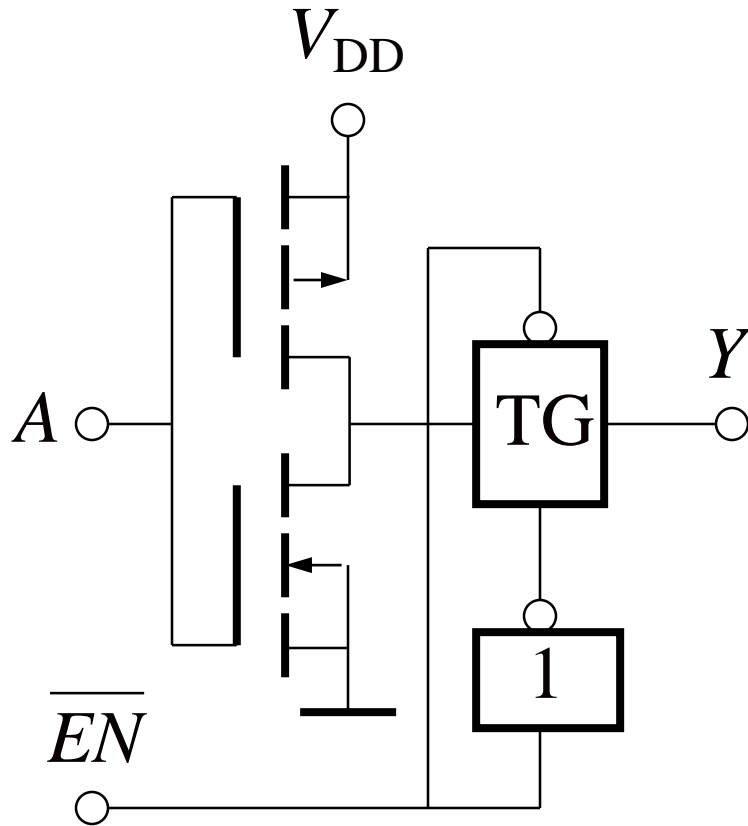
带缓冲级的CMOS与非门



CMOS三态门



CMOS三态门和CMOS漏极开路门



CMOS逻辑门主要系列

CD4000系列（CD4000,MC14000等）

54HC/74HC系列（MC 54HC/74HC）

CMOS门性能

系 列	电源电压 (V)	传输延迟 (nS)	边沿时间 (nS)	最高工作 频率(MHz)
CC4000系列	3~18	90	80	3
54HC/74HC系列	2~6	9	6	26

CMOS器件使用注意

- 1.器件存放、拿取、运输、装配、调试时应采取必要的静电防护措施，输入端不允许悬空
- 2.电路加必要的过流保护
- 3.防止锁定效应(CMOS制作保护二极管时形成的寄生三极管，构成反馈电路使电流迅速增大到最大值，只能切断电源才能制止，称为锁定效应或可控硅效应)

各类数字集成电路主要性能比较

电 路 类 型		电源电压 (V)	传输延迟时间 (nS)	静态功耗 (mW)	功耗—延迟积 (pJ)	直流噪声容限(V)		输出逻辑摆幅 (V)
						V_{NL}	V_{NH}	
TTL	CT54/74	+5	10	15	150	1.2	2.2	3.5
	CT54LS/74LS	+5	7.5	2	15	0.4	0.5	3.5
HTL		+15	85	30	2550	7	7.5	13
ECL	CE10K系列	—5.2	2	25	50	0.135	0.125	0.8
	CE100K系列	—4.5	0.75	40	30	0.135	0.13	0.8
CMOS	$V_{DD}=5V$	+5	45	0.005	0.255	2.2	3.4	5
	$V_{DD}=15V$	+15	12	0.015	0.180	6.5	9.0	15
高速CMOS		+5	8	0.001	0.008	1.0	1.5	5

END