

第5章 集成触发器

触发器概述

5.1 基本触发器

5.2 钟控触发器

5.3 主从触发器

5.4 边沿触发器

触发器 (Flip-Flop)

- 触发器是边沿敏感的存储单元，数据存储的动作有某一信号的上升或者下降沿进行同步的。

锁存器 (Latch)

- ◆ 锁存器是电平触发的存储单元，数据存储的动作取决于输入时钟（或者使能）信号的电平值，仅当锁存器处于使能状态时，输出才会随着数据输入发生变化。

触发器 V.S 锁存器

- 触发器：需要时钟信号配合，一般为时钟边沿跳变时数据被存储。
- 锁存器：电平敏感，此时的时钟CP应理解成使能信号更为合理，当使能有效时数据被存储。
- 从寄存数据的角度来看，寄存器和锁存器的功能是相同的。
- 依据控制方式以及控制信号和数据之间的时间关系决定应用场合：若数据有效一定滞后于控制信号有效，则只能使用锁存器；若数据提前于控制信号而到达并且要求同步操作，则可用寄存器来存放数据。

触发器 V. S 锁存器

◆触发器VHDL描述:

```
process(clk, d)
begin
    wait until clk'event and clk='1';
    q<=d;
end process;
```

◆锁存器VHDL描述:

```
process(en, d)
begin
    if en='1' then
        q<=d;
    end if;
end process;
```

在FPGA设计中建议如果不是必须那么应该尽量使用触发器而不是锁存器。

触发器概述

触发器的功能

触发器是数字时序逻辑电路的基本单元电路。它是由门电路构成的，且具有记忆功能，能够存储1位二值信号。

触发器的特点

具有两个能自行保持的稳定状态——0状态和1状态。
用来表示二进制的0和1。

触发器的现态和次态

触发器接收输入信号之前的状态叫做**现态**，用 Q^n 表示。
触发器接收输入信号之后的状态叫做**次态**，用 Q^{n+1} 表示。

触发器概述

触发器的分类

- 按组成结构，触发器可分为基本触发器、钟控触发器、主从触发器和边沿触发器
- 按逻辑功能，触发器可分为RS触发器、D触发器、T触发器、JK触发器
- 按触发方式，触发器可分为电平触发器、脉冲触发器、边沿触发器

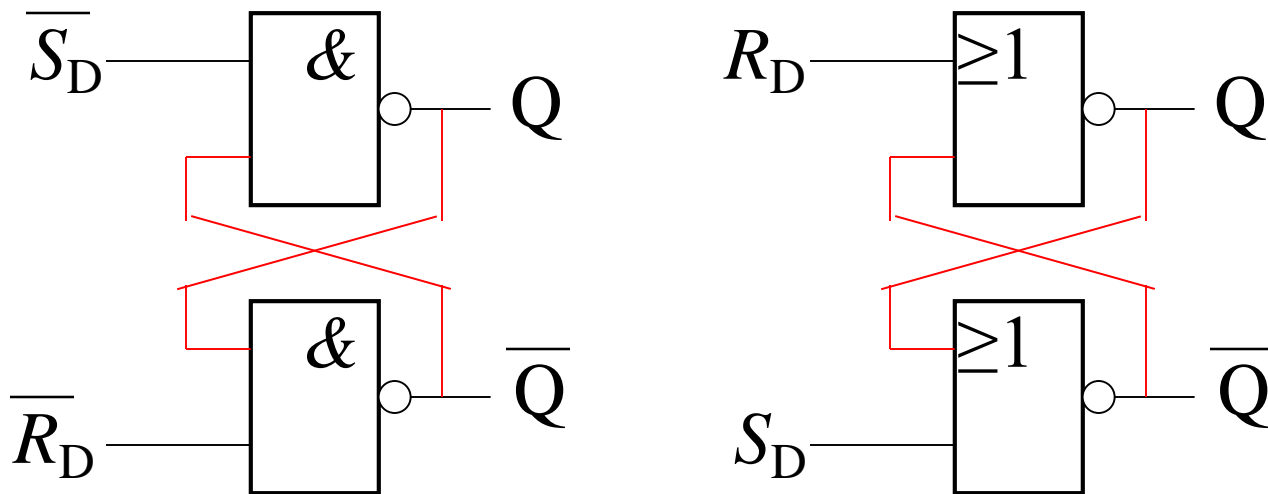
5.1 基本触发器

形象地说，触发器 FF ($Flip-Flop$) 具有“一触即发”的功能。它有两个稳定的状态，在输入信号作用下，它可以从一个状态转换成另一个状态，或保持原有状态不变；可以被设置成这两个状态中的任意一个状态，当输入信号消失后，所设置的状态又能够保持不变，即具有记忆（存储）功能

5.1.1 基本触发器电路组成和工作原理

基本触发器电路组成

在一个由**与非**（或**或非**）门构成电路的输出端与输入端之间引入**反馈**，产生一种新的电路

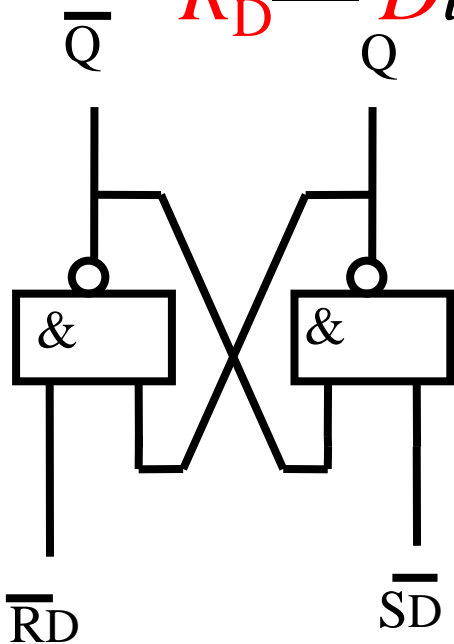


基本触发器有两个输入端 S_D 、 $\overline{R_D}$ 和两个输出端 Q 、 \overline{Q} 。当 $\overline{Q}=0$, $Q=1$ 时称为触发器的**0态**；当 $\overline{Q}=0$, $Q=1$ 时称为触发器的**1态**

$\overline{S_D}$ — *Directly Set*

$\overline{R_D}$ — *Directly Reset*

$$\begin{cases} Q^{n+1} = \overline{\overline{S_D} Q^n} \\ \overline{Q^{n+1}} = \overline{\overline{R_D} Q^n} \end{cases}$$



$\overline{S_D}=1$ 若: $\begin{cases} Q^n=0 \\ Q^n=1 \end{cases}$ 则: $\begin{cases} Q^{n+1}=0 \\ Q^{n+1}=1 \end{cases}$ 保持

$\overline{S_D}=0$ 若: $\begin{cases} Q^n=0 \\ Q^n=1 \end{cases}$ 则: $Q^{n+1}=1$ “1”状态



$\overline{S_D}=1$ 若: $\begin{cases} Q^n=0 \\ Q^n=1 \end{cases}$ 则: $Q^{n+1}=0$ “0”状态

$\overline{S_D}=0$ 则: $Q^{n+1}=1$
 $\overline{R_D}=0$ 则: $Q^{n+1}=1$

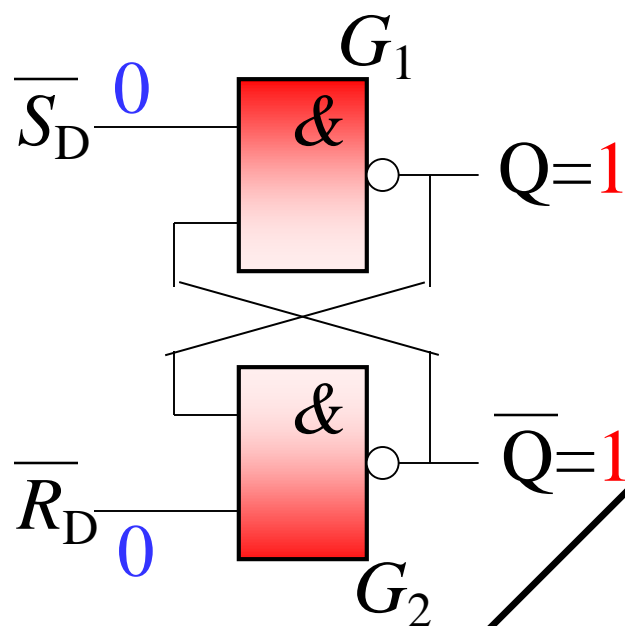
触发器既不是1态，也不是0态！

基本触发器工作原理（ $\overline{S}_D=0, \overline{R}_D=0$ 时）

当 $\overline{S}_D=0, \overline{R}_D=0$ 时，则不论触发器原来处于什么状态都有 $Q=\overline{Q}=1$ ，在这种状态下触发器工作是不正常的

如果在 $\overline{S}_D=0, \overline{R}_D=0$ 之后同时发生由0到1的变化，则两个与非门的输出都要由1向0转换，这就出现了所谓竞争现象

关于竞争现象的说明

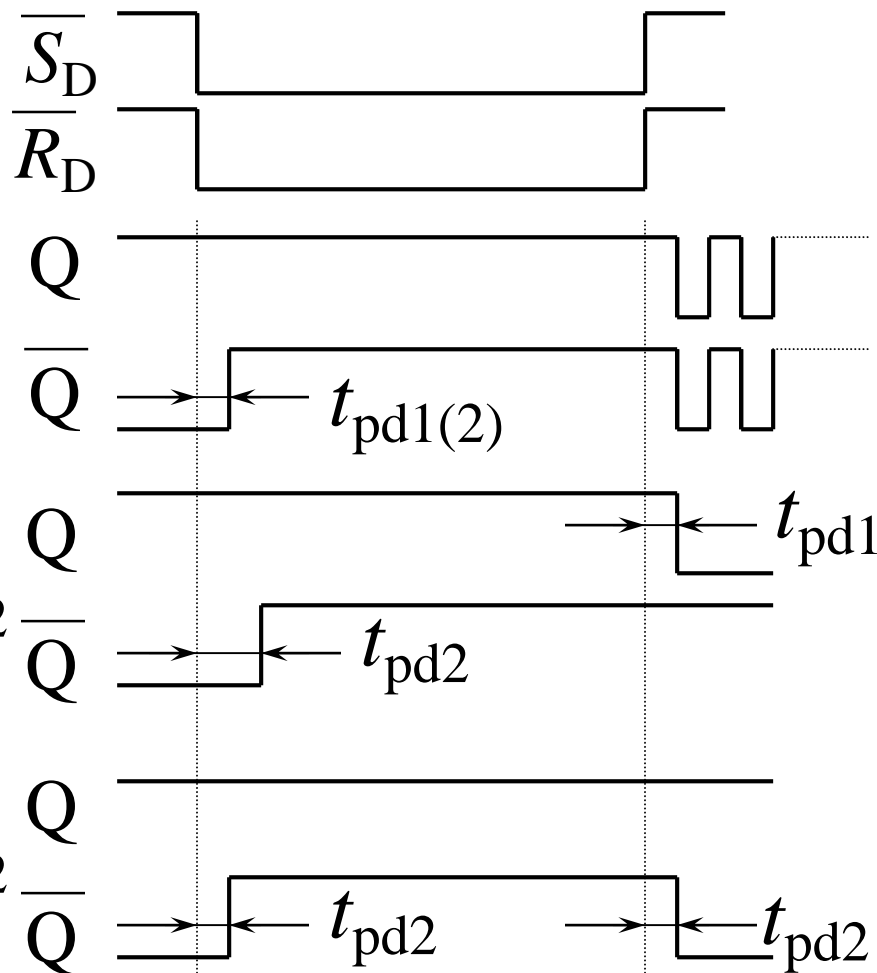


t_{pd} 门电路平均
传输延迟时间

$$t_{pd1} = t_{pd2}$$

$$t_{pd1} < t_{pd2}$$

$$t_{pd1} > t_{pd2}$$



电路的竞争现象使得最终稳定状态不能确定

5.1.2 基本触发器功能描述

状态转移真值表

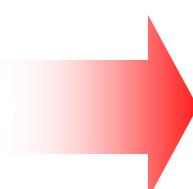
基本触发器状态转移表

$\overline{R_D}$	$\overline{S_D}$	Q^n	Q^{n+1}
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1
0	0	0	不确定
0	0	1	

现态 Q^n 输入作用之前触发器的原稳定状态

次态 Q^{n+1} 输入作用之后触发器的新稳定状态

简化状态转移表



$\overline{R_D}$	$\overline{S_D}$	Q^{n+1}
0	1	0
1	0	1
1	1	Q^n
0	0	不确定

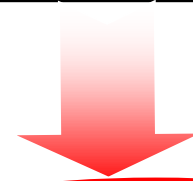
特征方程 (状态方程)

基本触发器状态转移表

$\overline{R_D}$	$\overline{S_D}$	Q^n	Q^{n+1}
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1
0	0	0	不确定
0	0	1	



$\overline{S_D} \ \overline{R_D}$					
Q^n		00	01	11	10
0		×	1	0	0
1		×	1	1	0



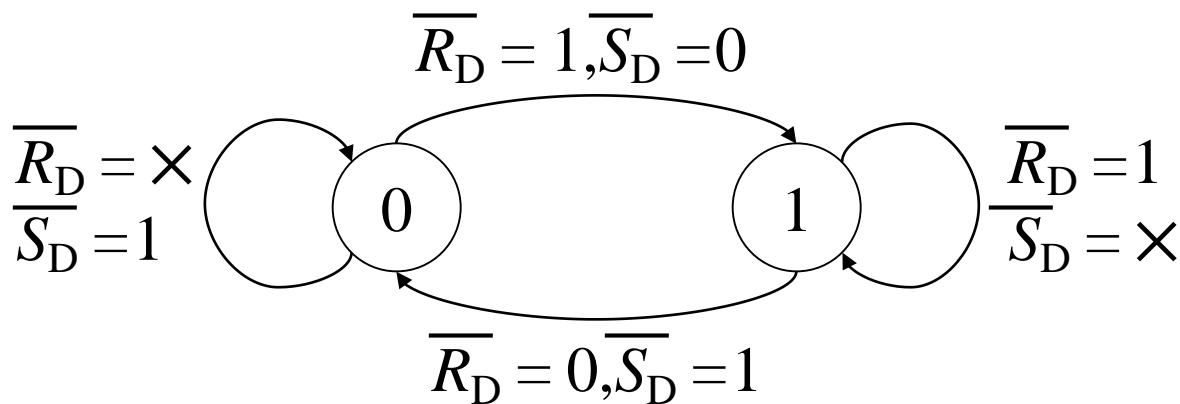
$$\begin{cases} Q^{n+1} = S_D + \overline{R_D}Q^n \\ \overline{S_D} + \overline{R_D} = 1 \end{cases}$$

状态转移图和激励表

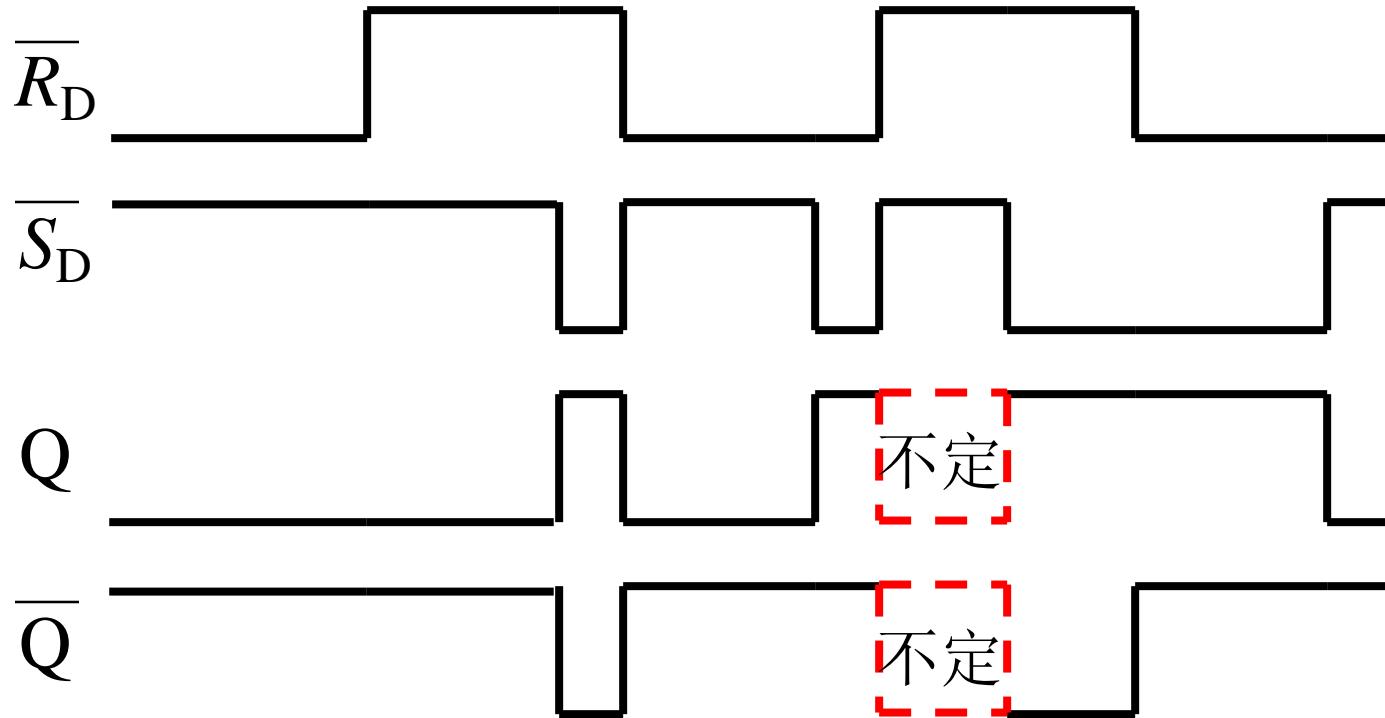
状态转移图和激励表
分别以表格和图形的
形式描述状态转移对
输入激励信号的要求

基本触发器激励表

状态转移		激励输入	
Q^n	Q^{n+1}	$\overline{R_D}$	$\overline{S_D}$
0	0	×	1
0	1	1	0
1	0	0	1
1	1	1	×

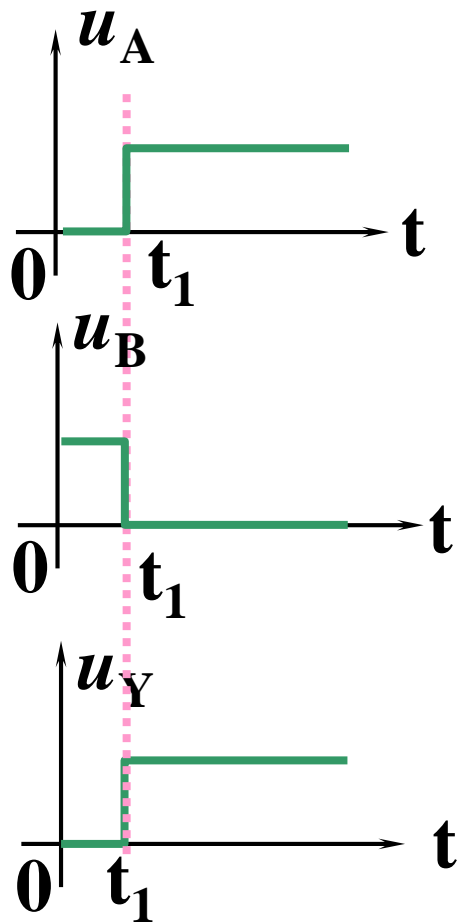
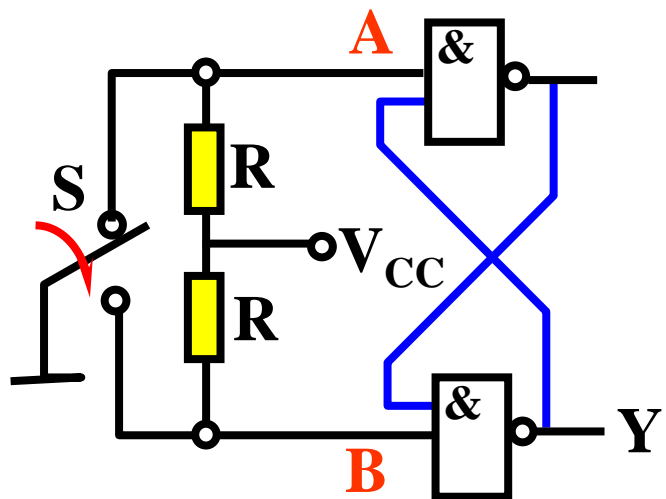


工作波形

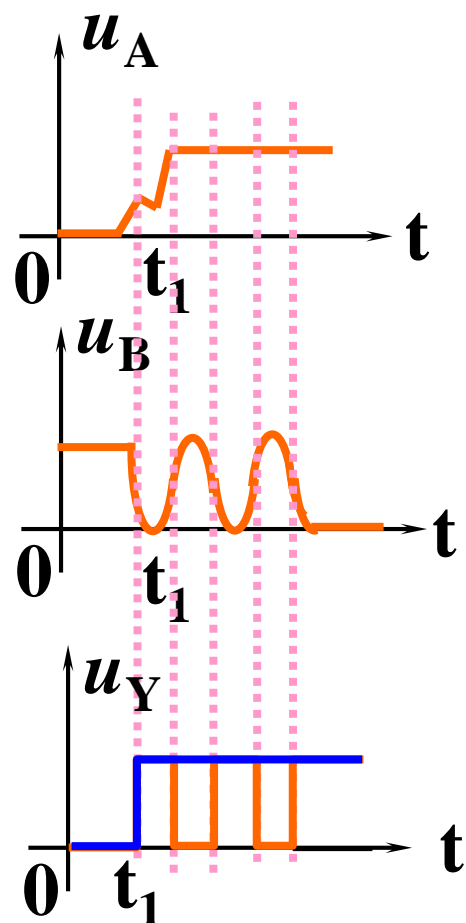


应用

防抖开关



理想波形



实际波形

5.2 钟控触发器

在数字系统中，常常要求若干个触发器的状态在统一的时刻同步发生转移，为此需要引入一个控制信号去协调各个触发器的动作，这个信号就是钟控脉冲信号(也称时钟脉冲CP)。在时钟脉冲CP的控制下，触发器根据当时的输入激励条件发生相应的状态转移。在电路中，时钟脉冲CP是通过加在基本触发器之前的触发导引电路来实现控制的。钟控触发器也称为同步触发器。

5.2.1 钟控RS触发器（同步RS触发器）

在基本RS触发器的输入端之前上加入触发导引电路构成了钟控RS触发器

当 $CP=0$ 时，

$$\overline{S_D} = 1, \overline{R_D} = 1$$

触发器状态保持

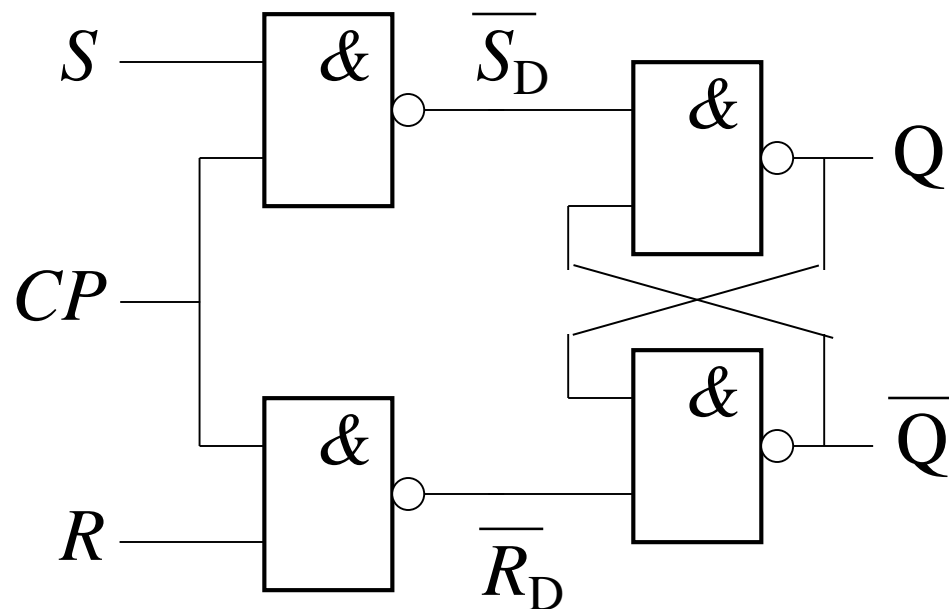
当 $CP=1$ 时，

$$\overline{S_D} = \overline{S}, \overline{R_D} = \overline{R}$$

触发器状态转移

$$\overline{S_D} + \overline{R_D} = \overline{S} + \overline{R} = 1 \quad \text{即 } SR=0$$

输入 S 、 R 仍然在约束



5.2.1 钟控RS触发器

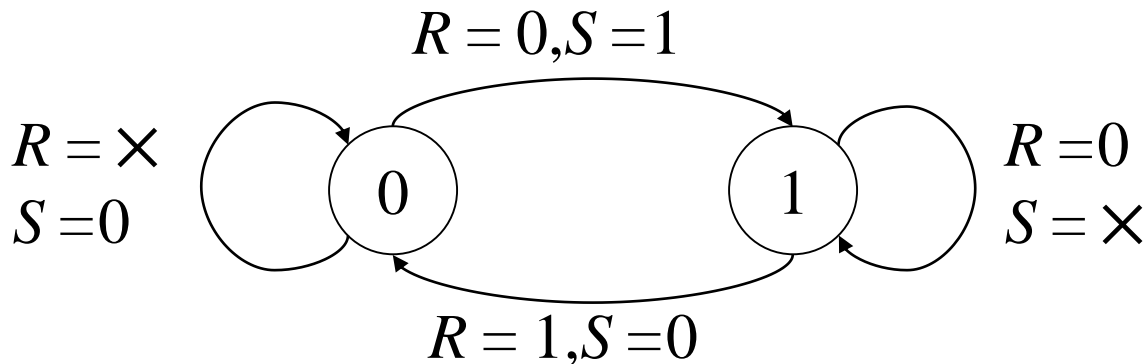
根据基本触发器的状态方程可以得到钟控RS触发器的状态方程

当 $CP=1$ 时

$$\begin{cases} Q^{n+1} = S + \overline{R}Q^n \\ S \cdot R = 0 \end{cases}$$

状态转移表

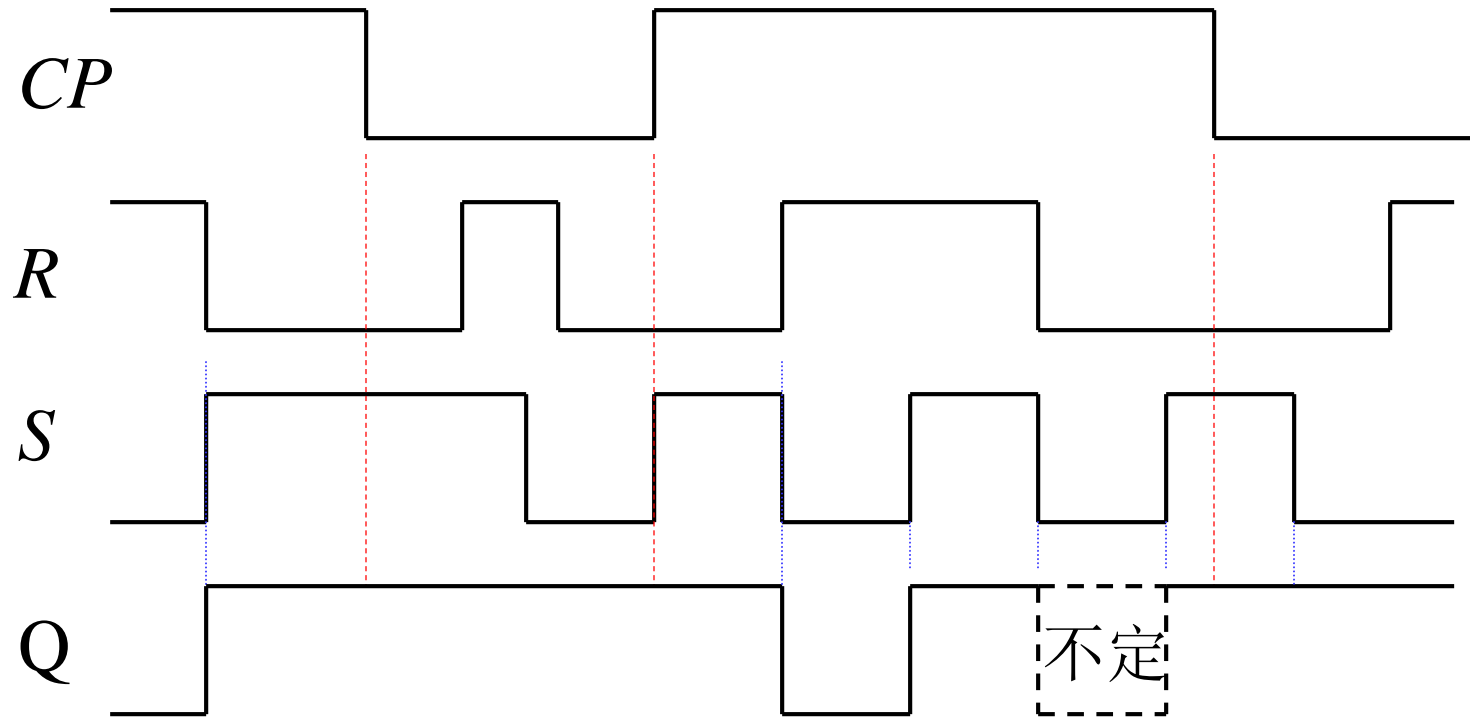
R	S	Q^{n+1}
1	0	0
0	1	1 同S
0	0	Q^n
1	1	不确定



激励表

状态转移		激励输入	
Q^n	Q^{n+1}	R	S
0	0	\times	0
0	1	0	1
1	0	1	0
1	1	0	\times

工作波形 (时序图)



5.2.2 钟控D触发器

在基本R-S触发器的输入端之前上加入另一种触发导引电路构成了钟控D触发器

当 $CP=0$ 时,

$$\overline{S_D} = 1, \overline{R_D} = 1$$

触发器状态保持

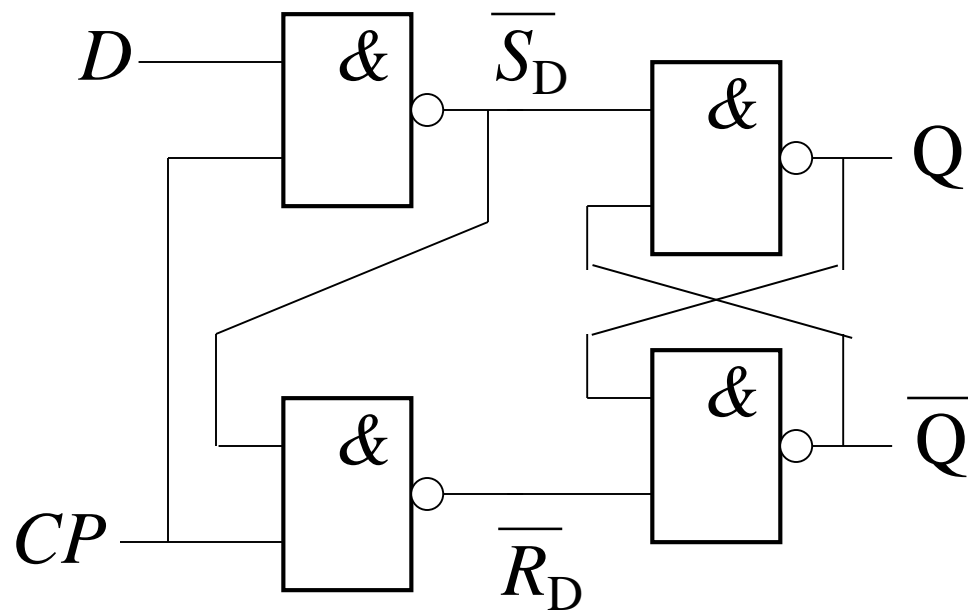
当 $CP=1$ 时,

$$\overline{S_D} = \overline{D}, \overline{R_D} = D$$

触发器状态转移

$$\overline{S_D} + \overline{R_D} = \overline{D} + D = 1$$

输入无约束



根据基本触发器的状态方程可以得到钟控D触发器的状态方程

当 $CP=1$ 时

$$Q^{n+1} = S_D + \bar{R}_D Q^n = D$$

状态转移表

D	Q^{n+1}
0	0
1	1

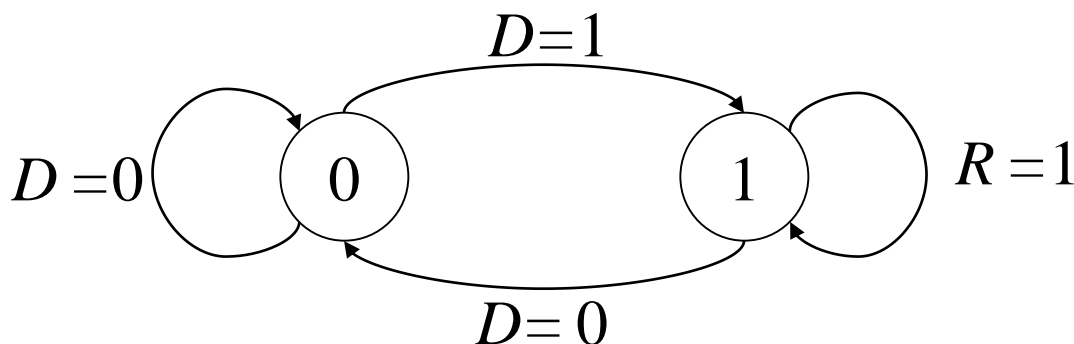
同D

$$\bar{S}_D = \bar{D}$$

$$\bar{R}_D = D$$

激励表

状态转移		激励输入
$Q^n \rightarrow Q^{n+1}$		D
0	0	0
0	1	1
1	0	0
1	1	1



5.2.3 钟控 JK 触发器

在钟控 RS 触发器的输出端与输入端之间加入两条反馈电路，构成钟控 JK 触发器

当 $\overline{CP}=0$ 时，
 $\overline{S_D}=1$ ， $\overline{R_D}=1$

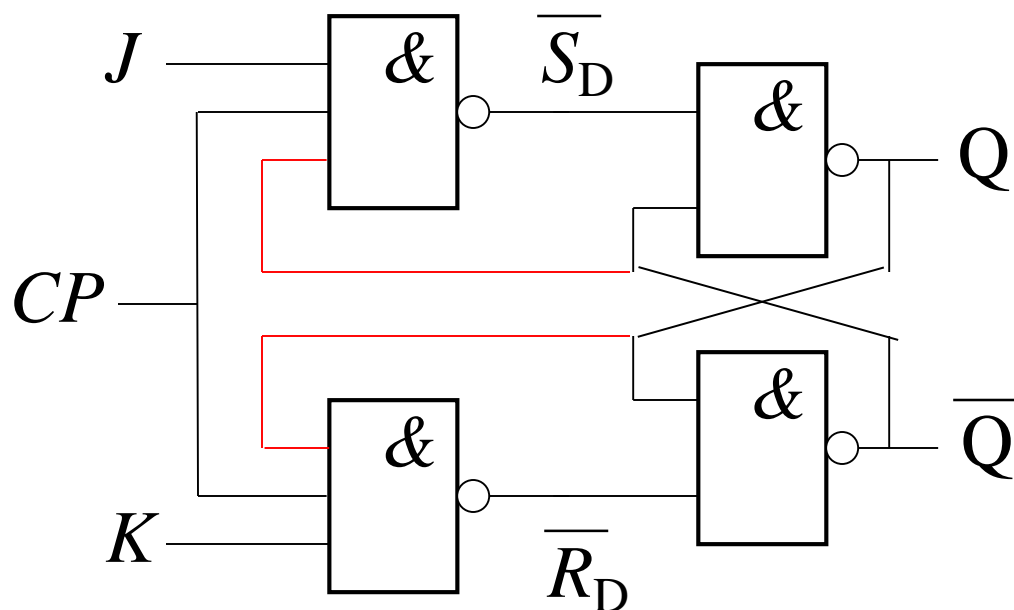
触发器状态保持

当 $\overline{CP}=1$ 时，
 $\overline{S_D}=J \overline{Q^n}$

$\overline{R_D}=K Q^n$

触发器状态转移

$$\overline{S_D} + \overline{R_D} = J \overline{Q^n} + K Q^n = 1 \quad \text{输入 } J、K \text{ 无约束}$$

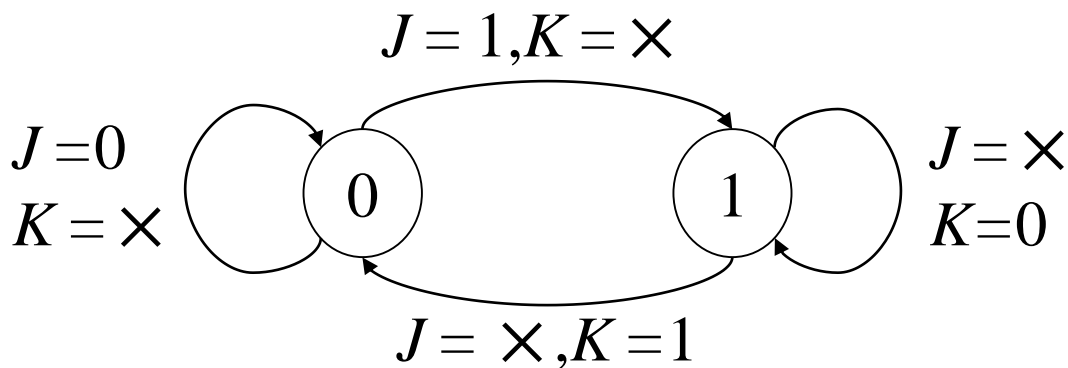


5.2.3 钟控JK触发器

根据基本触发器的状态方程可以得到钟控JK触发器的状态方程

当 $CP=1$ 时

$$\begin{aligned} Q^{n+1} &= S_D + \overline{R}_D Q^n \\ &= J \overline{Q}^n + \overline{K} Q^n \end{aligned}$$



状态转移表

J	K	Q^{n+1}
0	0	Q^n
0	1	0
1	0	1
1	1	\overline{Q}^n

同J

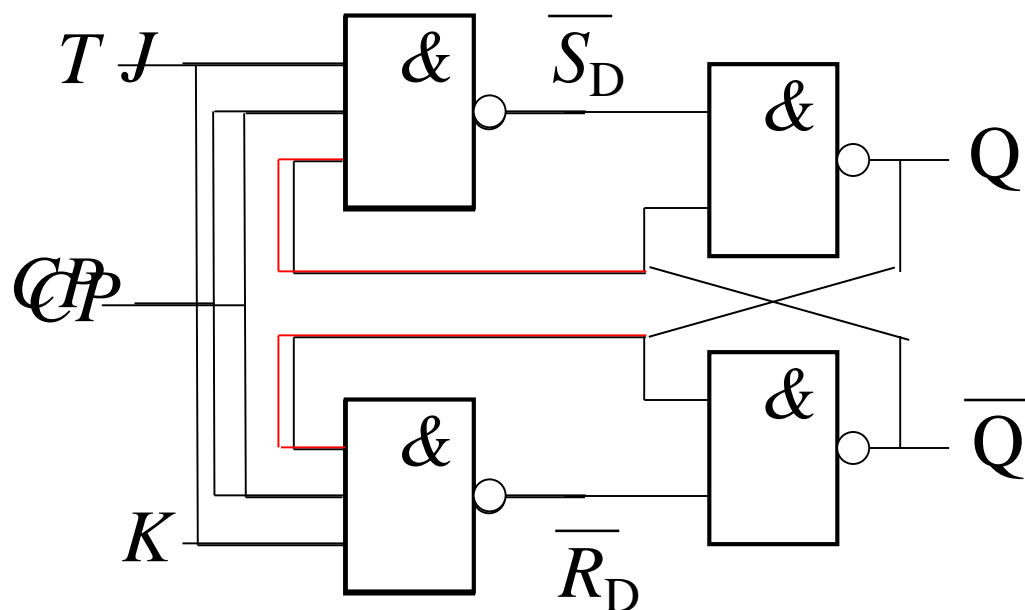
激励表

状态转移		激励输入	
Q^n	Q^{n+1}	J	K
0	0	0	x
0	1	1	x
1	0	x	1
1	1	x	0

5.2.4 钟控 T 触发器

将钟控 JK 触发器两个输入端 J 和 K 相连并改作 T ，作为输入端，便构成了钟控 T 触发器

当 $CP=0$ 时，
 $\overline{S_D}=1$ ， $\overline{R_D}=1$
触发器状态保持
当 $CP=1$ 时，
 $J=T$
 $K=T$
触发器状态转移



输入 T 无约束

根据钟控JK触发器的状态方程可以得到钟控T触发器的状态方程

当 $CP=1$ 时

$$Q^{n+1} = T \overline{Q}^n + \overline{T} Q^n$$

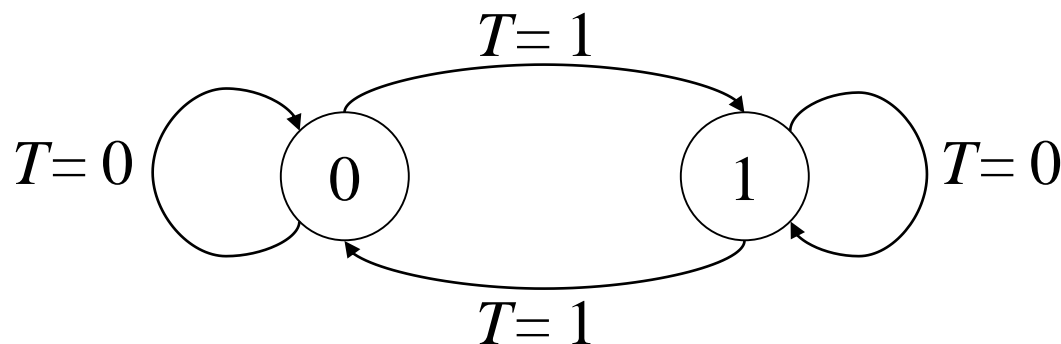
状态转移表

T	Q^{n+1}
0	Q^n
1	\overline{Q}^n

Q随T翻转

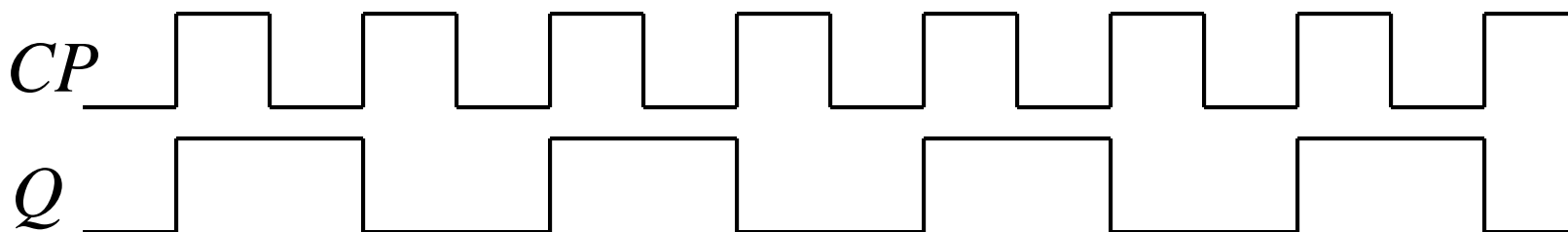
激励表

状态转移		激励输入
$Q^n \rightarrow Q^{n+1}$		T
0	0	0
0	1	1
1	0	1
1	1	0



T' 触发器

若令钟控JK触发器的 $J=K=1$ ，钟控T触发器的 $T=1$ ，则可得到一种有特殊功能的触发器，其状态方程是 $Q^{n+1} = \overline{Q^n}$



在一个时钟周期中当 $CP=0$ 时，触发器状态保持；当 $CP=1$ 时，触发器的状态转移；这就是说在时钟脉冲的作用下每当 $CP=1$ 时，触发器的状态都将转移（翻转）一次。称为 T' 触发器，也称为翻转触发器或计数触发器

5.2.5 电平触发方式的工作特性

当 $CP=0$ 时触发器不接收输入激励信号，状态保持不变；当 $CP=1$ 时触发器接收输入激励信号，状态发生转移，称这种钟控方式为电位触发方式

电位触发方式的特点是：在约定钟控电平($CP=1$ 或 $CP=0$)期间，触发器才接收输入激励信号，输入激励信号电平的变化都会引起触发器状态的改变。而在非约定钟控电平期间，触发导引电路被封锁，不论输入激励信号如何变化，输入激励信号都不被接收、都不影响触发器的状态

对时钟脉冲 $CP=1$ 的持续时间 t_{CPH} 有要求：

$$t_{CPH} > t_{pd} \text{ (稳定翻转延时)}$$

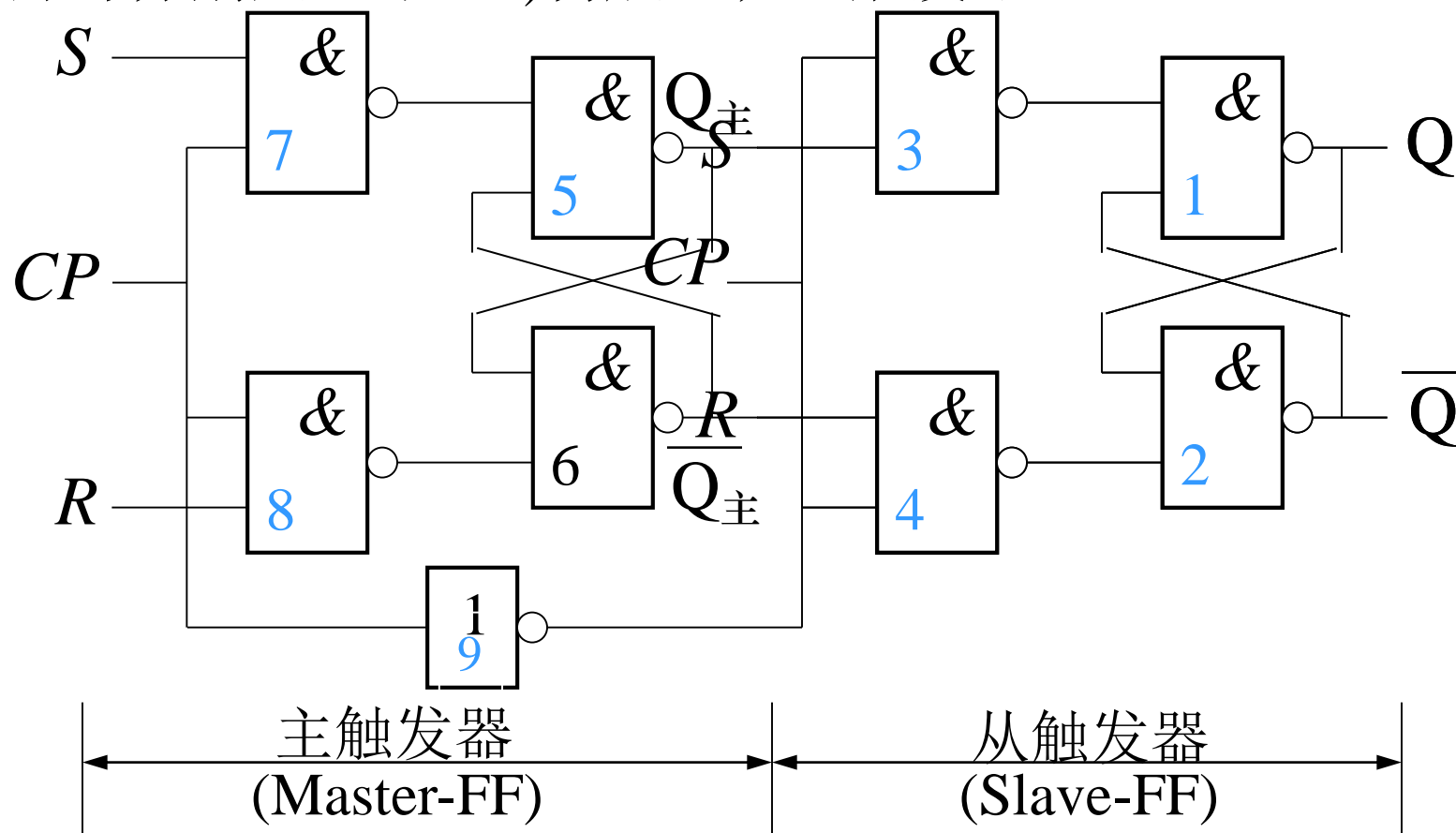
5.3 主从触发器

电平触发方式的钟控触发器，可能会产生多次翻转现象，究其原因，是因为电平触发方式使其在约定电平期间对输入激励信号敏感。这在实际电路中是不利的。

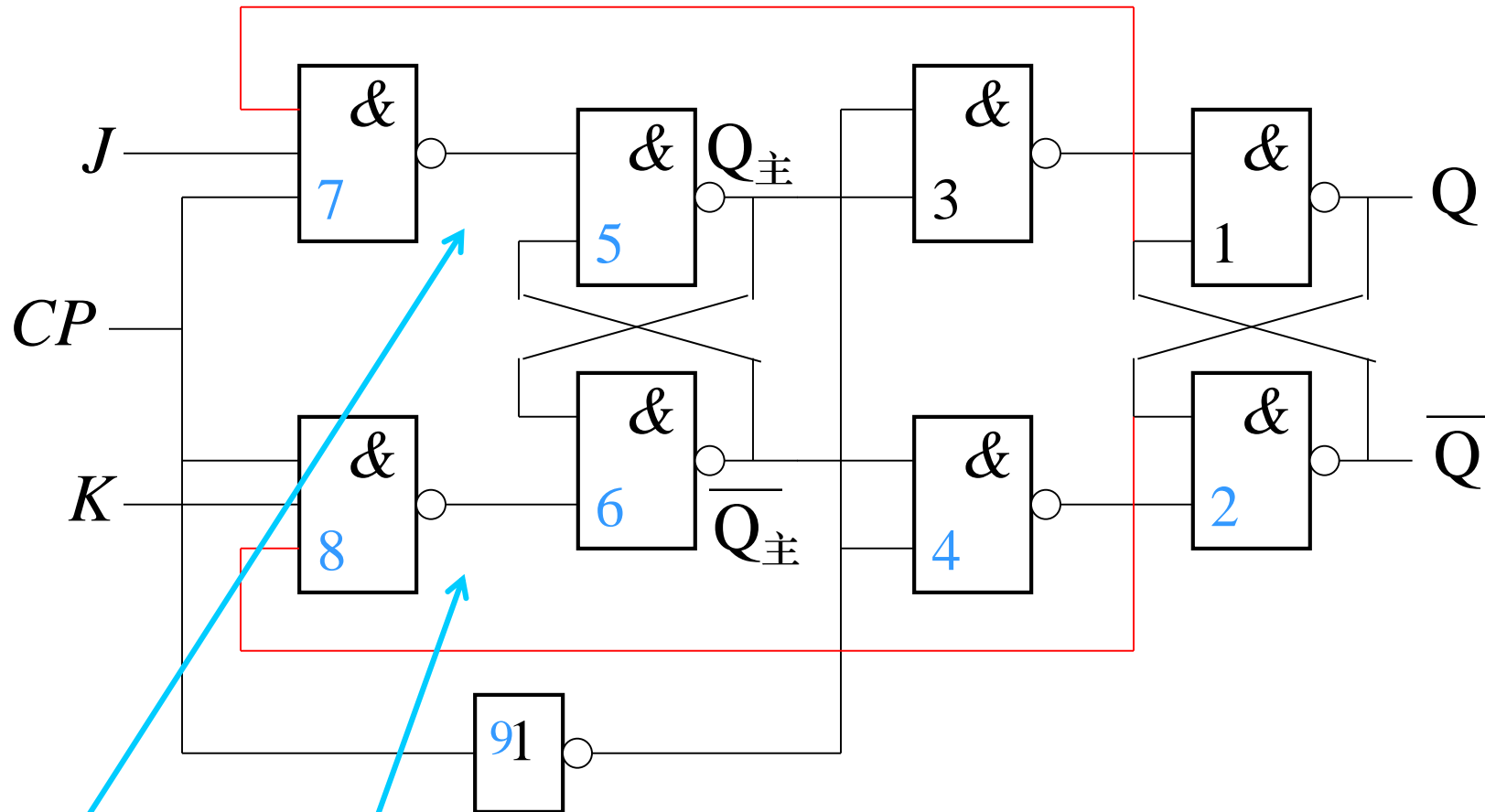
采用具有存储功能的触发导引电路，能够避免产生多次翻转现象，这就是主从触发器。

5.3.1 主从触发器基本原理

两个钟控 RS 触发器一主一从，首尾相接(两个触发器的时钟脉冲分别是 CP 和 \overline{CP})构成主从 RS 触发器



主从JK触发器



$$S = J\overline{Q}^n, R = KQ^n \Rightarrow Q^{n+1} = S + \overline{R}Q^n = J\overline{Q}^n + \overline{K}Q^n$$

R、S在哪儿？





5.3.2 主从JK触发器主触发器的一次翻转现象

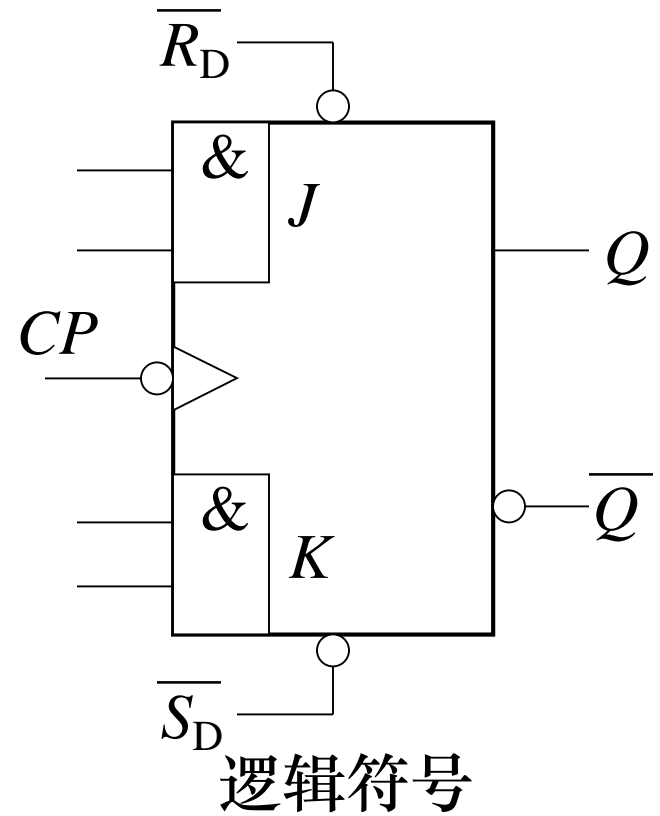
一次翻转现象的结果是导致主触发器的状态转移与状态方程 $Q_{\text{主}}^{n+1} = JQ^n + \overline{K}Q^n$ 所描述的转移结果不一致，并最终导致在相应的时钟下降沿作用时整个主从触发器的状态转移与状态方程描述的转移结果不一致，出现严重的逻辑错误。这就是说，一次翻转现象降低了主从JK触发器的抗干扰能力，限制了它的应用

为避免一次翻转现象导致这种差异的发生，应当要求时钟脉冲 $CP=1$ 的持续时间不能太长，且在 $CP=1$ 期间 J 、 K 不能发生多次变化

5.3.3 主从触 JK 发器集成单元

主从 JK 触发器功能表

输 入					输 出	
$\overline{R_D}$	$\overline{S_D}$	CP	J	K	Q	\overline{Q}
0	1	×	×	×	0	1
1	0	×	×	×	1	0
1	1		0	0	Q^n	\overline{Q}^n
1	1		0	1	0	1
1	1		1	0	1	0
1	1		1	1	\overline{Q}^n	Q^n



5.3.4 集成主从触 JK 发器的脉冲工作特性

设与非门的延迟时间为 t_{pd} ，与或非门的延迟时间为 $1.4 t_{pd}$ ，
晶体管的延迟时间为 $0.5 t_{pd}$

☆ CP 正向跳变起至 $CP=1$

要求 CP 跳变前 J 、 K 已经稳定并在 $CP=1$ 期内不变；
从 CP 跳变至最后稳定，需经历两级与或非门的延迟时间共 $2.8 t_{pd}$ ，所以 $t_{CPH} > 2.8 t_{pd}$

☆ CP 负向跳变起至 $CP=0$

从触发器接收主触发器的状态需经历 T_1 (或 T_2)及两级与非门的延迟时间共 $2.5 t_{pd}$ ，所以 $t_{CPL} > 2.5 t_{pd}$

从触发器状态变化发生仅在 CP 负向跳变时，

$$Q^{n+1} = [J\overline{Q}^n + \overline{K}Q^n] \quad CP \downarrow$$

☆ CP 的最高频率

$$f_{CPmax} \leq \frac{1}{t_{CPH} + t_{CPL}} = \frac{1}{5.3 t_{pd}}$$

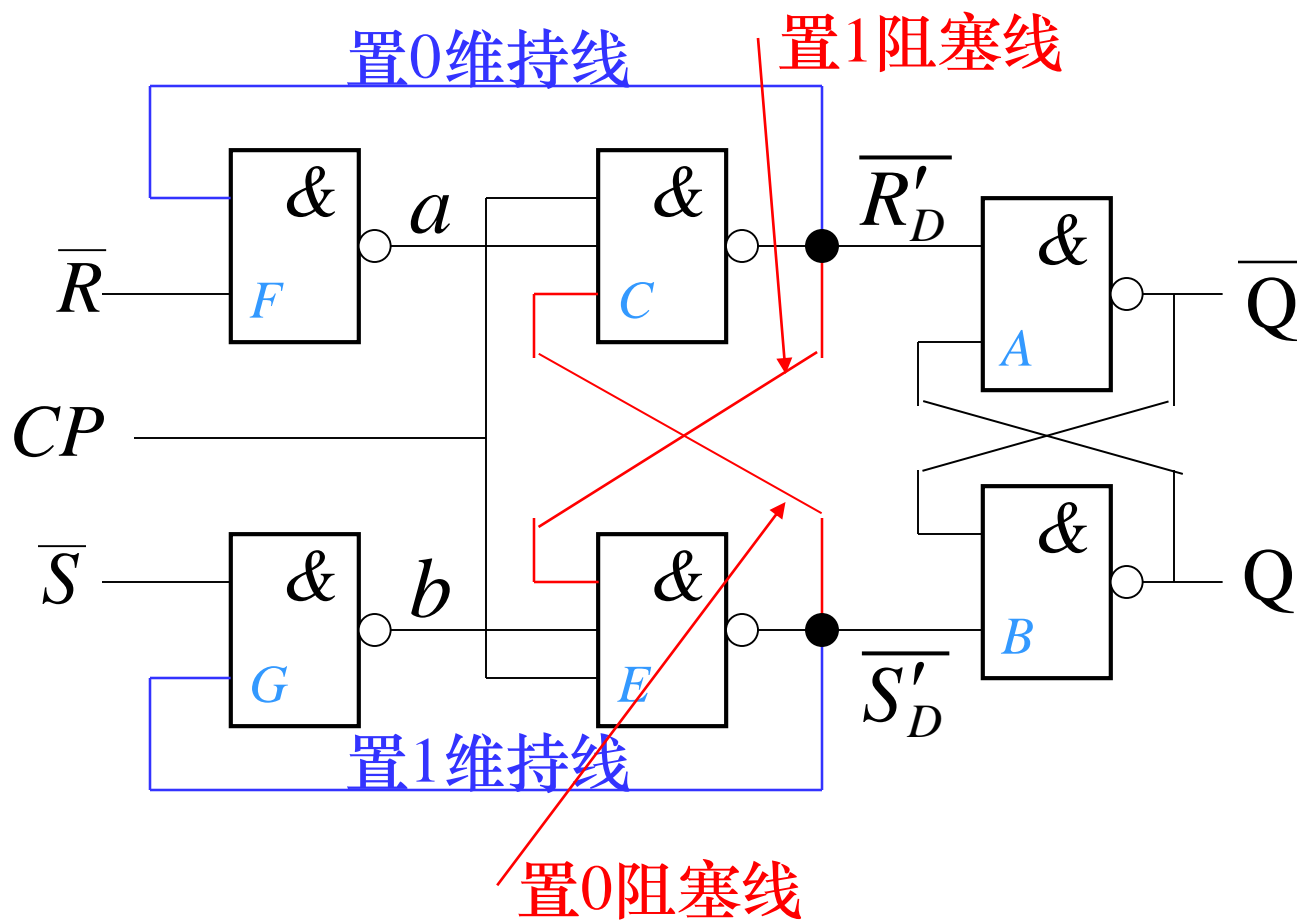
5.4 边沿触发器

主从触发虽然可以克服电位触发方式的多次翻转现象，但主从触发器却有一次翻转特性，这降低了它的抗干扰能力。**边沿触发器仅在时钟脉冲的上升沿（或下降沿）才响应输入激励信号**，既能克服电位触发方式的多次翻转现象，又可避免主从触发方式的一次翻转现象，其状态仅仅在规定的时钟边沿时刻才发生变化，因此大大地提高了抗干扰能力

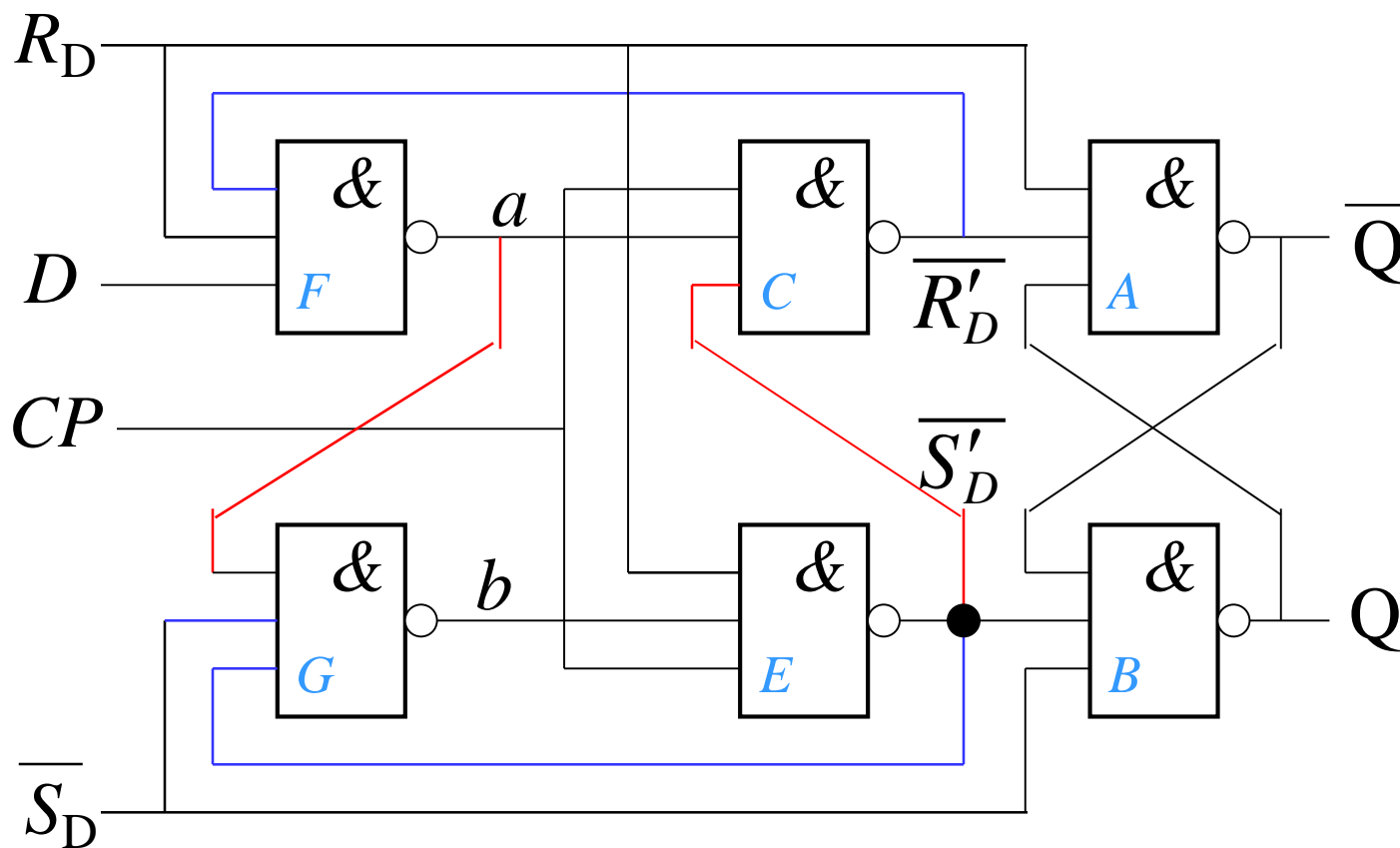
边沿触发器是电气性能最好，应用最多，最实用的触发器

5.4.1 维持—阻塞触发器

维持阻塞RS触发器



维持阻塞D触发器



$$CP = 0 \quad a = \overline{D} \overline{R'_D} = \overline{D} \quad b = \overline{a} \overline{S'_D} = \overline{\overline{D} \overline{R'_D}} \overline{S'_D} = D$$

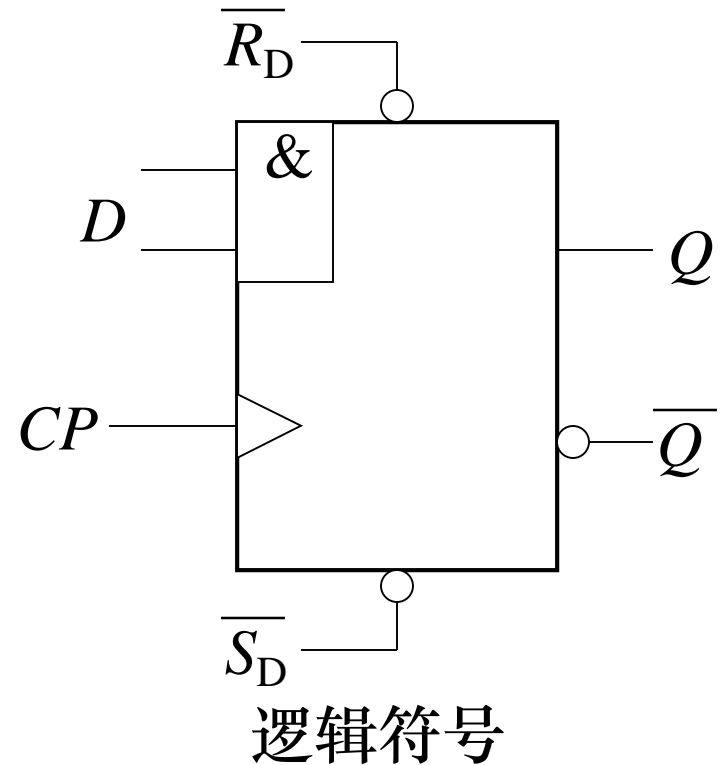
$$CP \uparrow \quad \overline{S'_D} = \overline{b} = \overline{\overline{D}} = D, \quad \overline{R'_D} = \overline{a} = \overline{\overline{D}} = D$$

$$Q^{n+1} = S'_D + \overline{R'_D} Q^n = D$$

维持阻塞D触发器

边沿D触发器功能表

输 入				输 出	
$\overline{R_D}$	$\overline{S_D}$	CP	D	Q	\overline{Q}
0	1	×	×	0	1
1	0	×	×	1	0
1	1	↑	0	0	1
1	1	↑	1	1	0



状态方程 $Q^{n+1} = [D] \quad CP \uparrow$

维持阻塞型D触发器的脉冲工作特性

☆ $CP=0$ 期间, $a=\bar{D}$, $b=D$ 为触发器即将发生的状态转移做准备, a, b 稳定需要一段建立时间: $t_{CPL} \geq t_{set} = 2t_{pd}$

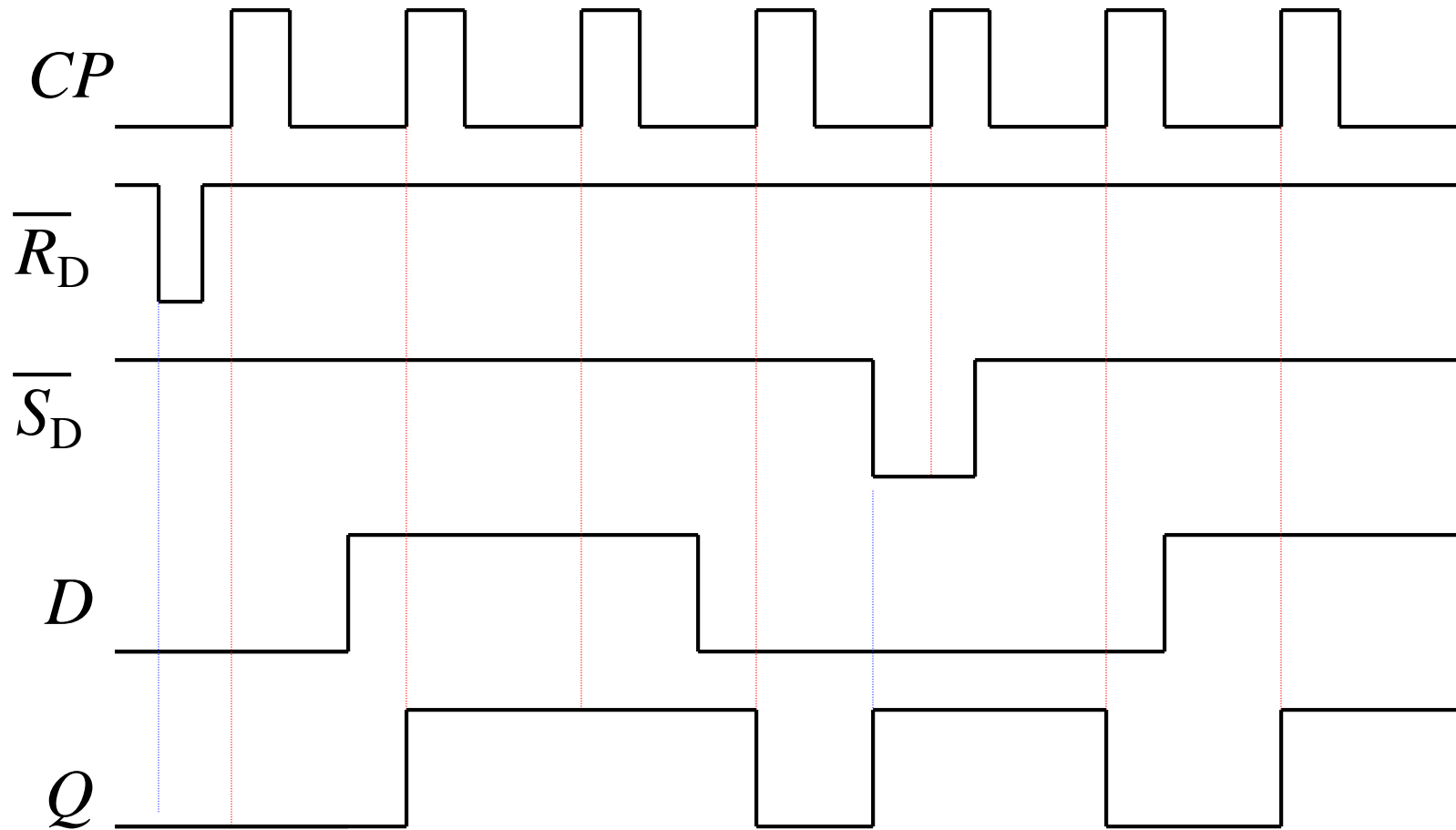
☆ $CP \uparrow$ 时刻, 要达到维持阻塞作用, 输入信号 D 应当保持一段时间不能发生变化 $t_h = 1t_{pd}$

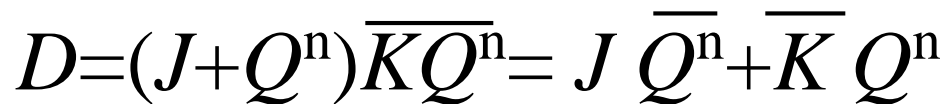
☆ $CP \uparrow$ 起直至触发器完成状态转移需经历基本触发器输入信号的建立和状态翻转时间 $3t_{pd}$
在此期间内 CP 不能发生变化, $t_{CPH} \geq 3t_{pd}$

☆ CP 的最高频率

$$f_{CPmax} \leq \frac{1}{t_{CPL} + t_{CPH}} = \frac{1}{5t_{pd}}$$

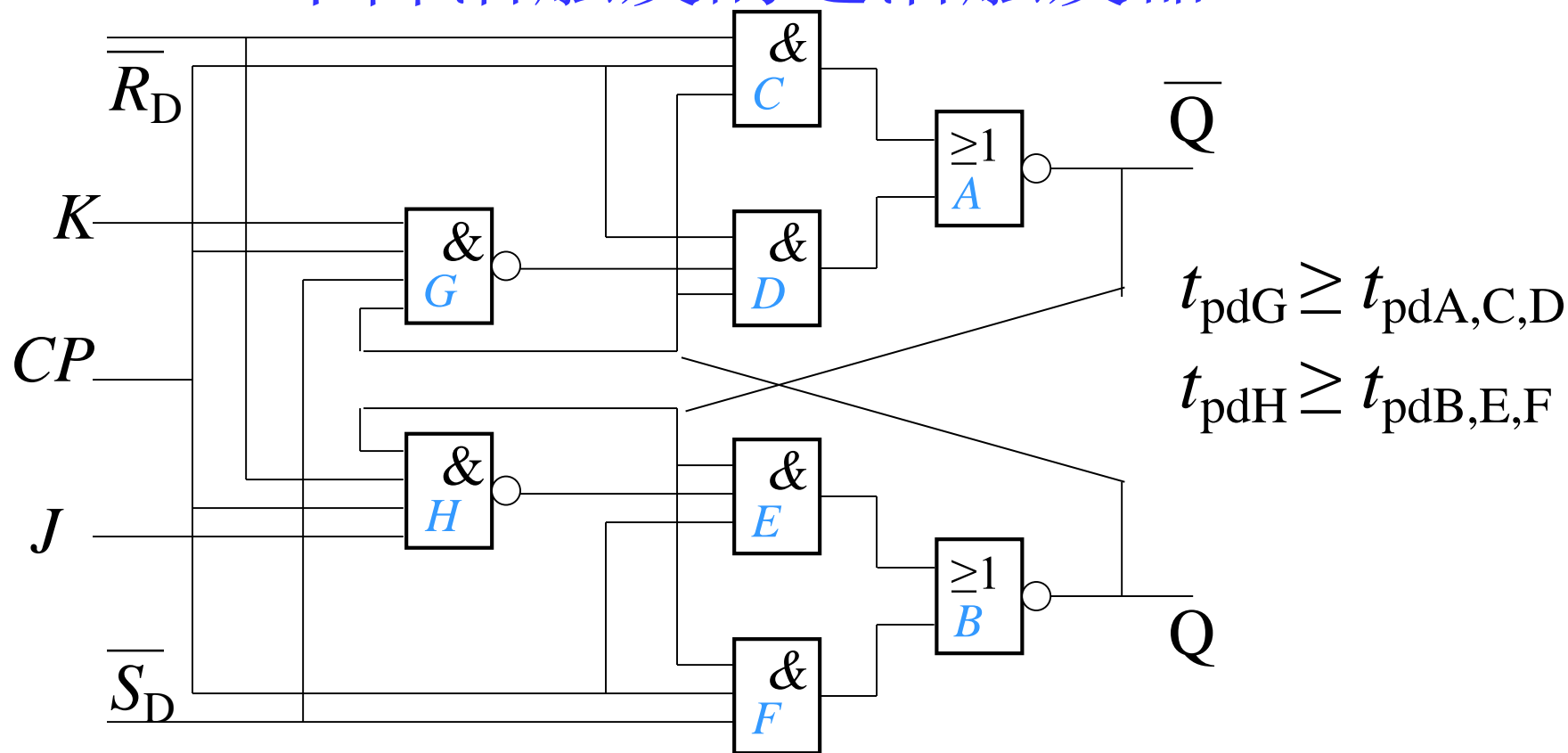
维持阻塞D触发器的工作波形





5-41

5.4.2 下降沿触发的边沿触发器



$$CP=1 \quad H=J \overline{Q^n}, \quad G=\overline{K} Q^n \quad Q=\overline{S_D} CP \overline{Q} + \overline{S_D} \overline{Q} H = Q$$

$$\overline{Q} = \overline{R_D} CP Q + \overline{R_D} Q \overline{G} = \overline{Q}$$

$$CP \downarrow \quad Q^{n+1} = \overline{H} + G Q^n = J \overline{Q^n} + \overline{K} Q^n$$

下降沿触发边沿触发器的脉冲工作特性

设与或非门构成的基本触发器的翻转延迟时间是 $2t_{pd}$ ，门 G 、 H 的平均延迟时间大于 $2t_{pd}$

在 CP 信号下降沿到达之前，必需稳定建立 G 和 H ，所以 $CP=1$ 的持续时间应当大于 $2t_{pd}$ ，而且要求在这段时间内 J 、 K 要保持稳定，不能发生变化

在 CP 信号下降沿到达之后，为了保证触发器可靠地翻转 $CP=0$ 的持续期也应当大于 $2t_{pd}$

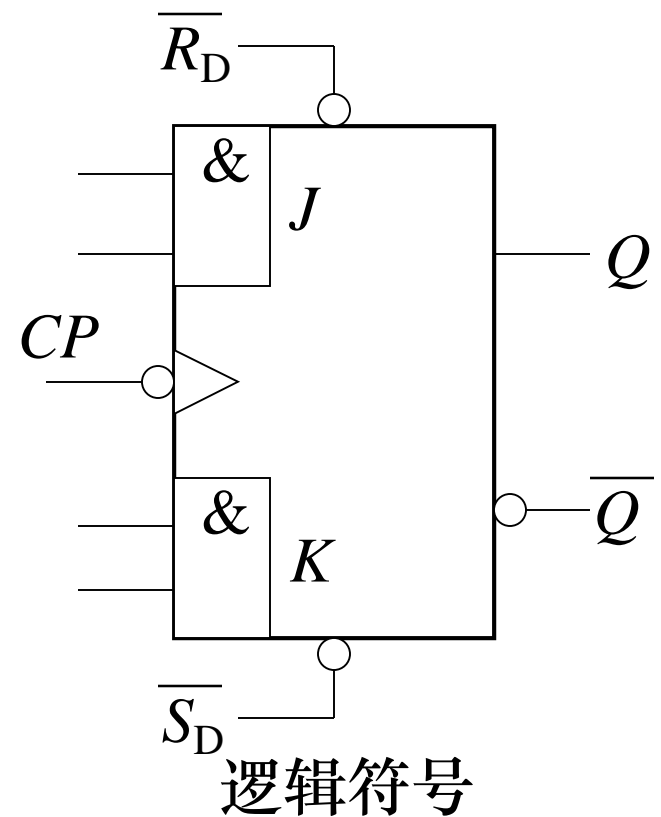
可以确定触发器的时钟脉冲的最高频率

$$f_{CPmax} \leq \frac{1}{t_{CPL} + t_{CPH}} = \frac{1}{4t_{pd}}$$

5.4.2 下降沿触发的边沿触发器

下降沿触发JK触发器功能表

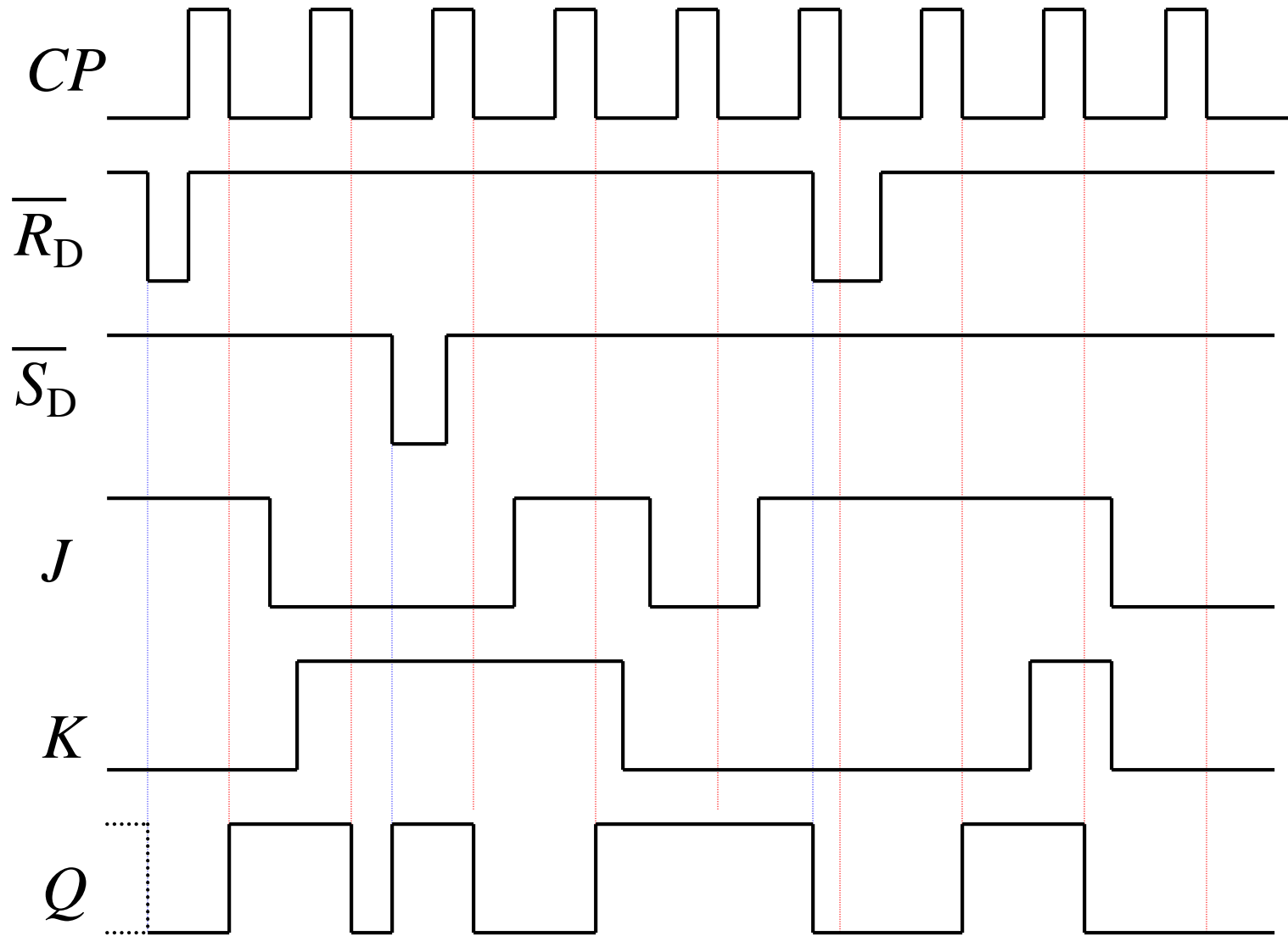
输 入					输出	
$\overline{R_D}$	$\overline{S_D}$	CP	J	K	Q	\overline{Q}
0	1	×	×	×	0	1
1	0	×	×	×	1	0
1	1	↓	0	0	Q^n	\overline{Q}^n
1	1	↓	0	1	0	1
1	1	↓	1	0	1	0
1	1	↓	1	1	\overline{Q}^n	Q^n



状态方程

$$Q^{n+1} = [J \overline{Q}^n + \overline{K} Q^n] \quad CP \downarrow$$

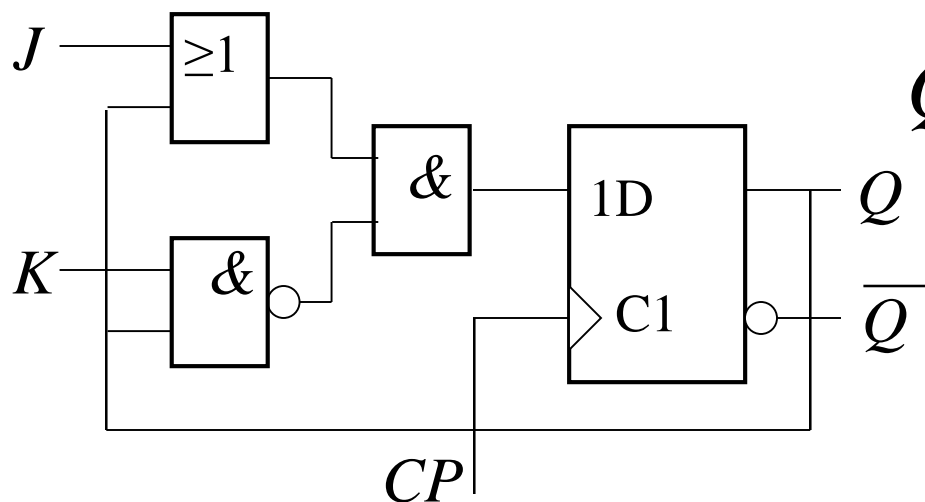
5.4.2 下降沿触发的边沿触发器



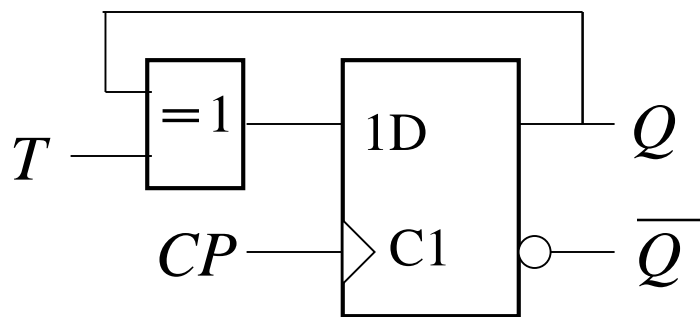
触发器工作波形画法小结

- ☆根据触发器的时钟类型确定触发器应当在什么时刻发生状态转换，且触发器的状态转换只可能发生在这些时刻
- ☆根据触发器电路的逻辑功能确定触发器在状态发生转换时，应该按什么规律转换，进而画出触发器的输出波形
- ☆充分注意到异步置0端、异步置1端的异步作用，它们对输出控制的优先级别最高
- ☆对于主从 JK 触发器只有首先确定主触发器的输出后，才能正确画出整个主从触发器的输出波形

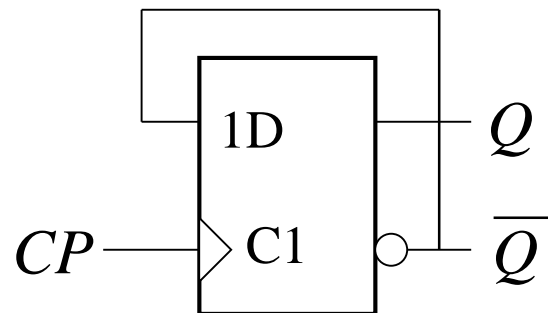
触发器类型转换



$$\begin{aligned}
 Q^{n+1} &= [D] \quad CP \uparrow \\
 &= [(J + Q^n) \overline{K} \overline{Q}^n] \quad CP \uparrow \\
 &= [J \overline{Q}^n + \overline{K} \overline{Q}^n] \quad CP \uparrow
 \end{aligned}$$

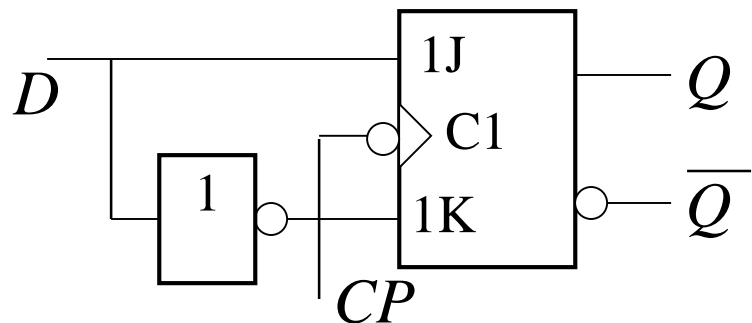


$$\begin{aligned}
 Q^{n+1} &= [D] \quad CP \uparrow \\
 &= [T \overline{Q}^n + \overline{T} \overline{Q}^n] \quad CP \uparrow
 \end{aligned}$$

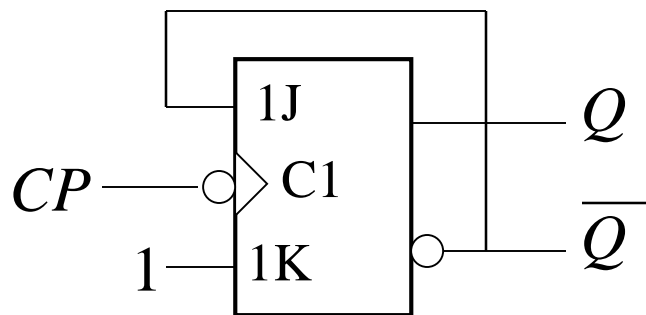


$$\begin{aligned}
 Q^{n+1} &= [D] \quad CP \uparrow \\
 &= [\overline{Q}^n] \quad CP \uparrow
 \end{aligned}$$

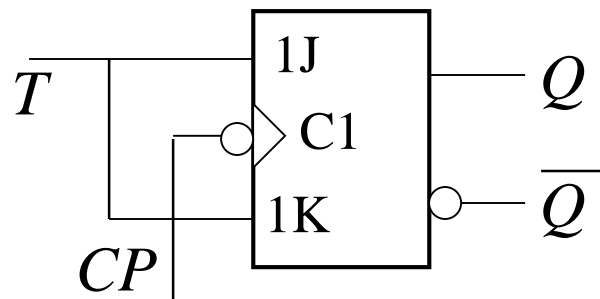
触发器类型转换



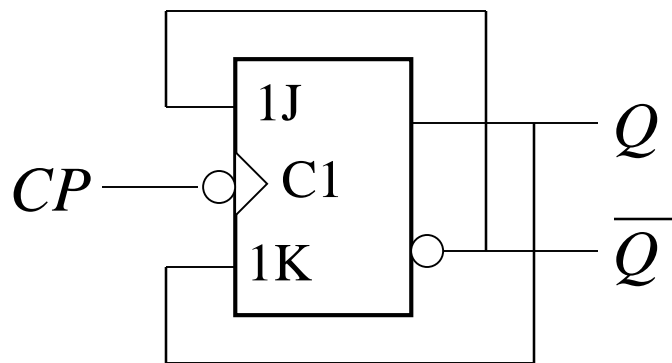
$$\begin{aligned}
 Q^{n+1} &= [J\bar{Q}^n + \bar{K}Q^n] \text{ } CP\downarrow \\
 &= [D\bar{Q}^n + DQ^n] \text{ } CP\downarrow \\
 &= [D] \text{ } CP\downarrow
 \end{aligned}$$



$$\begin{aligned}
 Q^{n+1} &= [J\bar{Q}^n + \bar{K}Q^n] \text{ } CP\downarrow \\
 &= [\bar{Q}^n] \text{ } CP\downarrow
 \end{aligned}$$



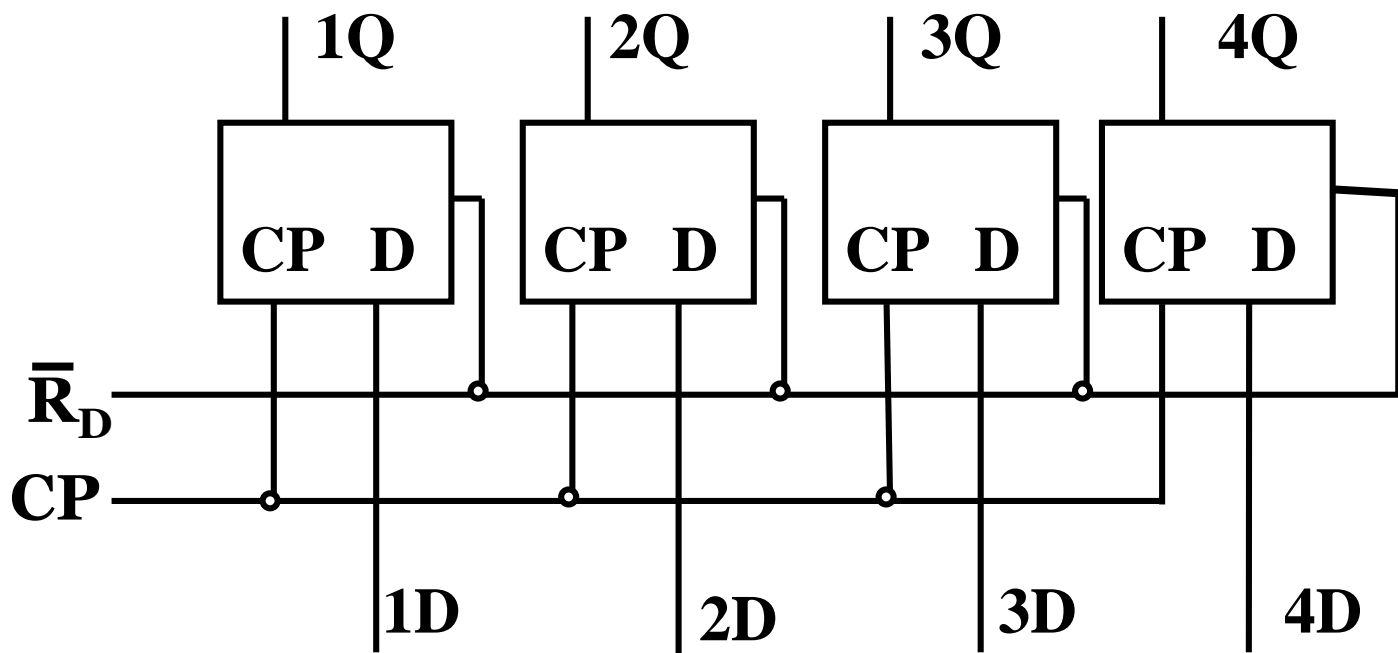
$$\begin{aligned}
 Q^{n+1} &= [J\bar{Q}^n + \bar{K}Q^n] \text{ } CP\downarrow \\
 &= [T\bar{Q}^n + TQ^n] \text{ } CP\downarrow
 \end{aligned}$$



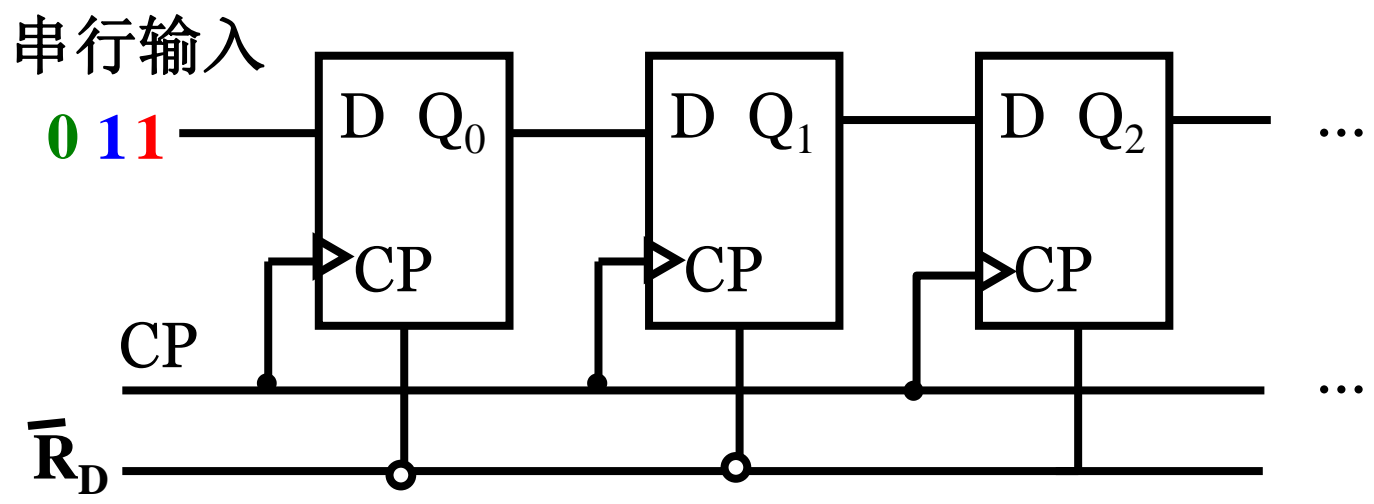
$$\begin{aligned}
 Q^{n+1} &= [J\bar{Q}^n + \bar{K}Q^n] \text{ } CP\downarrow \\
 &= [\bar{Q}^n] \text{ } CP\downarrow
 \end{aligned}$$

触发器典型应用

电位型只能当作寄存器



正边沿D触发器可以用作移位寄存器

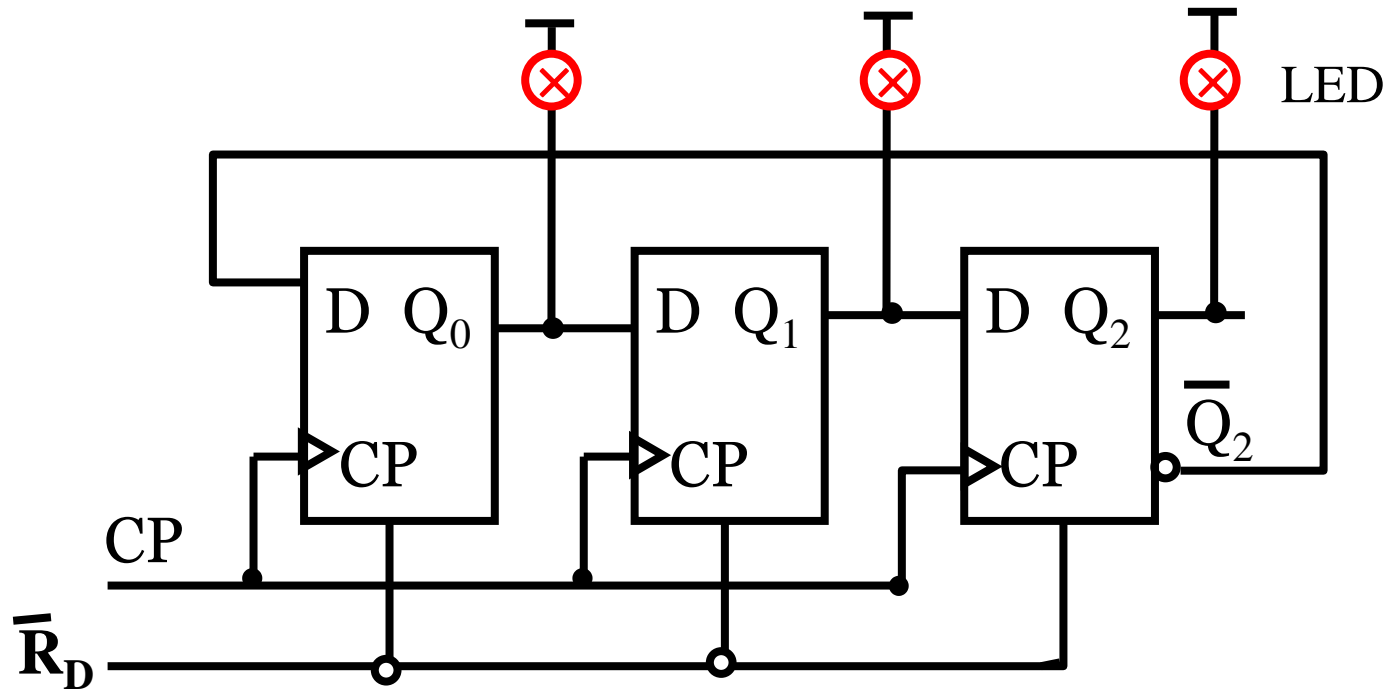


CP	Q ₀	Q ₁	Q ₂
0	0	0	0
1	1	0	0
2	1	1	0
3	0	1	1

右移移位寄存器

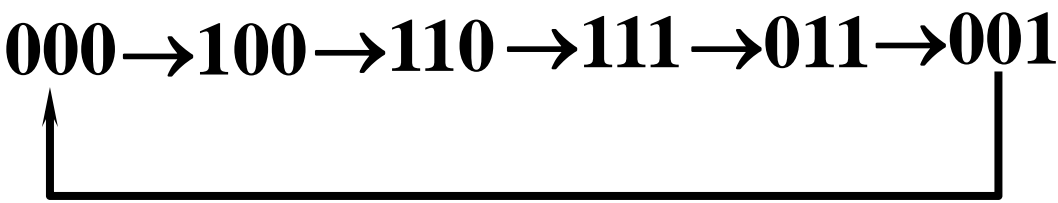
锁存器不能作
为移位寄存器

正边沿D触发器可以用作计数器

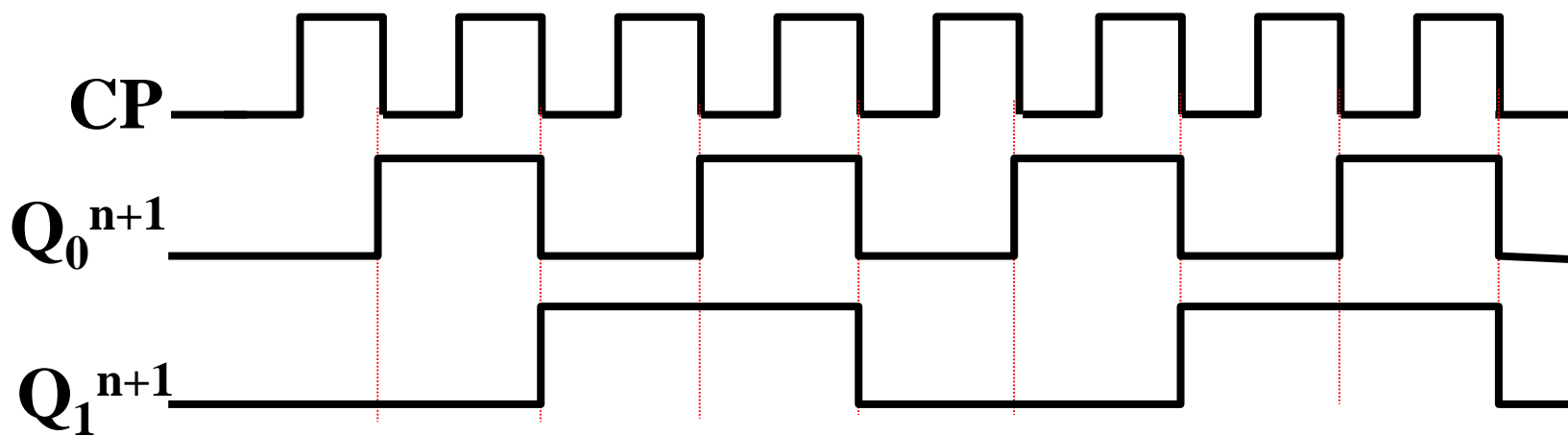
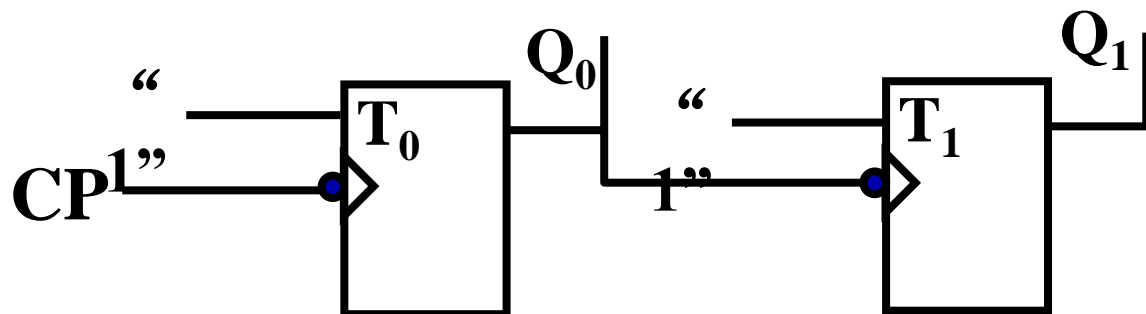


$Q_0Q_1Q_2$

同步六进制计数器



T触发器应用



分频器

END