

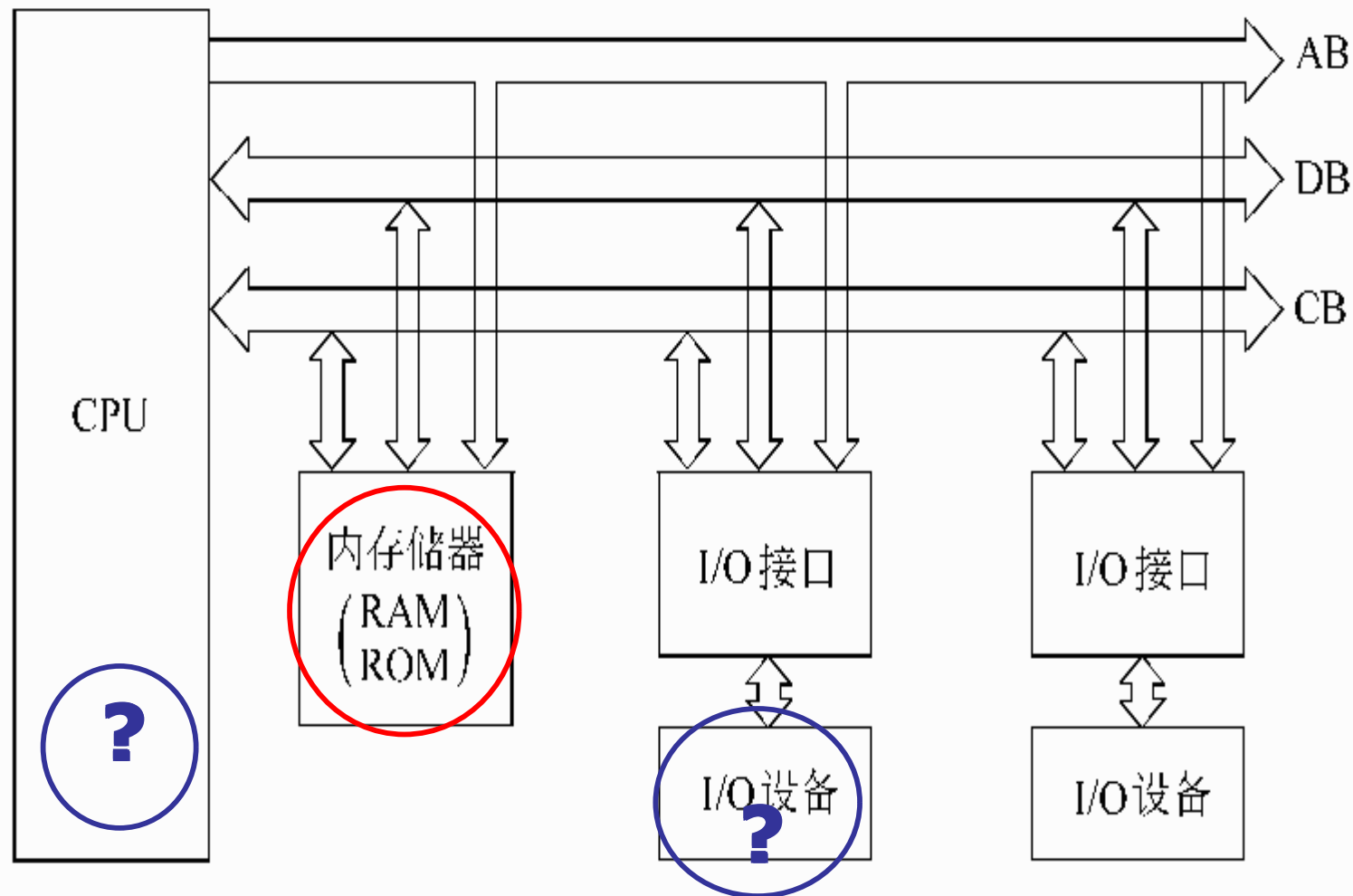
第四章 半导体存储器

主要内容

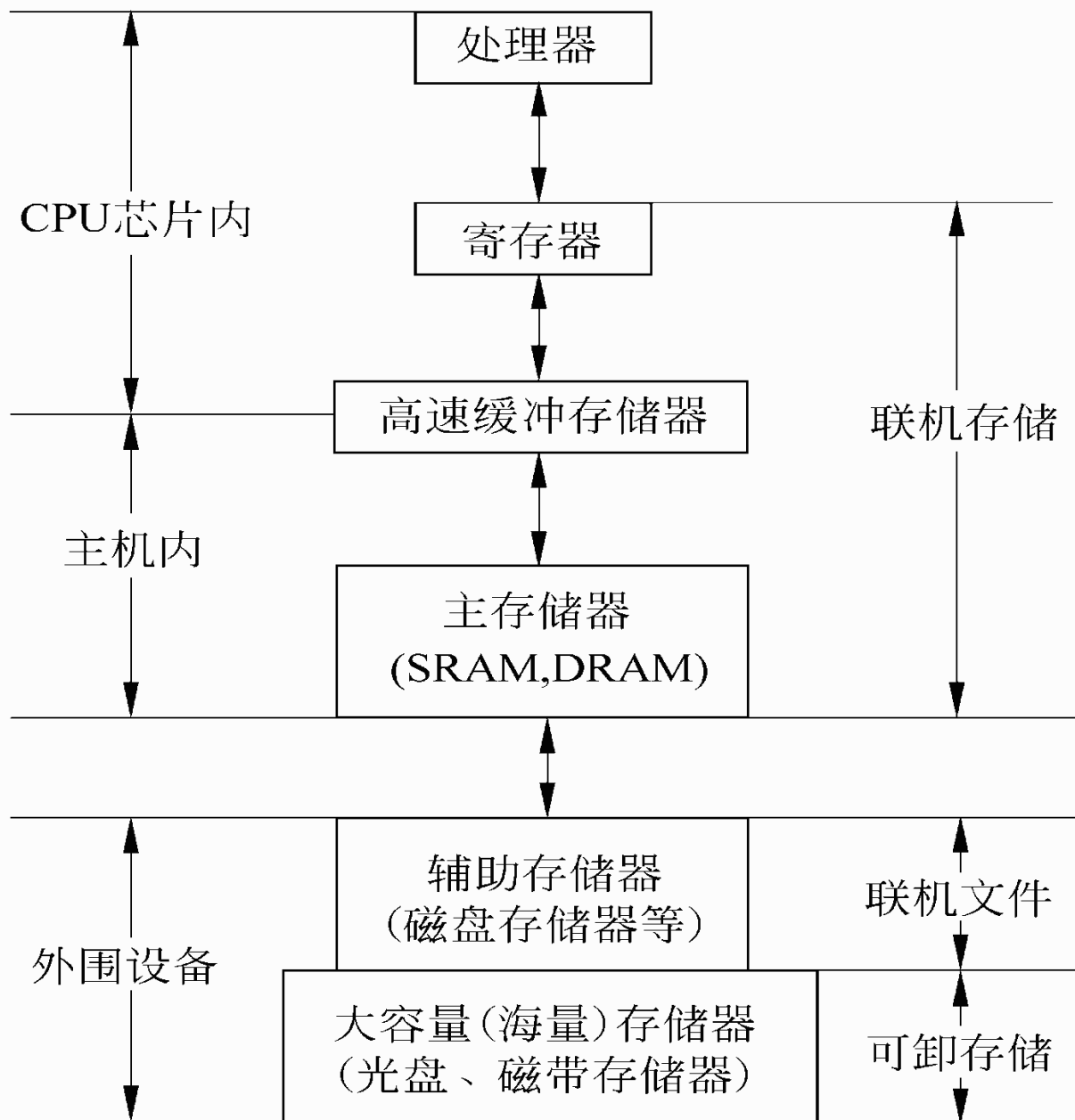
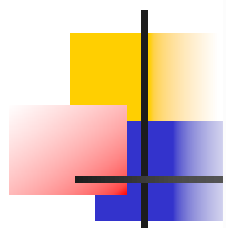


- ❖ 存储器概述
- ❖ 半导体读写存储器
- ❖ 只读存储器
- ❖ 主存储器的组成与寻址
- ❖ 高速缓冲存储器
- ❖ **8086/8088**的主存储器

§ 4.1 概述



微型计算机的外部结构框图



存储系统的分级结构示意图

§ 4.1 概述

一、存储器的分类

1. 按存储器介质分

只要有二个稳态分别表示**0/1**

- ① 电路
- ② 磁
- ③ 其他

2. 按和**CPU**的联系分



① 内存：直接挂在**CPU**总线或计算机系统总线上，
CPU用访问存储器的指令进行读 / 写。

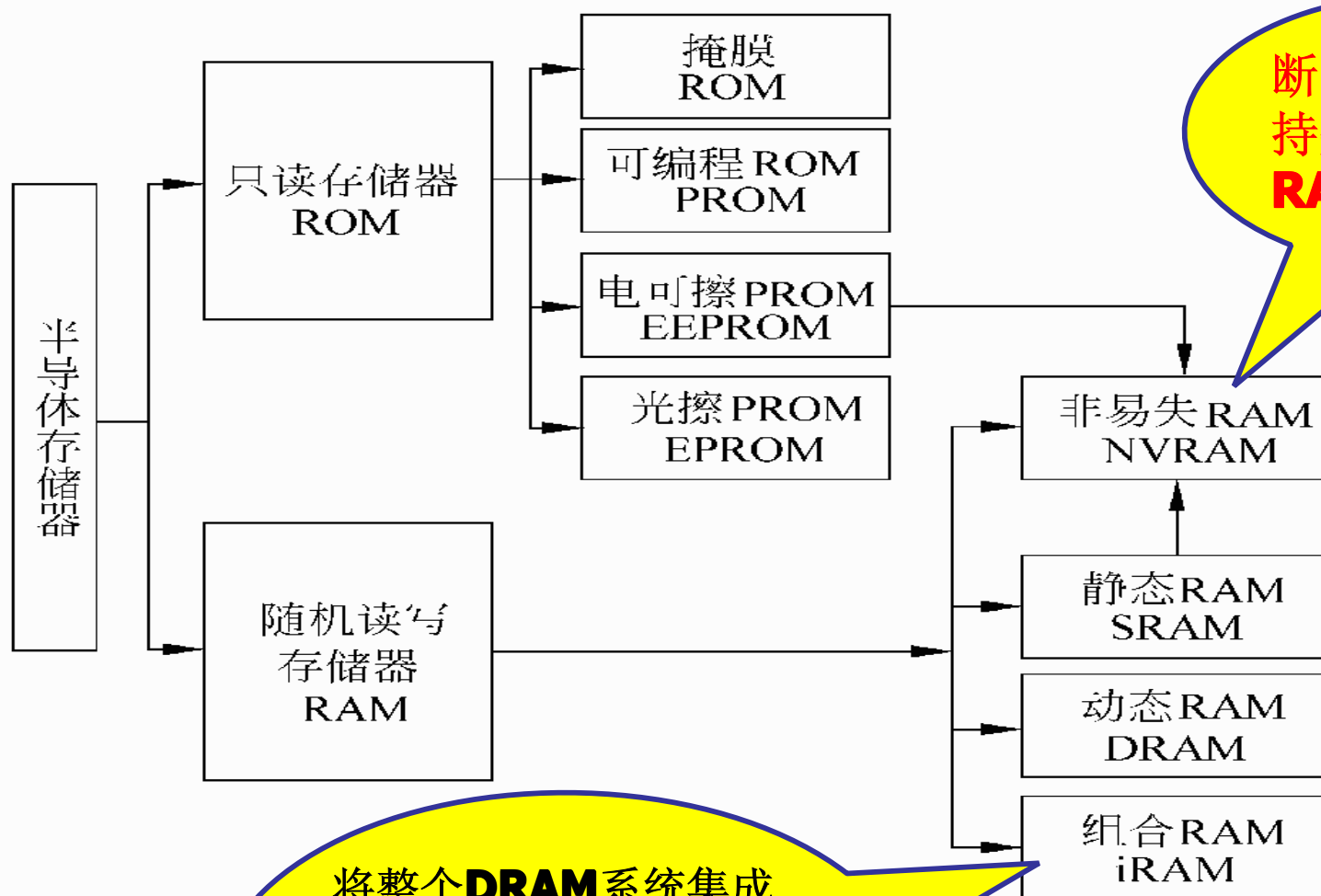
速度快、量小、一般用半导体存储器。

② 外存：经过**I / O**接口挂在计算机系统总线上，
CPU用**I / O**指令进行读写。

速度慢、量大、如磁 / 光盘。

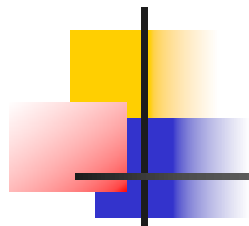
CPU通过内存缓冲区来和外存交换数据。

二、半导体存储器分类



断电后仍能保持数据的一种
RAM

将整个**DRAM**系统集成在一个芯片内，包括存储单元阵列、刷新逻辑、裁决逻辑、地址分时、控制逻辑及时序等



三、主存储器的技术指标

存储容量，存取时间，存储周期



※ 存储容量

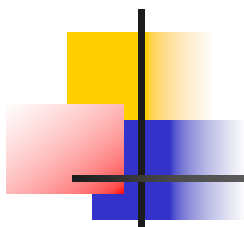
一个存储器芯片中可以存储的二进制位数的总数，称为存储器的**存储容量**

存储容量常用位(**b**) 表示，如**64Kb**，**512Kb**，**10Mb**

$$1\text{Kb}=2^{10}\text{b} \quad 1\text{Gb}=2^{30}\text{b}$$

$$1\text{Mb}=2^{20}\text{b} \quad 1\text{Tb}=2^{40}\text{b}$$

存储容量反映了存储器的空间大小



存储器芯片的数据线有**1位**、**4位**、**8位**。

芯片内部是将**4位**组合为一个单元；**8位**组合为一个单元。

存储单元

存储单元

存储单元

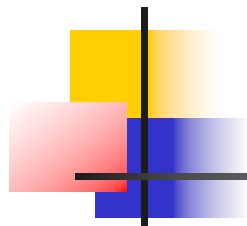
1个单元1位

1个单元4位

1个单元8位

存储器芯片的容量=单元数×数据线位数(每个单元位数)

例如**1K×4b**，**8K×8b**



※ 存取时间

又称**存储器访问时间**，是指**CPU**给出有效的存储器地址（物理地址）到存储器输出有效数据所需要的时间。

※ 存储周期

连续启动两次独立的存储器操作所需间隔的最小时间。
通常略大于存取时间，其时间单位为**ns**。

存取时间和存储周期反映了存储器的速度指标

4.2 随机读写存储器

半导体
读写
存储器

双极型
半导体存储器

MOS
半导体存储器

静态**MOS**存储器(**SRAM**)

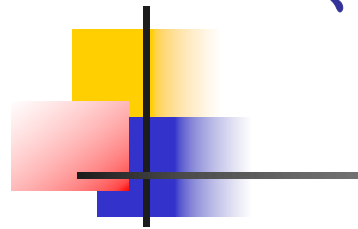
动态**MOS**存储器(**DRAM**)

非易失**MOS**存储器 (**NVRAM**)

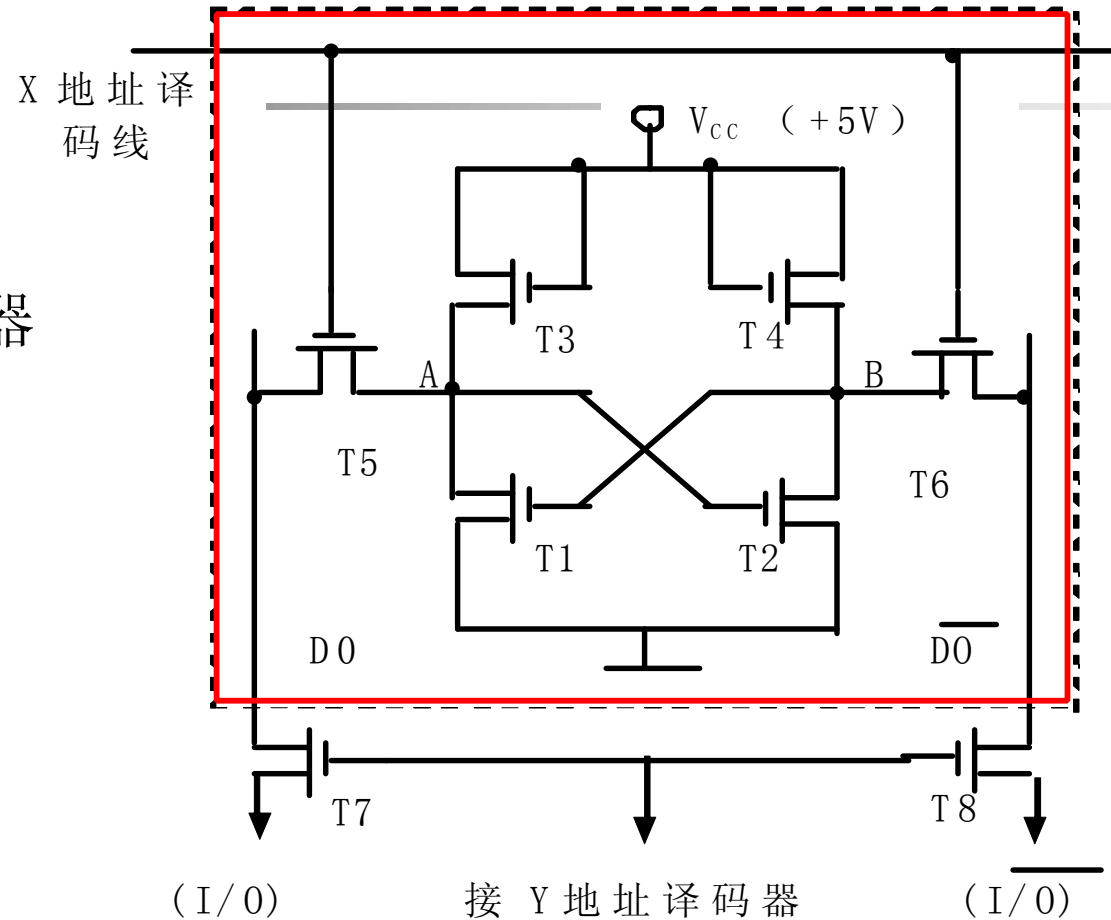
优点：存取速度快，可靠性高，价格低

缺点：断电时，读写存储器不能保存信息

一、静态RAM的基本结构



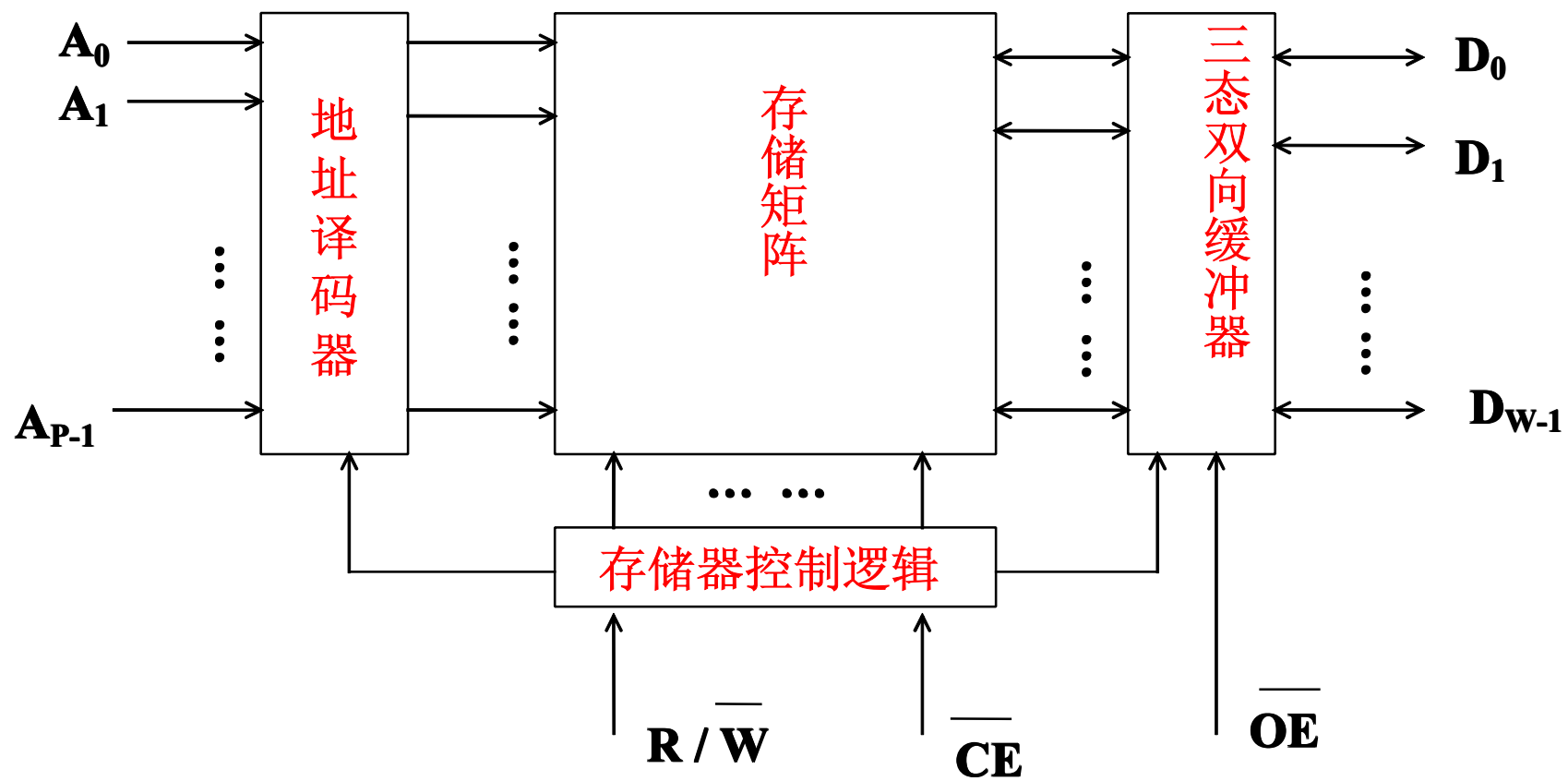
双稳态触发器
X,Y地址线
读, 写



六管基本存储电路—存储位（元）

一、基本结构及组成

四部分



随机读写存储器的结构框图





1. 存储矩阵

存储体：寄存二进制信息的基本存储电路的集合体

存储矩阵：存储体中的基本存储电路单元配置成一定的阵列，并进行编址，因此存储体又称为存储矩阵。

存储阵列的排列方法

$N \times 1$ 结构

位结构，用于动态存储器和大容量静态**RAM**

$N \times 4$ 结构

$N \times 8$ 结构

字结构，用于容量较小的静态**RAM**



2. 地址译码器

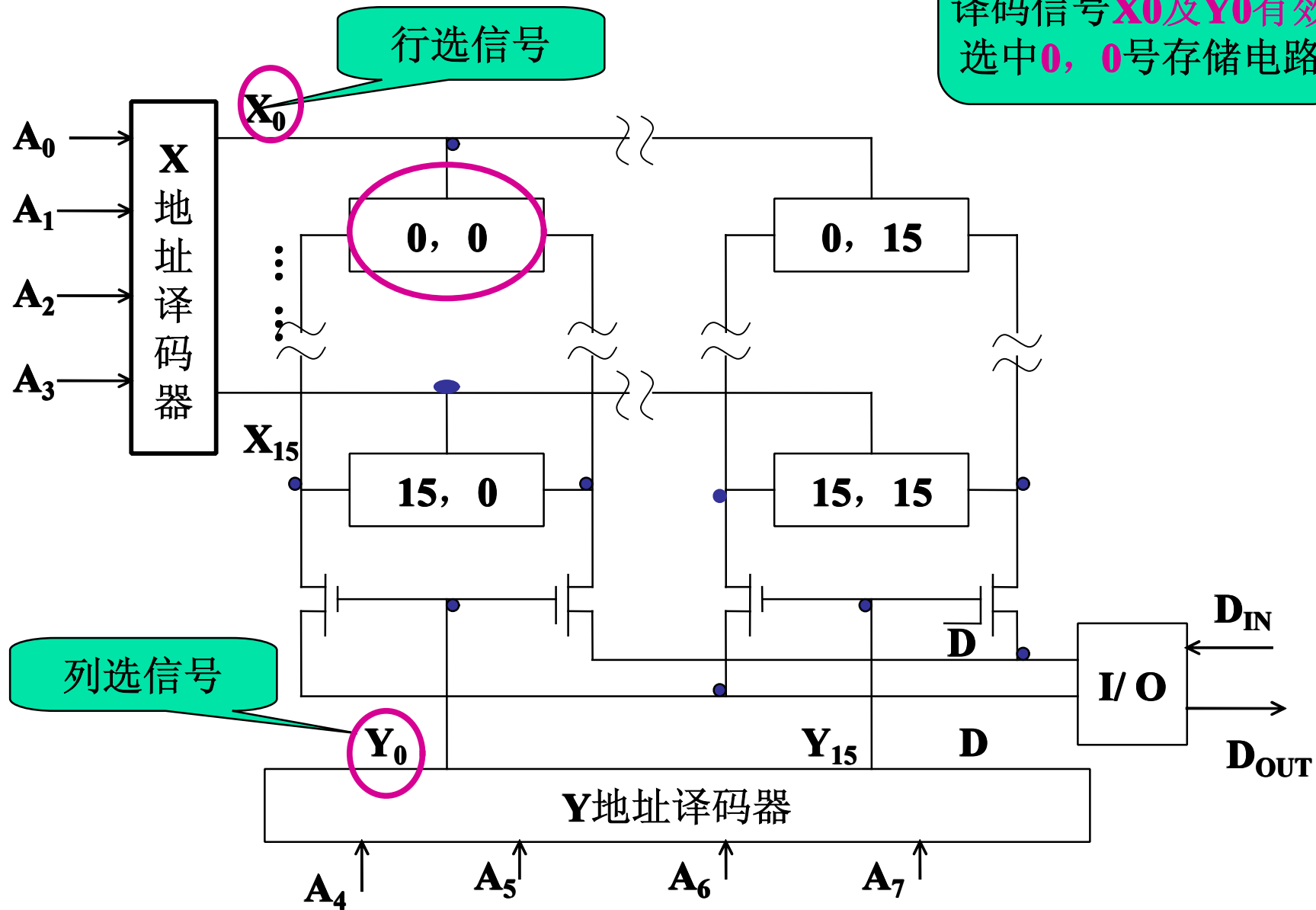
地址译码器接收来自**CPU**的地址信号，并产生地址译码信号（行列译码线）。

以便选中存储矩阵中某一个或某几个基本存储电路单元（存储位），使其在控制逻辑的控制下进行读写操作。

存储容量：
256×1位

存储矩阵
16行×16列

如地址为**0000 0000**
译码信号**X0**及**Y0**有效
选中**0, 0**号存储电路





3.存储器控制逻辑

存储器控制逻辑接收来自**CPU**或外部电路的控制信号，如读**RD**，写**WR**等信号。经过组合变换后，对存储矩阵、地址译码器以及三态双向缓冲器进行控制。

存储器控制逻辑——常用控制引线端

芯片选择引线端 \overline{CS}
或芯片开放引线端 \overline{CE}

选中要访问的存储器芯片，
使芯片从备用—工作状态

输出禁止引线端 \overline{OD}
输出开放引线端 \overline{OE}

控制输入输出三态缓冲器

读写控制引线端 R/\overline{W}
写开放引线端 \overline{WE}

控制被选中芯片是进行读
操作还是写操作

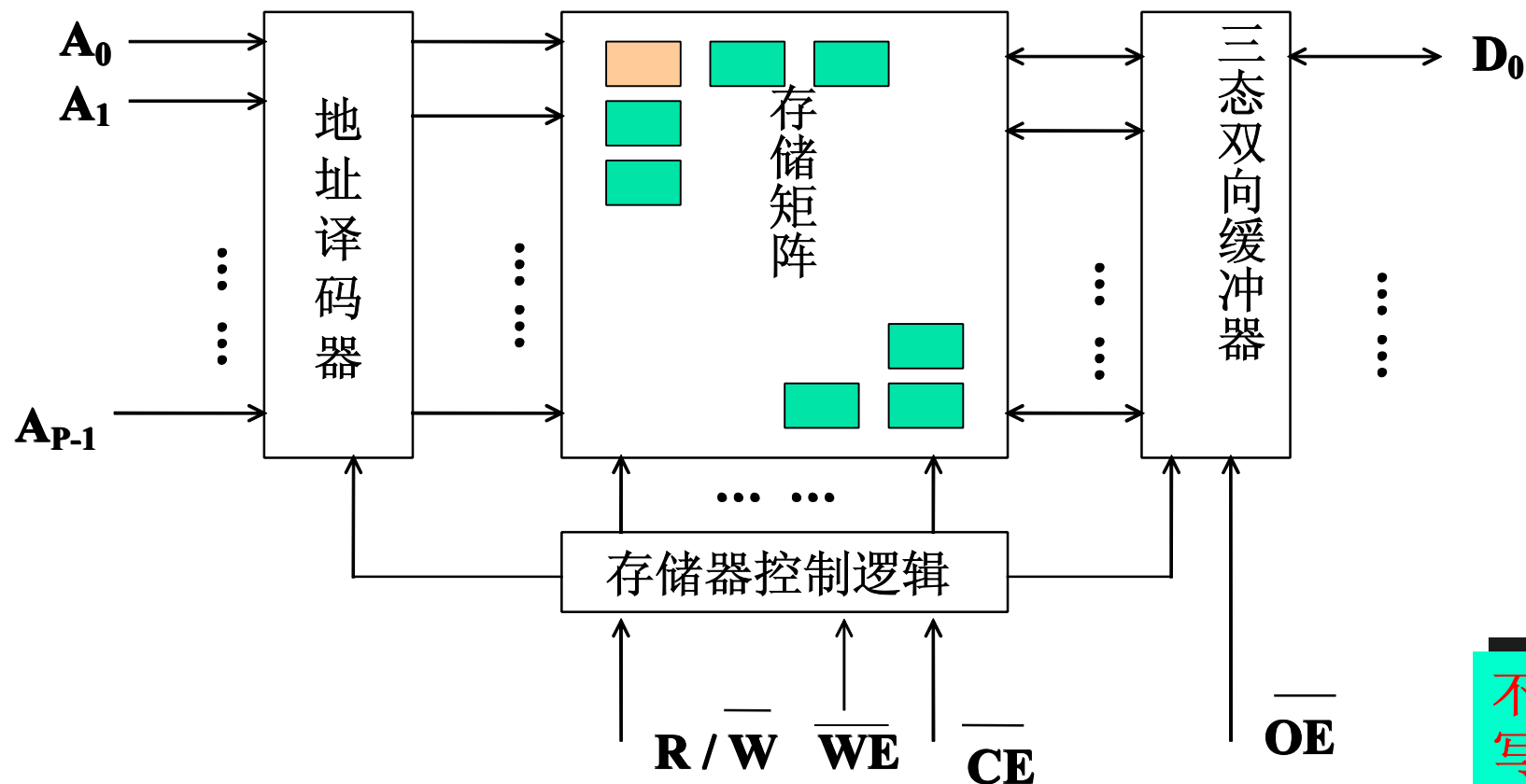
$\overline{CE}, \overline{CS}, \overline{OD}$

低电平有效



4. 三态双向缓冲器

半导体**RAM**的数据输入/输出控制电路多为三态双向缓冲器结构，使系统中多个存储器芯片的数据输入/输出端能方便地挂接到系统数据总线上。



写入操作

芯片开放信号**CE**

及写开放信号**WE**有效

地址线选中某个存储单元。

读出操作

芯片开放信号**CE**及输出开放信号**OE**有效

写开放信号**WE**无效或**R/W**为读态

地址线选中某个存储单元。

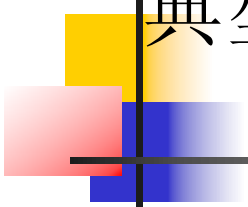
不进行读
写操作

芯片开放
信号**CE**

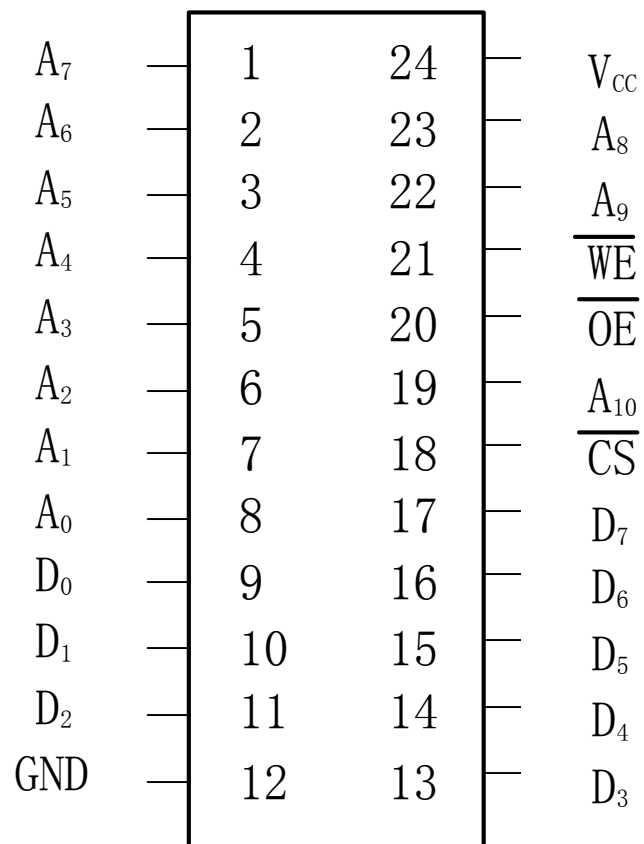
和输出开
放信号

OE无效

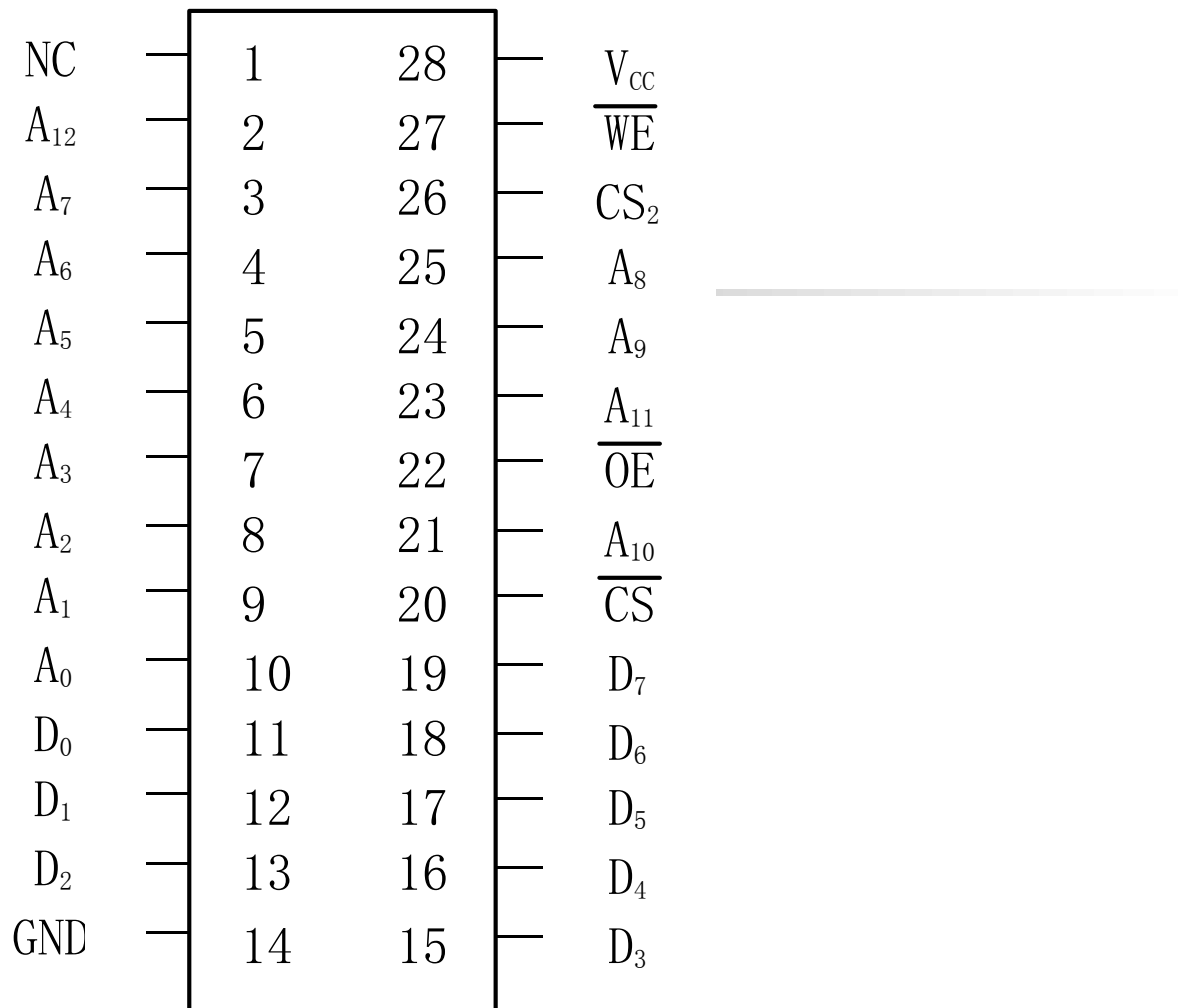
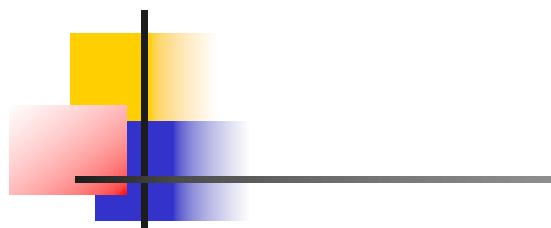
高阻



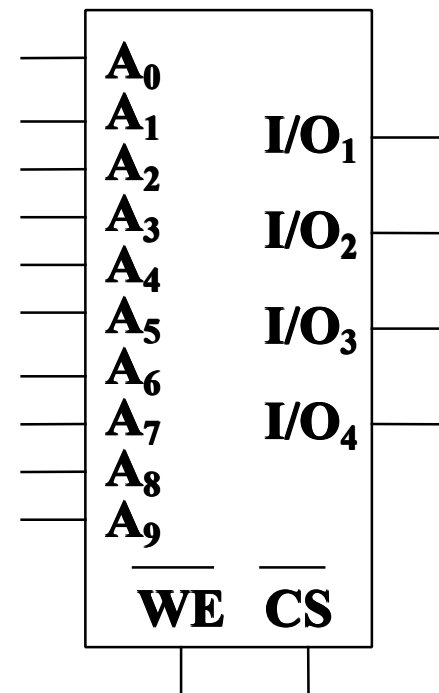
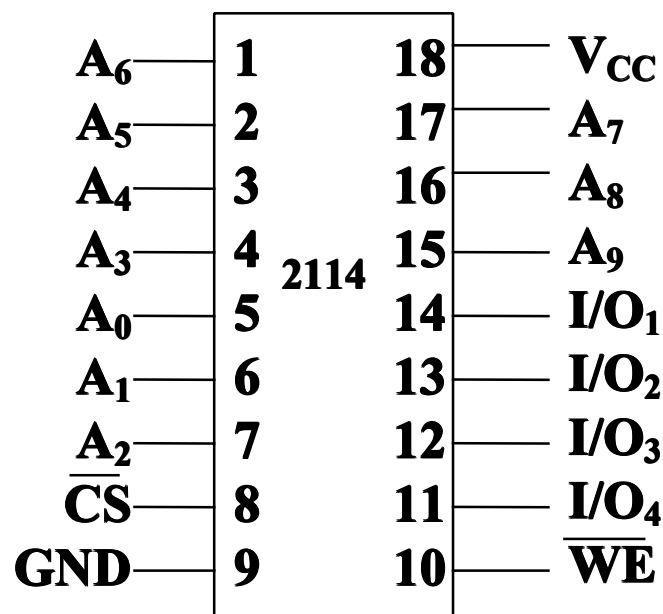
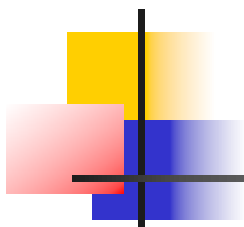
典型的SRAM芯片6116、6264、62256等。



6116芯片引脚



芯片6264引脚



引脚名

2114引脚排列及逻辑符号

二、典型存储器芯片举例



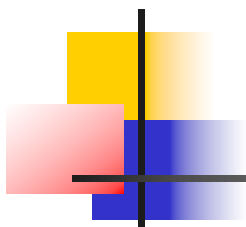
1、Intel 6116 静态 RAM

2K×8位 静态RAM，2048存储单元。11根地址线。8位数据线，具有三态控制，所有的输入输出端均与TTL电路兼容。

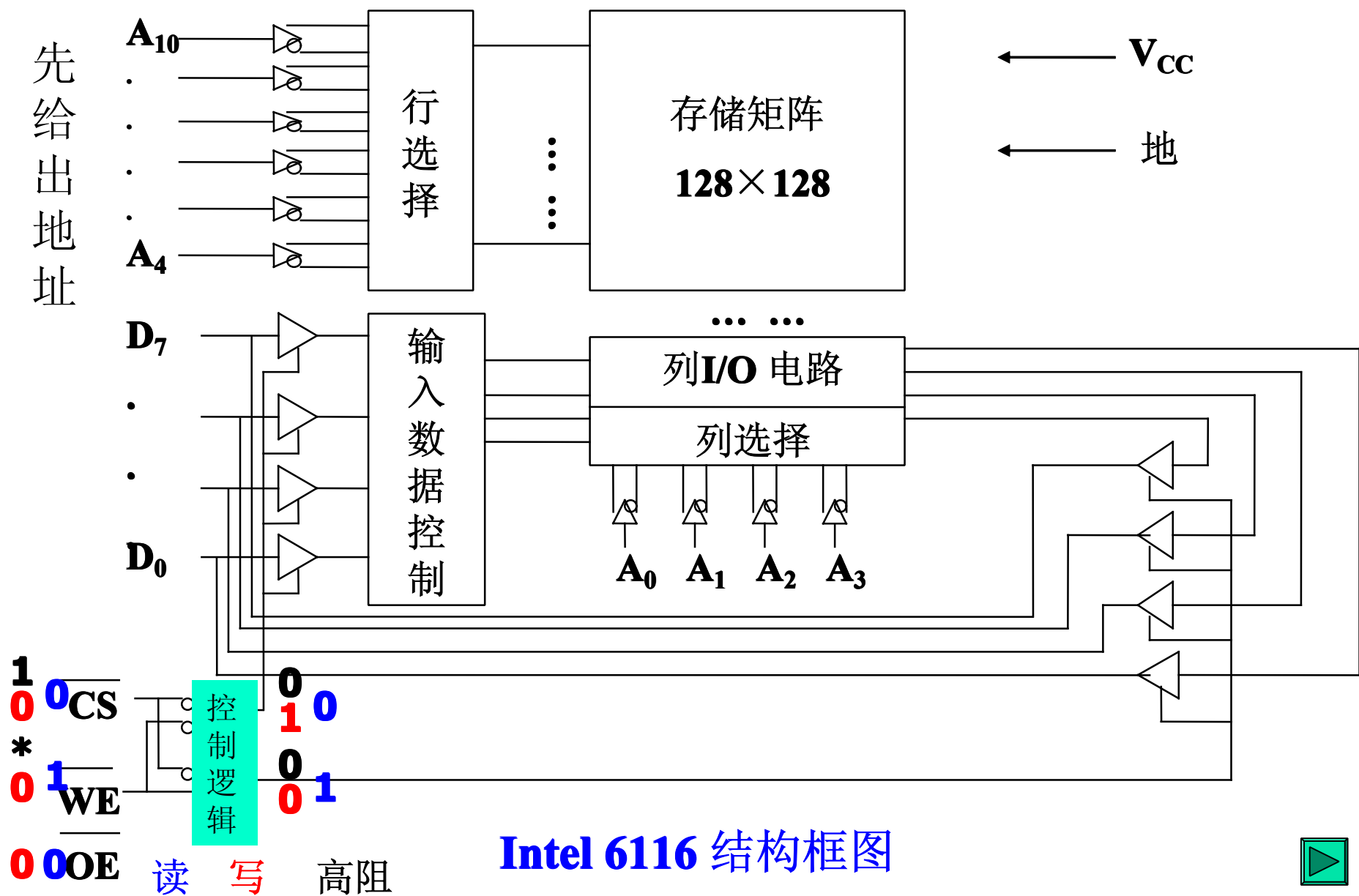
7根用于行地址译码，译码出 $2^7 = 128$

4根用于列地址译码(2^4)，译码后每条列线控制8位(2^3)； $2^4 2^3$

形成 128×128 存储阵列，即16384个存储体(位)。



$A_0 \sim A_{10}$	11 根地址线	$D_0 \sim D_7$	8 根数据输入/ 输出
\overline{WE}	写允许	\overline{OE}	输出开放
\overline{CS}	片选	V_{CC} , GND	电源, 地





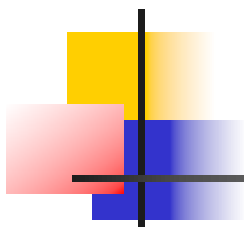
Intel 6116 读写操作

写操作： $\overline{\text{WE}}$, $\overline{\text{CS}}$, $\overline{\text{OE}}$ 低电平有效，输入三态门导通，数据信息由外部数据总线写入存储器对应位

读操作： $\overline{\text{CS}}$, $\overline{\text{OE}}$ 低电平有效， $\overline{\text{WE}}$ 为高电平，输出三态门打开，由存储器读出的数据送至外部数据总线

高阻： $\overline{\text{CS}}$ 高电平无效， $\overline{\text{WE}}$, $\overline{\text{OE}}$ 为任何状态，存储器既不读出也不写入，处于和外部数据总线断开状态。





☞ **SRAM**的特点

读写速度快

所用管子数目多，单个器件容量小

T1、T2总有一个处于导通状态，功耗较大

二、动态RAM的存储单元 (DRAM)

- 用电容**C**存储信息。有电荷是**1**，没有电荷时是**0**。
- 电容存在漏电，存储的信息会丢失。
- 为了保持存储数据的正确，必须定期的对存储单元(电容)进行充电以恢复原来的电荷，这一过程称为**刷新**。

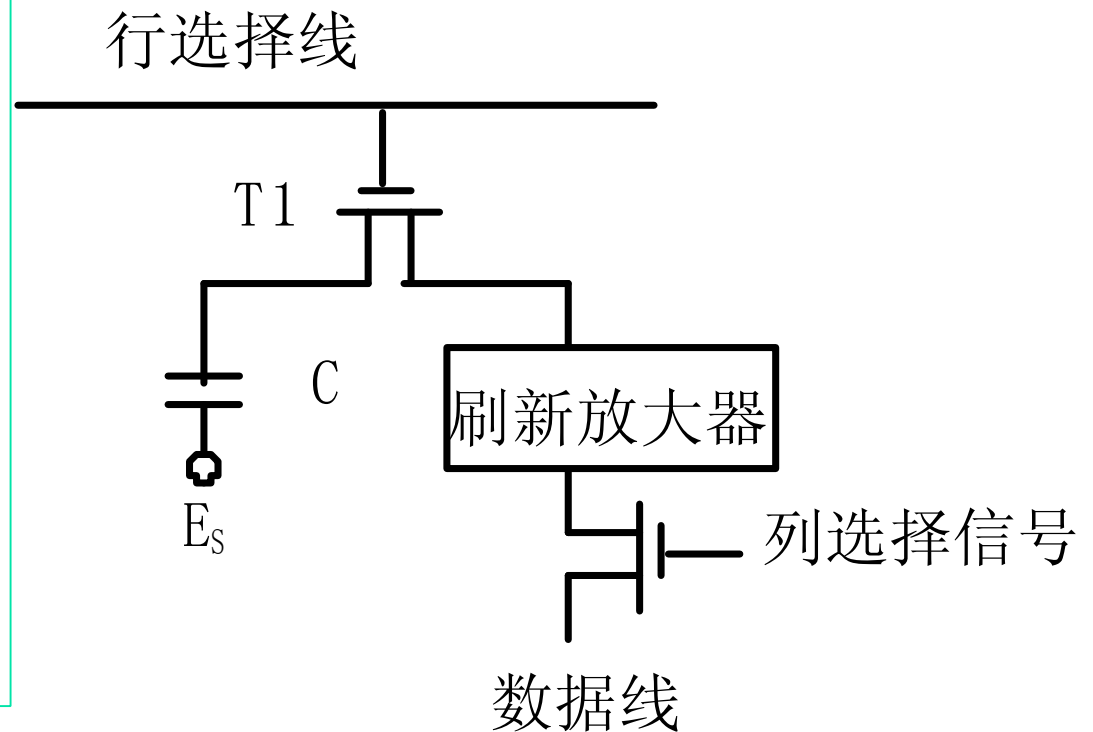
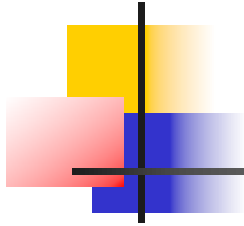
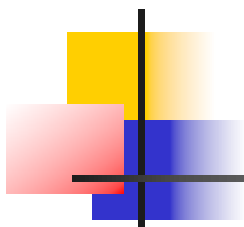


图 单管动态存储电路

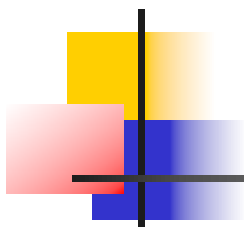


- 读：行选线有效，**T1**导通，刷新放大器读取**C**的电压值，转换为对应的**0**或**1**，重写到**C**。列选线有效，信息输出到数据线。
- 写：行选线有效，**T1**导通，列选线有效，外部信息通过刷新放大器和**T1**送到**C**。
- 刷新：行选线有效，**T1**导通，电容**C**上的信息送到刷新放大器，刷新放大器对电容立即进行重写。列选线为**0**，数据不会送到外部数据总线上。



定时刷新可以由专门的控制逻辑产生刷新地址，逐行循环进行，刷新对于**CPU**是透明的。

从上一次对整个存储器刷新结束到下一次对整个存储器全部刷新一遍，所用的时间间隔称为刷新周期（或再生周期），一般为**2ms**。



2. 动态RAM实例

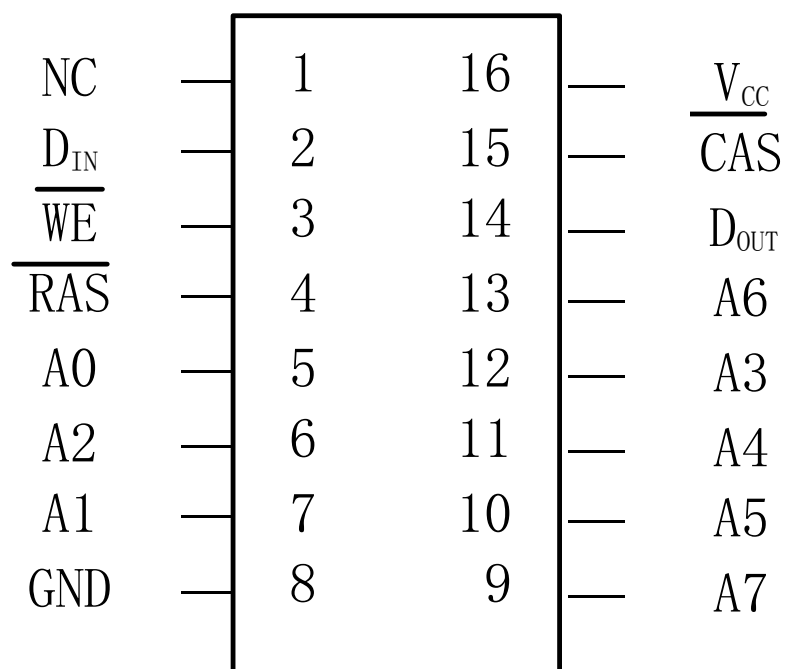


图 2164引脚

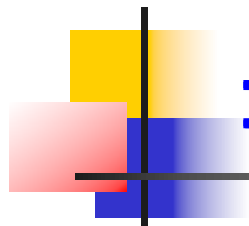


2、Intel 2164A动态RAM

2164A的容量为**64K**×**1**位，有**65536**个存储单元，每个单元存储**1**位。用**8**片**2164A**可构成**64k**×**8**位的存储器。

寻址**65536**个单元， $65536 = 2^{16}$ ，需**16**根地址线。

2164A 内部将**16**根地址线分为行、列地址线，各**8**根，且分时工作，外部引出**8**根地址线。



Intel 2164A 引脚说明

A0~A7	地址输入
$\overline{\text{CAS}}$	列地址选通
D_{IN}	数据输入
D_{OUT}	数据输出

WE	写开放
RAS	行地址选通
V_{DD}	+5V
V_{SS}	地



数据的读出和写入是分开的，分别是**D_{IN}**和**D_{OUT}**

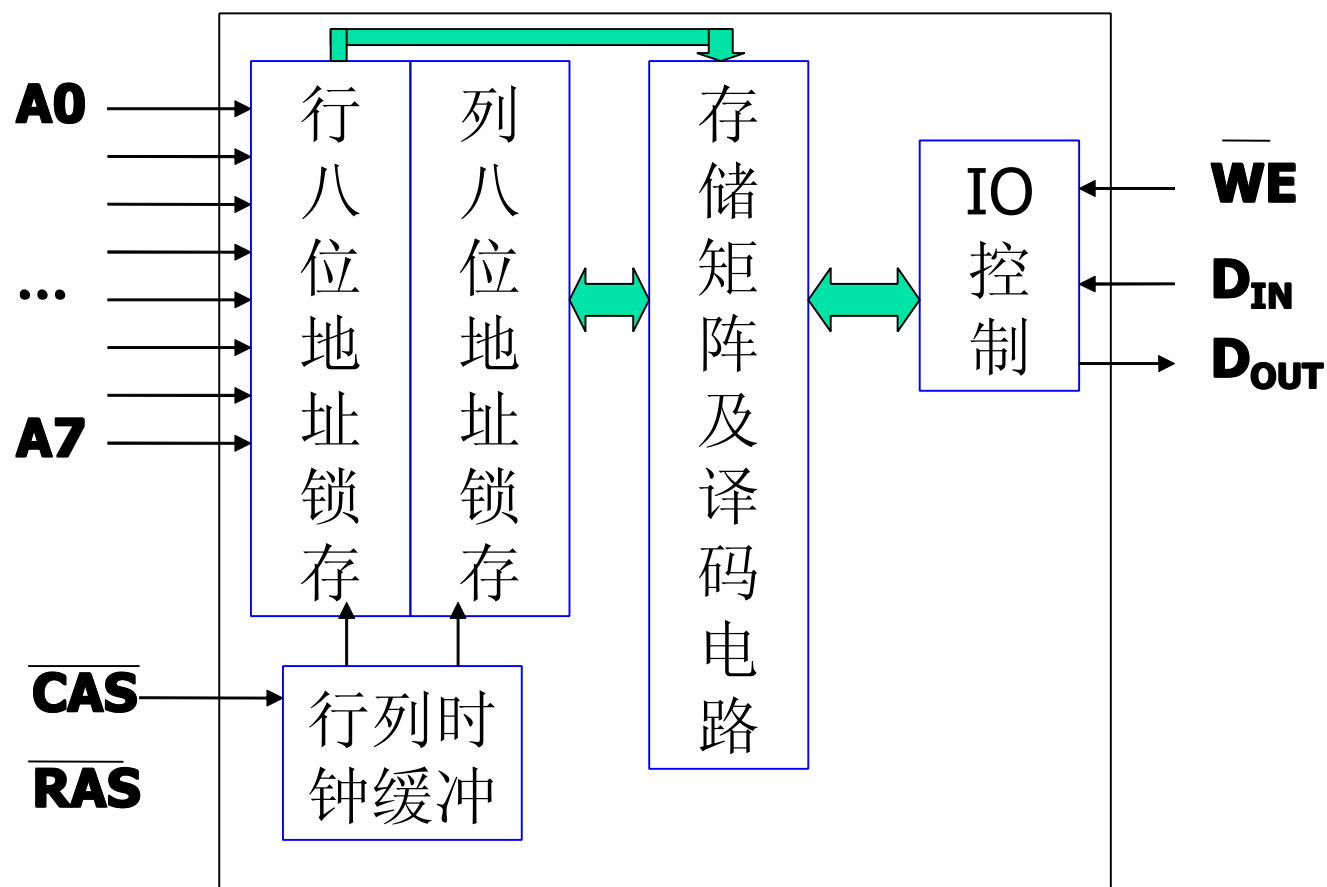
WE信号控制读写。

WE信号为高，读出；

WE信号为低，写入；

无片选信号，由**CAS**和**RAS**作片选信号。

Intel 2164A结构框图



行地址选通信号**CAS**有效，把输入的8位地址送至行地址锁存器；

列地址选通信号**RAS**有效，把输入的8位地址送至列地址锁存器

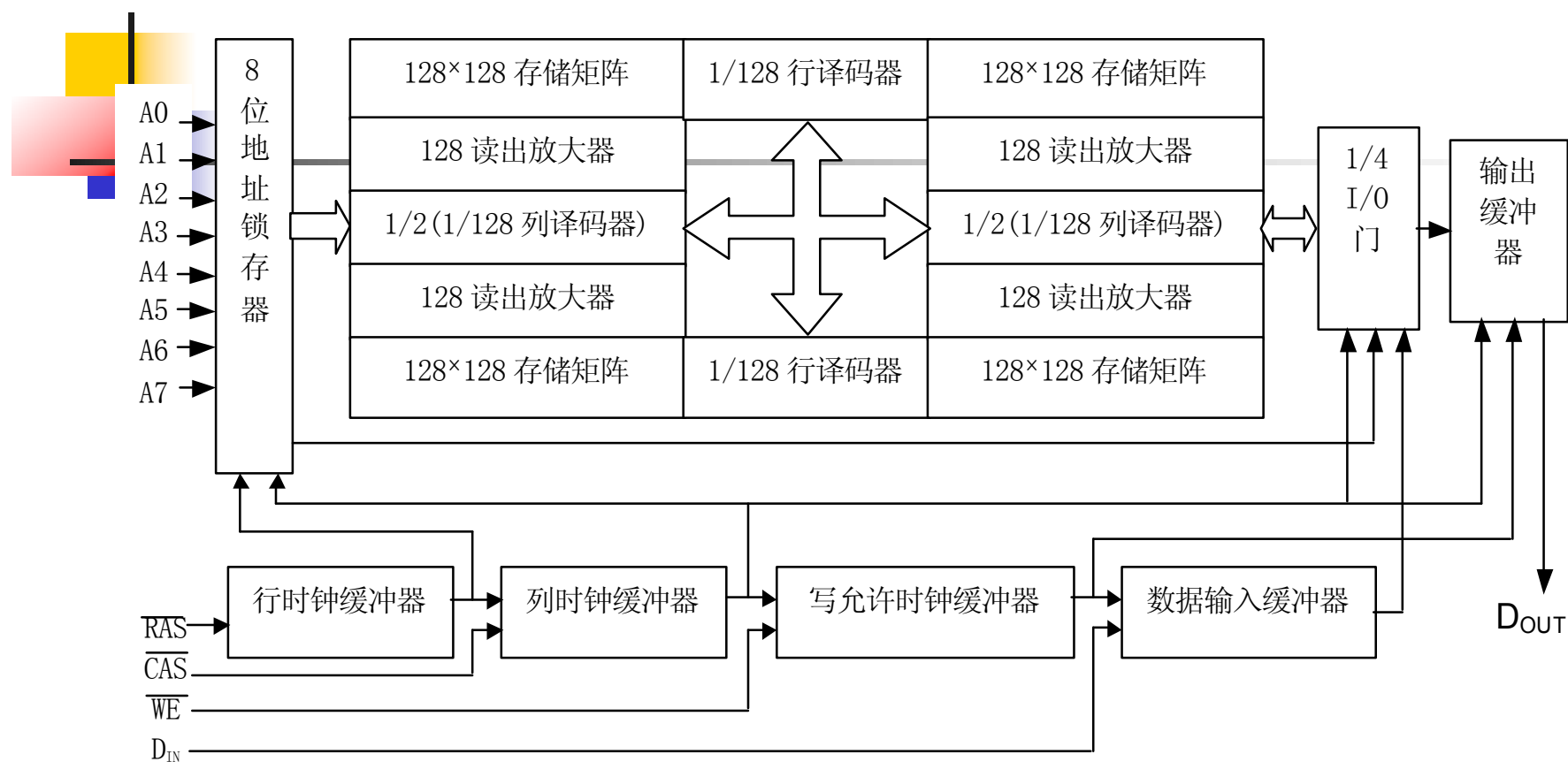
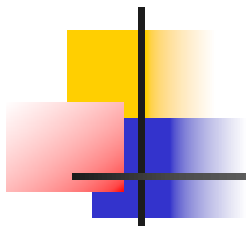


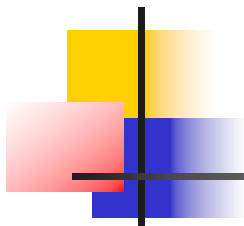
图 2164 内部结构示意图



☞ **DRAM**的特点

所用管子少，芯片位密度高
功耗小
需要刷新
存取速度慢

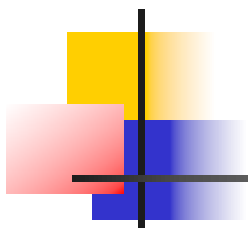
DRAM主要用来做内存



3. 高集成度**DRAM**和内存条

随着芯片技术发展，存储器容量不断提高。

内存条：由若干存储器芯片组装在线路板上。用户将内存条插到计算机的内存插槽上即可使用。。



☞ DRAM的种类

FPM DRAM

存取时间80~100ns

EDO DRAM

存取时间50~70ns

SDRAM

存取时间6~10ns



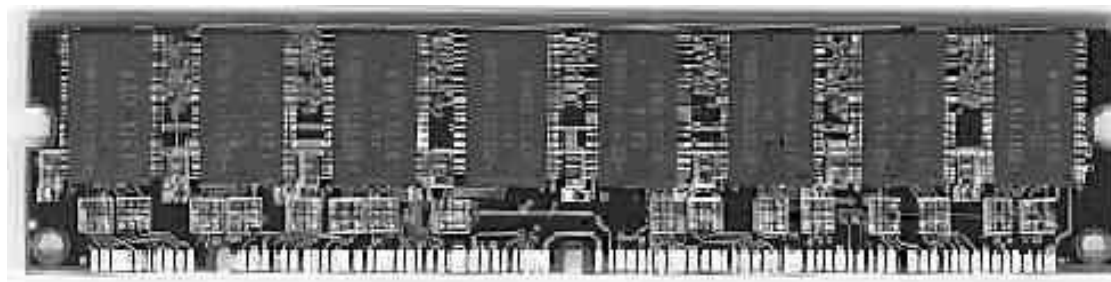
☞ DRAM内存条的种类

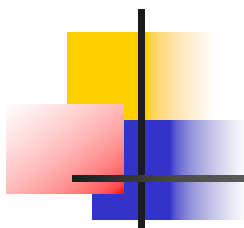
SIMM——Single Inline Memory Module

单列直插式内存模块

72线：32位数据、12位行列公用地址、RAS#、CAS#等
在Pentium微型机中必须成对使用

FPM/EDO



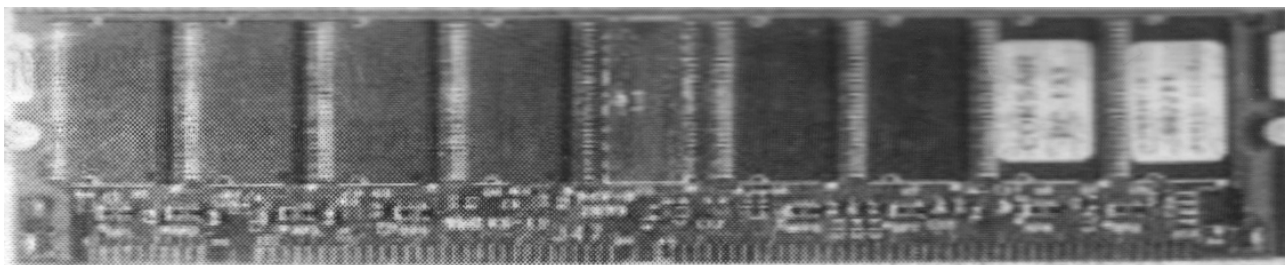


DIMM——Dual Inline Memory Module

双列直插式内存模块

168线：64位数据、14位行列公用地址、RAS#、CAS#等
可单数使用

FPM/EDO/SDRAM



4、双口RAM

由于**CPU**和主存储器在速度上不匹配，而且在一个**CPU**周期中可能需要用几个存储器字，这便限制了高速计算,为了使**CPU**不至因为等待存储器读写操作的完成而无事可做，可以采取一些加速**CPU**和存储器之间有效传输的特殊措施

双端口存储器

指同一个存储器具有两组相互独立的读写控制线路，并行操作，是一种高速工作的存储器。



第三节 只读存储器

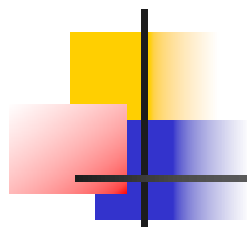
一、只读存储器的结构、特点和分类

只读存储器**ROM**，也称**固定存储器**或**永久存储器**。

工作状态下，其中信息是固定。在断电时，信息不会消失。

ROM中信息的写入通常是在脱机情况或生产过程用人工方式或电气方式写入的。对**ROM**进行信息写入过程称为**对ROM进行编程**。

◎ 只读存储器**ROM**的分类



掩膜(MASK) ROM

在生产过程中通过控制基本存储电路的状态，直接将信息存储到**IC**芯片，出厂时信息固定的。

价格便宜，结构简单，集成度高，容易接口。

主要用作微型机标准程序存储器，也可用于存储数学用表

◎ 只读存储器**ROM**的分类



现场编程**ROM**

OTP ROM。产品出厂时，没有存储任何信息，使用时由用户根据需要自行写入信息。一旦写入，不可更改。

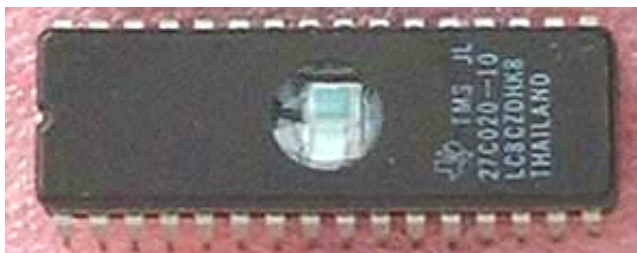
基本存储电路有熔丝型和**PN**结击穿型

速度快，功耗大，用作高速计算机的微程序存储器

◎ 只读存储器**ROM**的分类

可改写的**PROM**

简称**EPROM**，用户既可以采用某种方法自行将信息写入到**ROM**，也可采用某种方法擦去信息，然后重新写入**ROM**。

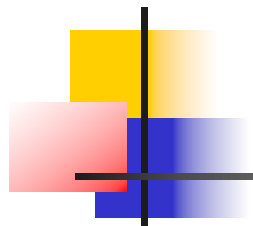


紫外线擦洗的**EPROM** (**UVEEPROM**)

作为标准程序或专用程序存储器

电擦洗的**EPROM** (**E²PROM**)

可作为非易失性**RAM**使用



新一代可编程只读存储器**FLASH**

闪速存储器；闪存，本质属于**E²PROM**。

特点：单电压芯片。可写入，也可擦除；掉电信息不丢失、单一供电、高密度存储信息、读取速度快。

主要用途：保存系统引导程序、系统参数、便携存储设备。

Flash ROM 逐渐取代 **E²PROM**

二、掩模 ROM 电路

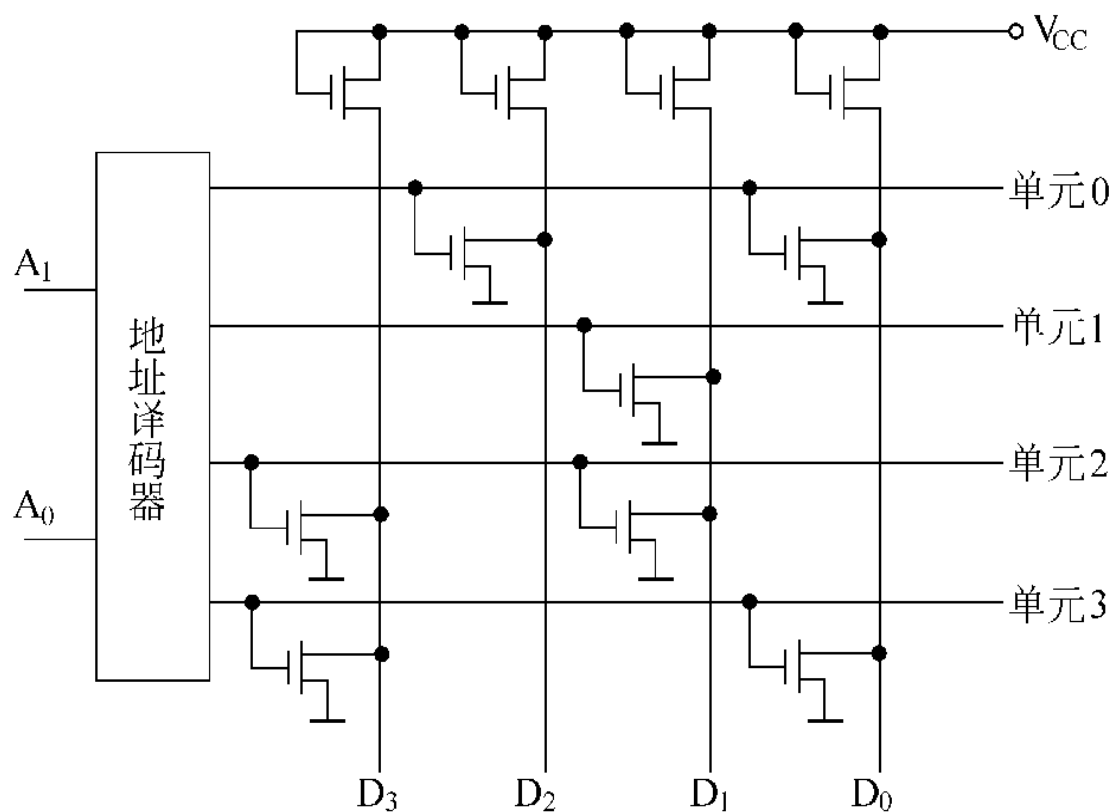


图 掩模

ROM
示意图

二、掩模 ROM 电路

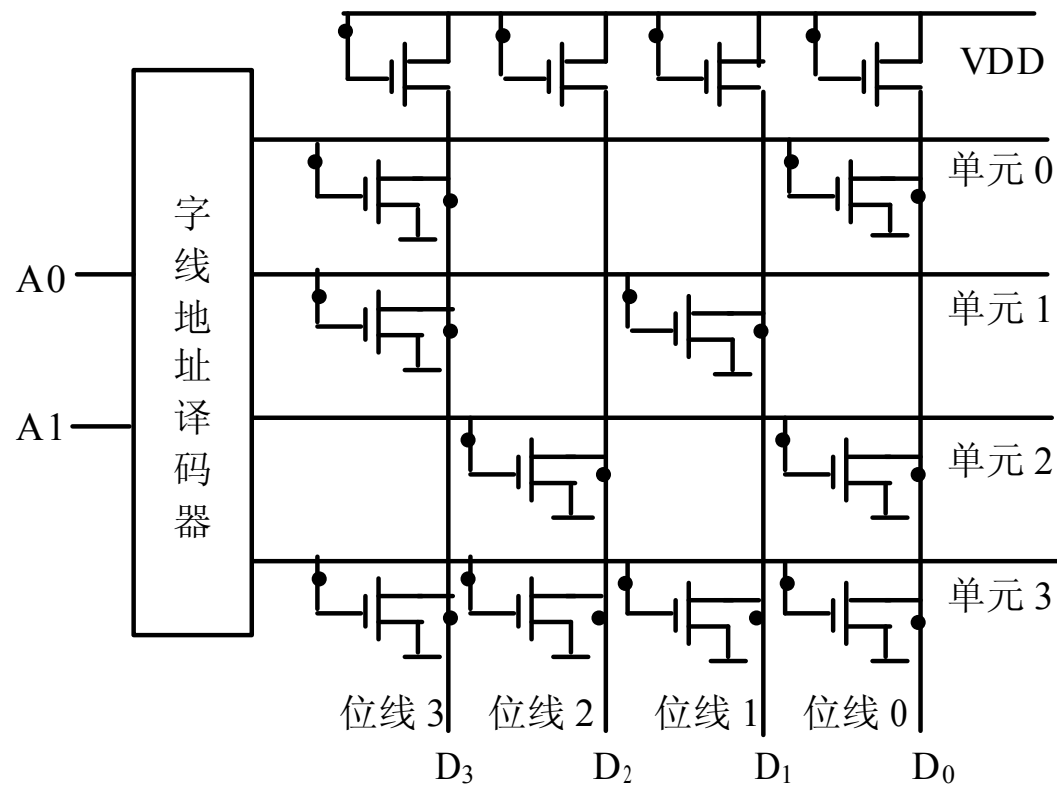


图 掩模 ROM 示意图

4×4位MOS ROM，A0A1译码后输出四根选择线，分别选中四个单元，每个单元输出4位。

A0A1=00，第0行是1，选中单元0。相应MOS导通，对应位线=0，没有MOS的位线输出1。单元0输出0110。

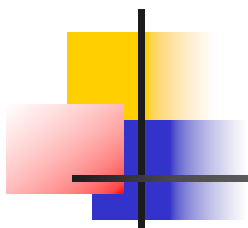
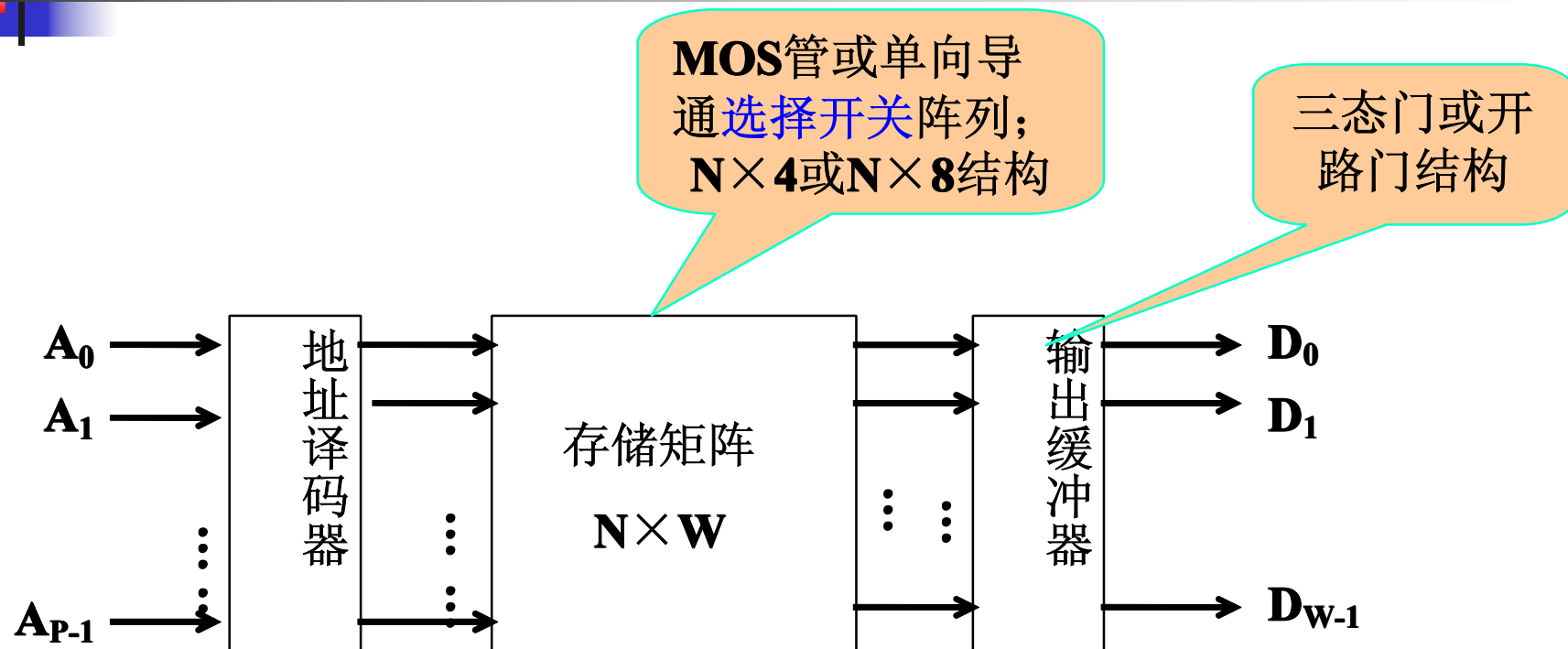


表4-1 掩膜ROM的内容

单元 \ 位	D ₃	D ₂	D ₁	D ₀
0	0	1	1	0
1	0	1	0	1
2	1	0	1	0
3	0	0	0	0

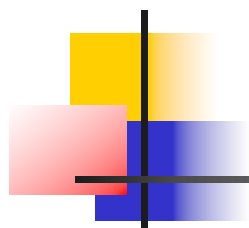
ROM结构框图





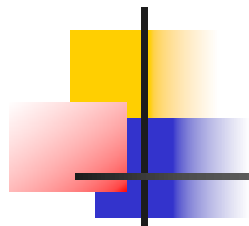
三紫外线擦除可编程ROM(EPROM)

RPROM可以通过编程器写入数据，并可长久保持。
需要修改数据时，可以通过擦除器（紫外线照射）
将数据擦除，各单元内容恢复为**FFH**，再重写数据。
可反复使用，有几千次寿命。



常用UVEPROM

型号	容量结构	读出时间	工艺	电源	管脚数
2708	1K×8bit	350~450ns	NMOS	+5V	24
2716	2K×8bit	300~450ns	NMOS	+5V	24
2732A	4K×8bit	200~450ns	NMOS	+5V	24
2764	8K×8bit	200~450ns	NMOS	+5V	28
27128	16K×8bit	250~450ns	NMOS	+5V	28



Intel 2716-EPROM存储器

存储容量是**16K**位，即 **$2K \times 8$** 位。

基本存储电路分为：由**8**个 **16×128** 矩阵组成。

行地址译码：**A4~A10**

列地址译码：**A0~A3**

电源电压为单一**+5V**。编程电压 **V_{PP}** 在编程时为**25V**，其余时间保持为**+5V**。



2716的引脚排列

A7	1	24	VDD
A6	2	23	A8
A5	3	22	A9
A4	4	21	Vpp
A3	5	20	$\overline{\text{OE}}$
A2	6	19	A10
A1	7	18	$\overline{\text{CE/PGM}}$
A0	8	17	DO7
DO0	9	16	DO6
DO1	10	15	DO5
DO2	11	14	DO4
Vss	12	13	DO3

A0~A10: 地址线引脚

DO0~DO7: 数据线引脚

$\overline{\text{OE}}$: 输出允许引脚

$\overline{\text{CE/PGM}}$: 片选/编程引脚

Vpp: 编程电源

VDD: 电源

Vss: 地



Intel 2764-EPROM存储器（略）

存储容量是**64K**位，即**8K×8**位。

地址线：**13**根，**A0~A12**

数据线：**D0~D7**

电源电压**V_{cc}**为单一**+5V**。编程电压**V_{pp}**在编程时为**12.5V**，其余时间保持为**+5V**。

片选端 **\overline{CE}** 。输出允许 **\overline{OE}** 。

编程控制端 **\overline{PGM}**



Intel 2764的工作方式选择

	$\overline{\text{CE}}$	$\overline{\text{OE}}$	$\overline{\text{PGM}}$	VPP	VCC	功能
读	0	0	1	5V	5V	数据输出
输出禁止	0	1	1	5V	5V	高阻
备用	1	X	X	5V	5V	高阻
编程	0	1	0, 45ms	12.5V	5V	数据输入
校验	0	0	1	12.5V	5V	数据输出
编程禁止	1	X	X	12.5V	5V	高阻
标识符						

第四节 主存储器的组成与寻址

一、存储器芯片的扩充及各芯片寻址范围

1、位并联法——位数扩展

适用于主存储器的字数（即**存储单元数**）与存储器芯片的字数（即**存储单元数**）相同，但**位数不够**的情况，即 $N < 8$ ，由 $M \times N$ 芯片 $\rightarrow M \times 8$ 主存储器。

扩充方法

① 所需芯片数为 $8 / N$ ，其中 N 是芯片每一存储单元的位数

② 扩展方法：把所有芯片的地址线、片选线、读/写控制线各自并接在一起与 CPU 的地址线连接；数据线**分别**与 CPU 的数据线连接。

A₁₃ A₁₂ A₁₁ A₁₀ A₉ A₈ A₇ A₆ A₅ A₄ A₃ A₂ A₁ A₀

设CPU地址线为16根

Diagram illustrating the connection of a 16Kx1 DRAM array (8 chips) to a CPU. The CPU provides address lines A_{13} and A_0 to A_{12} , and a write enable signal \overline{WE} . The address lines A_0 to A_{12} are connected to the data bus. The address line A_{13} is connected to the \overline{CS} pin of each chip. The data bus is connected to the D0 to D7 lines. The chips are labeled 1, 2, ..., 8, and each chip has a \overline{CS} pin.

如果 \overline{CS} 不接地，可以接在 CPU 的哪根线？

如果**CS**不接地，可以接在**CPU**的哪根线？
CS接**A14**，寻址范围是多少？



2、字扩展法——单元数量扩展

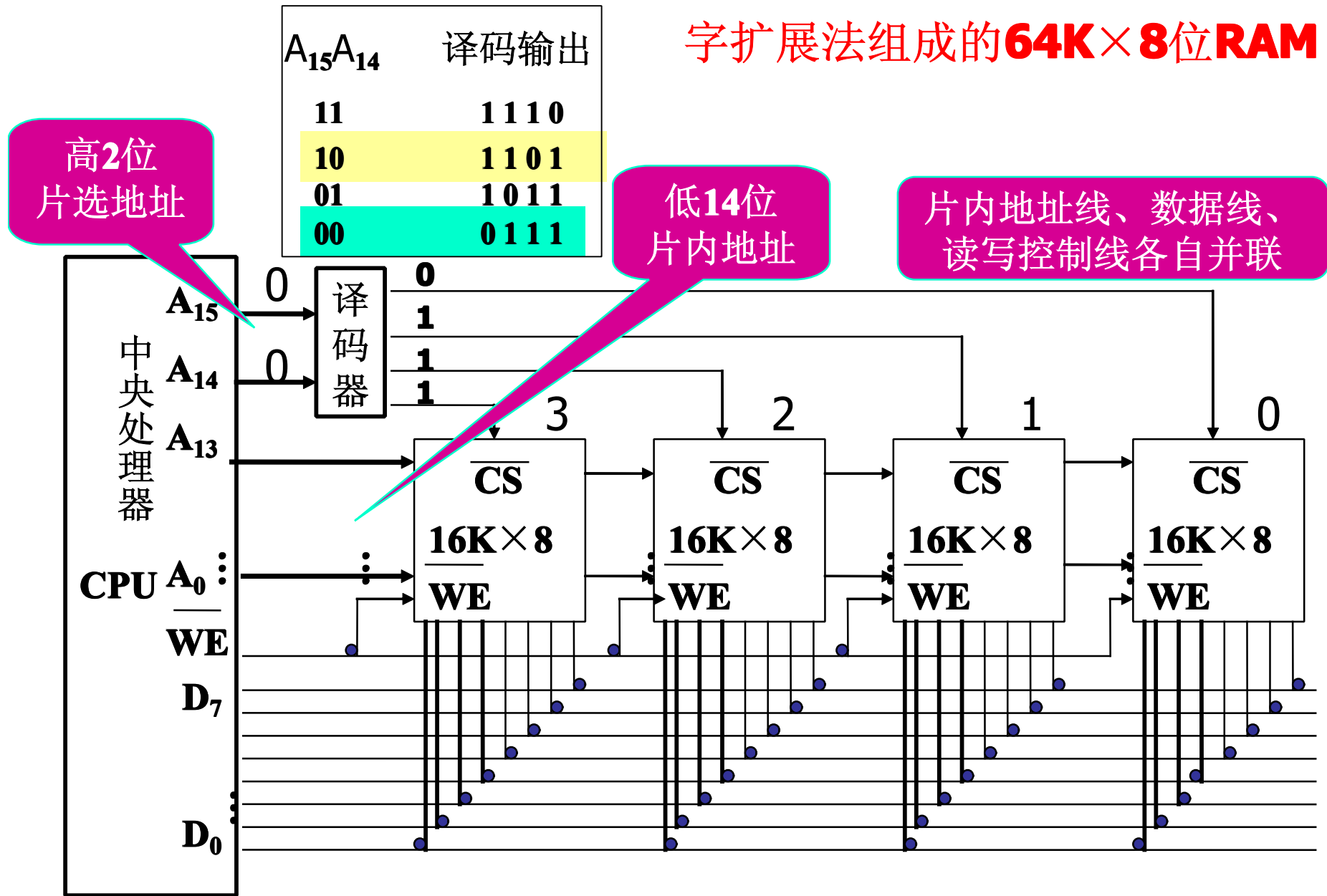
存储器和存储芯片的位数相同，单元数量不够，在单元数量上进行扩充。

如：**16K×8** 位存储器芯片→ **64K×8** 主存储器

扩充方法

- ① 需**4**片**16K×8** 芯片
- ② 片内地址线、数据线、读/写控制线各自并联在一起
- ③ 片选信号线单独连接译码器的输出，以区分各片地址

字扩展法组成的 $64K \times 8$ 位RAM



$A_{15}A_{14} = 00$, 芯片0选中, 其他芯片不工作, 与数据总线断开

芯片	各芯片地址范围	片选	片内地址	十六进制表示
		$A_{15}A_{14}$	$A_{13}\dots A_1A_0$	
第一片	最低地址	00	00,0000,0000,0000	0000H
	最高地址	00	11,1111,1111,1111	3FFFH
第二片	最低地址	01	00,0000,0000,0000	4000H
	最高地址	01	11,1111,1111,1111	7FFFH
第三片	最低地址	10	00,0000,0000,0000	8000H
	最高地址	10	11,1111,1111,1111	BFFFH
第四片	最低地址	11	00,0000,0000,0000	C000H
	最高地址	11	11,1111,1111,1111	FFFFH



3、字位扩展法

在字数（单元数量）上和位数上均进行扩展

如：存储容量为 **$M \times N$** 位的存储器，若用 **$L \times K$** 位的存储器芯片组成。共需 $\frac{M}{L} \times \frac{N}{K}$ 个存储器芯片。

例：用 **$2K \times 4$** 位存储器芯片组成 **$8K \times 8$** 位的存储器

$$\text{共需 } \frac{8}{2} \times \frac{8}{4} = 8 \text{ 片}$$

扩展方法：

先在位数上扩展，采用位并联法，每两片为一组，即一页；

两片 **$2K \times 4$** —— **$2K \times 8$**

然后在字数上扩展，采用字扩展法，共四组，一组是 **$2K \times 8$** 。

四组 **$2K \times 8$** —— **$8K \times 8$**



8K容量，地址线共13根，分成四组

一片存储芯片容量为**2k×4**位，片内地址线需**11**根。
A10~A0;

总存储容量**8K**，由地址线高位**A12**、**A11**译码输出**4**根线（片选），分别选中不同的组。

每个芯片有**4**位，两片组成**8**位，一页；

每根片选线同时接在两片芯片的片选端。

片选地址线2根, A_{12} , A_{11}

$A_{12}A_{11}$

11

10

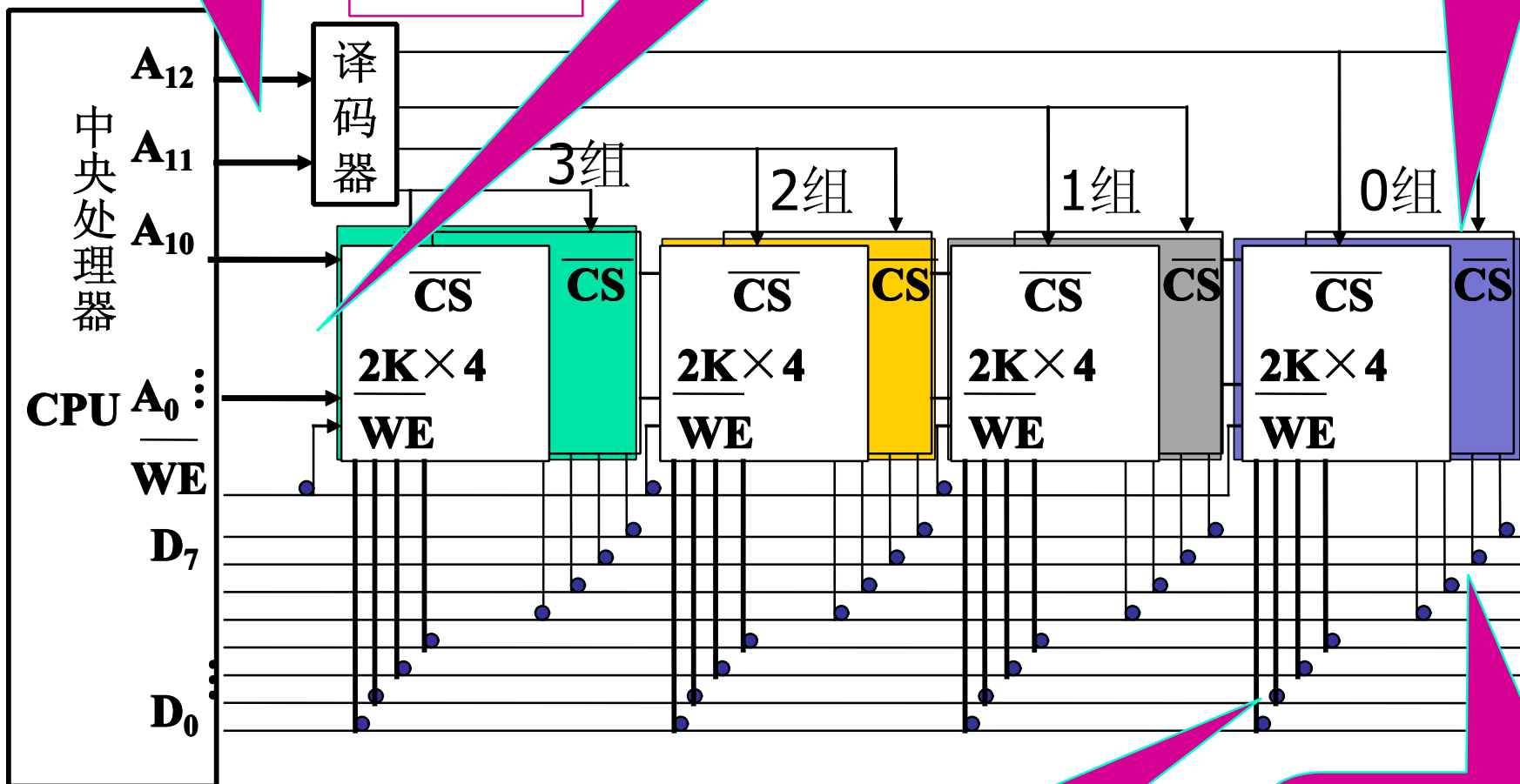
01

00

0 1 1 1

片内地址线11根, $A_{10} \sim A_0$

每两片构成一组, $2K \times 8$



偶数片接数据总线 $D_3 \sim D_0$ 作为低4位

奇数片接数据总线 $D_7 \sim D_4$ 作为高4位





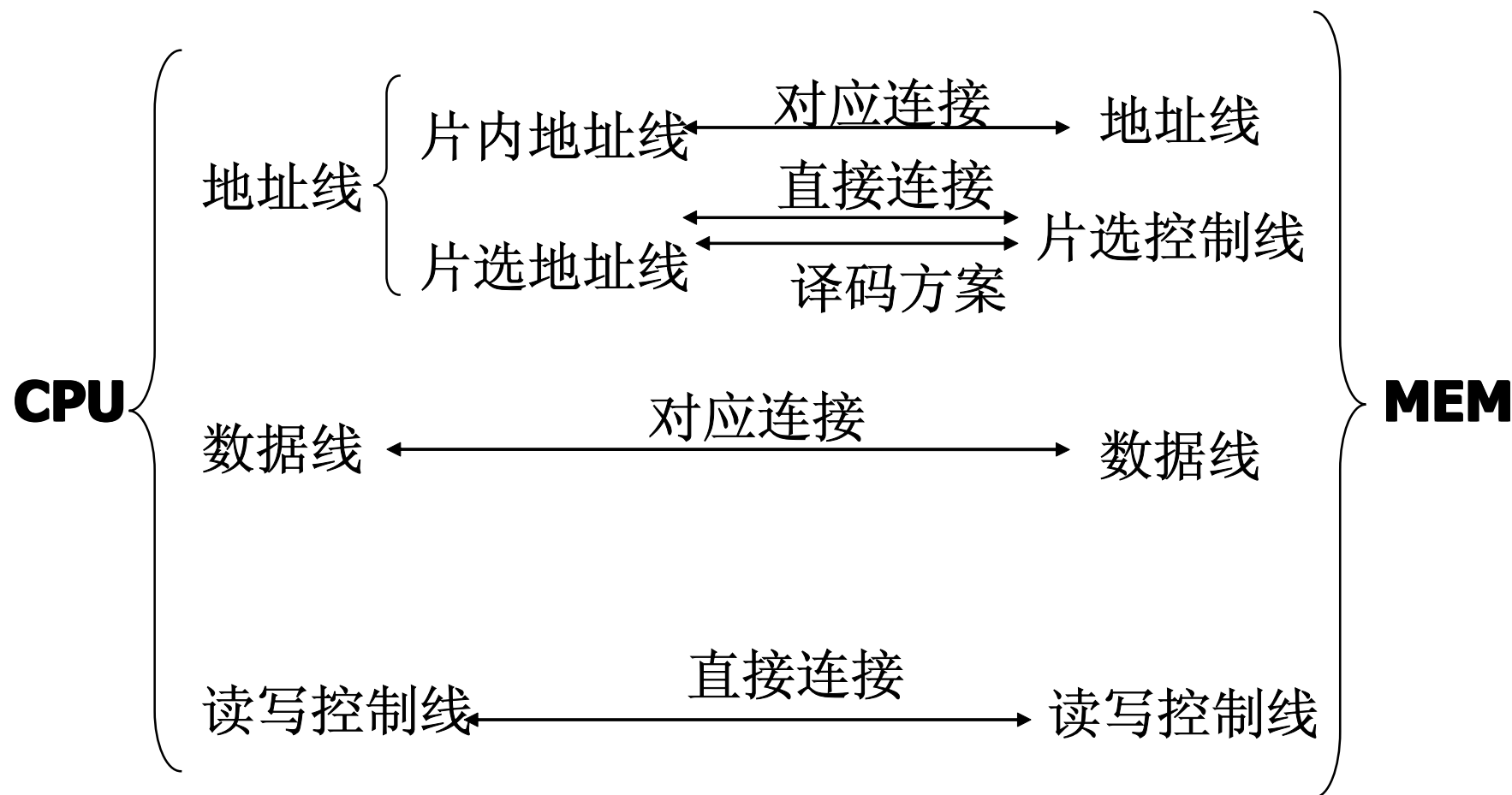
二、半导体存储器与CPU的连接

当采用多个半导体存储器芯片来组成一个主存储器时，需使用一定的控制电路。控制电路主要包括读写控制信号的产生和译码器产生片选信号，它们介于**CPU**和存储器之间，成为**CPU**和存储器之间的接口电路。

常用的片选控制译码方法有线选法、译码法（部分译码法、全译码法）等。

- ✓ 线选法
- ✓ 部分译码法
- ✓ 全译码法

二、半导体存储器与CPU的连接





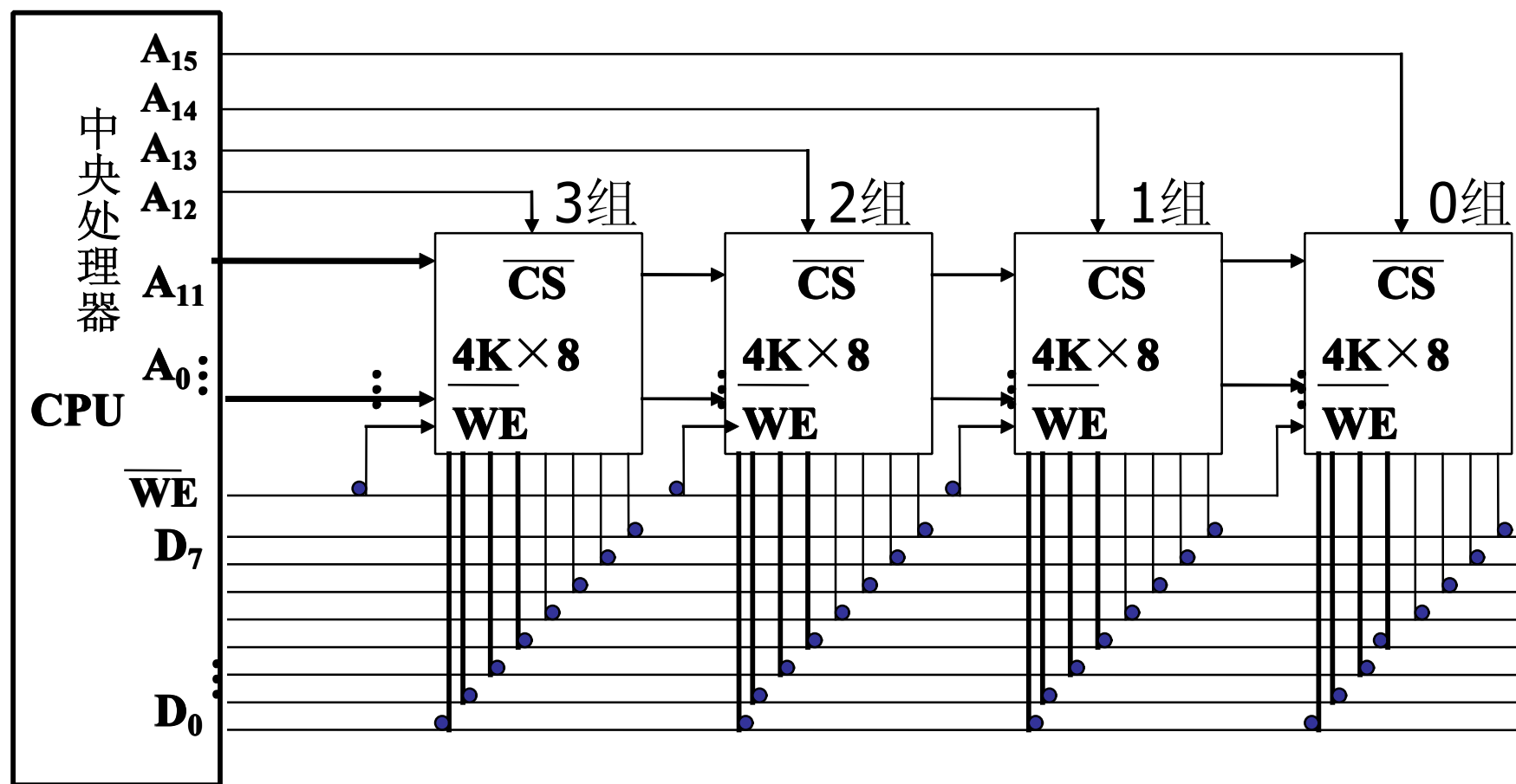
二、半导体存储器与CPU的连接

1) 线选法

用低位地址线进行片内的存储单元寻址（字选），
用高位地址线直接作各芯片的片选线**CS**。

可以减少或不用译码器等部件

例如，用**4K×8**位的存储器组成**16K×8**位的存储器，采用**线选方案**的连接方法如图所示。



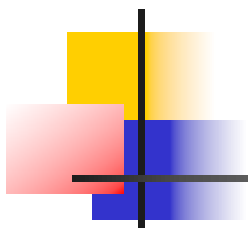
地址范围： 设CPU地址线为16，

第3组

	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_1	A_0	
最低地址	1	1	1	0	0	0	0	0	E000H
最高地址	1	1	1	0	1	1	1	1	EFFFH

第2组

	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_1	A_0	
最低地址	1	1	0	1	0	0	0	0	D000H
最高地址	1	1	0	1	1	1	1	1	DFFFH



第1组

	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_1	A_0	
最低地址	1	0	1	1	0	0	0	0	B000H
最高地址	1	0	1	1	1	1	1	1	BFFFH

第0组

	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_1	A_0	
最低地址	0	1	1	1	0	0	0	0	7000H
最高地址	0	1	1	1	1	1	1	1	7FFFH

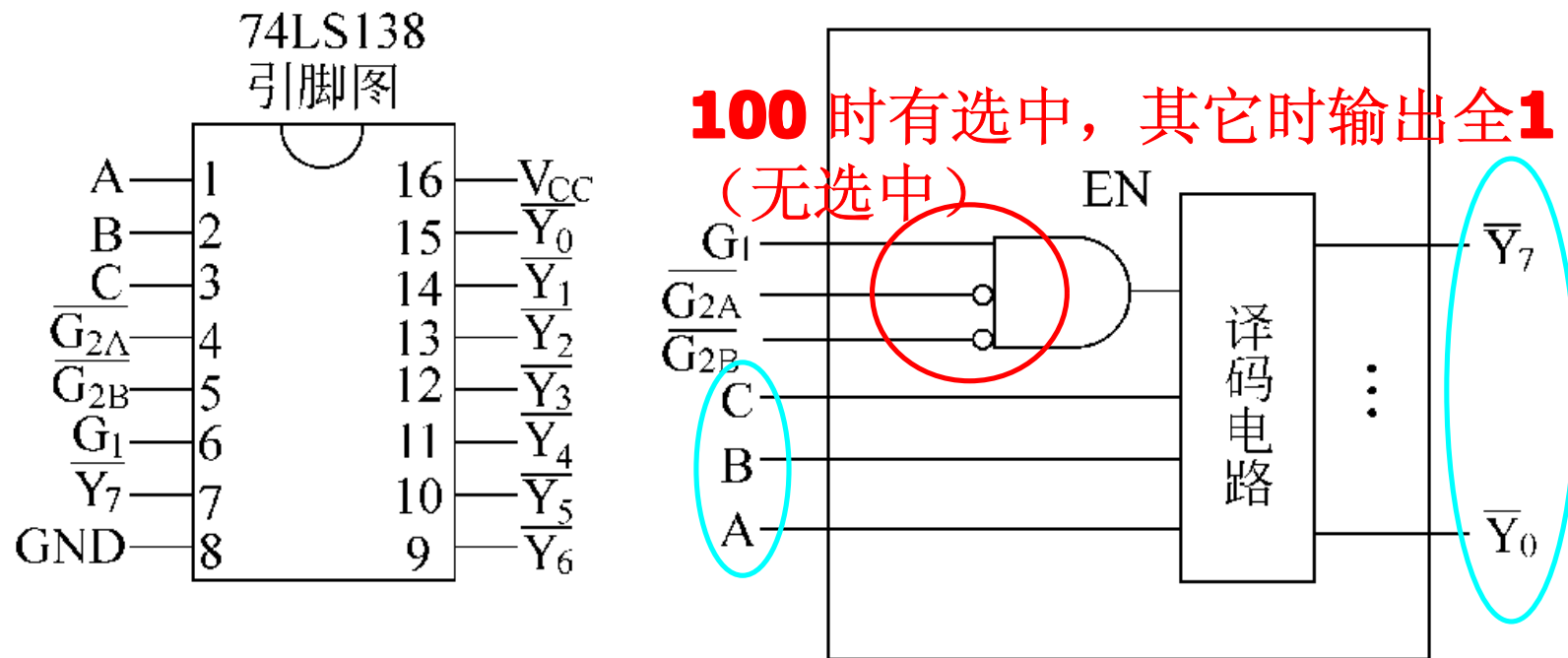
用线选方案构成的存储器，地址不连续，编程较困难。只适用于较小的存储器系统



2) 采用译码器连接方案

采用低位地址线对每片内的存储单元进行寻址，
用高位地址线经译码器译码输出作每个芯片的片选线。
地址连续，在各种存储器系统中被广泛采用

译码器 — 例如74LS138



P213 图4.29 74LS138引脚和逻辑框图

真值表, P213, 表4.7

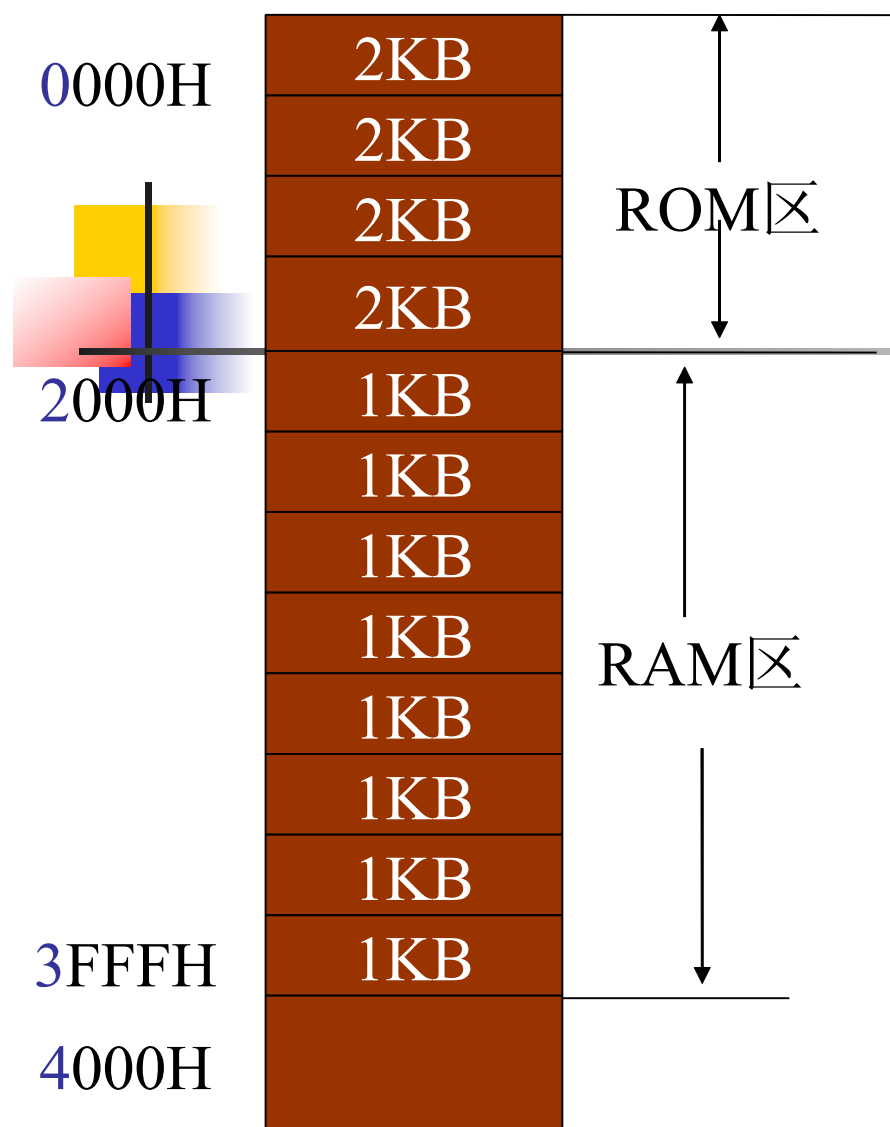
如 $CBA = 011$ 时, $\overline{Y}_3 = 0$, 其它都为 1。

■ 例:

- 某微机系统地址总线为16位，实际存储器容量为16KB，ROM区和RAM区各占8KB。其中，ROM采用2KB的EPROM, RAM采用1KB的RAM, 试设计译码电路。

■ 设计的一般步骤:

- ① 该系统的寻址空间最大为64KB，假定实际存储器占用最低16KB的存储空间，即地址为0000H~3FFFH。其中0000H~1FFFH为EPROM区，2000H~3FFFH为RAM区。



地址分配图

② 根据所采用的存储芯片容量，可画出地址分配图；地址分配表。

③ 确定译码方法并画出相应的地址位图。

④ 根据地址位图，可考虑用3-8译码器完成一次译码，用适当逻辑门完成二次译码。

ROM:

0000H~07FFH, 0800H~0FFFH, 1000H~17FFH, 17FF~1FFFH

$A_{10} \sim A_0 = 000000000000 \sim 111111111111$

$A_{12}A_{11} = 00 \sim 11$

$A_{15}A_{14}A_{13} = 000$

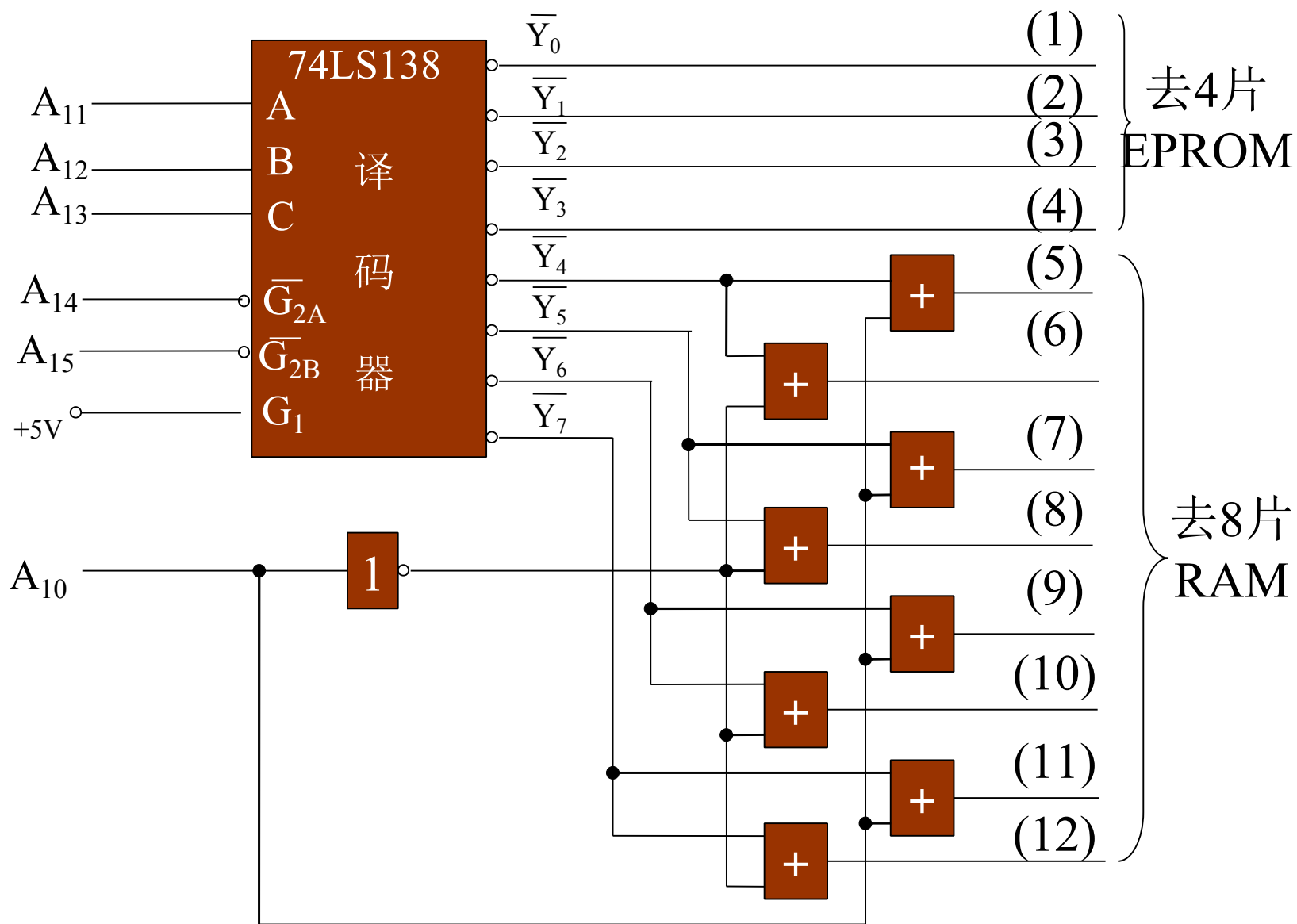
RAM:

2000H~23FFH, 2400H~27FFFH, ..., 3C00H~3FFFH

$A_9 \sim A_0 = 000000000000 \sim 111111111111$ (低位地址线: 片内地址)

$A_{12}A_{11}A_{10} = 000 \sim 111$ (次高地址线: 片选译码)

$A_{15}A_{14}A_{13} = 001$ (最高地址线: 决定存储器在系统内存中的地址范围)



片选控制译码电路图

例：已知某**CPU**字长**8**位，地址线为**16**位，若使用**8K×4**位存储器芯片组成该**CPU**所允许的最大内存空间

问：1) 共需多少片**8K×4**位存储器芯片？

2) 需片内地址线多少根？片选地址线多少根？