



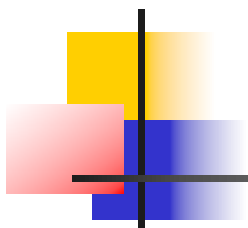
4.2 高速缓冲存储器

一、Cache的功能及基本原理

高速缓冲存储器（**Cache**）简称快存，是为了解决**CPU**和主存之间速度不匹配问题而设置的。

是介于**CPU**与主存**M**之间的小容量存储器，但存取速度比主存快。

快存可以看作为主存的缓冲存储器，它通常由高速的双极型半导体存储器或**SRAM**组成。快存的功能全部由硬件实现，并对程序员透明。



快存的内容是主存的某一部分的映像！

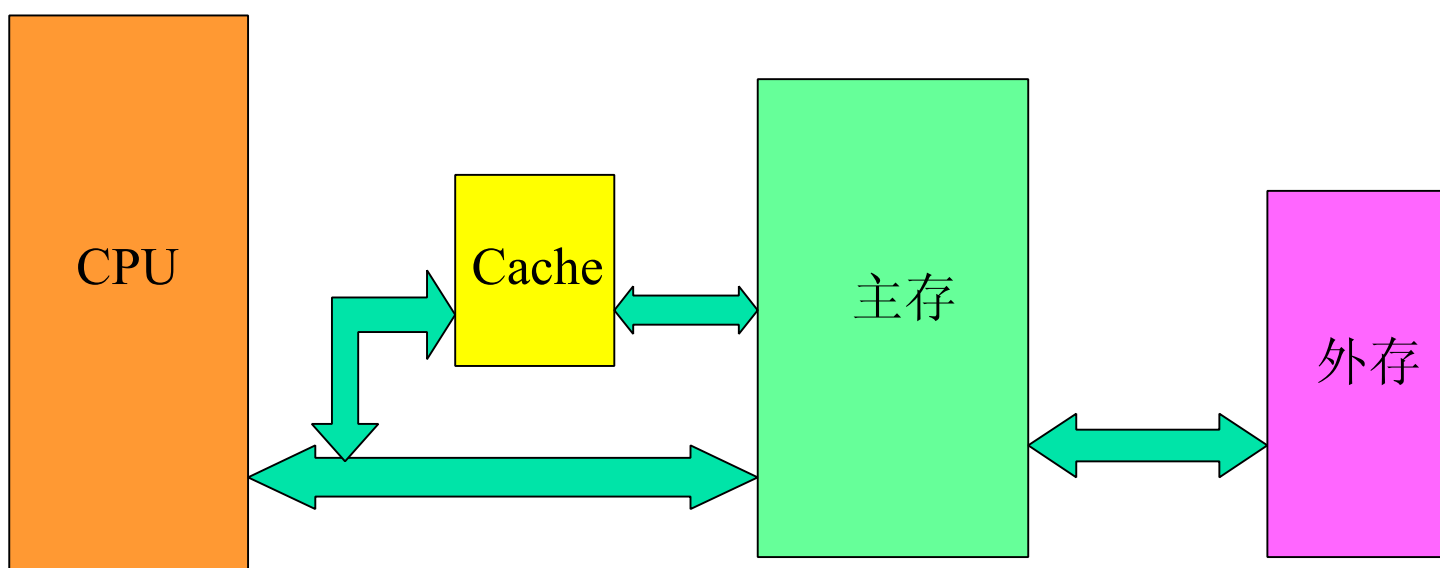
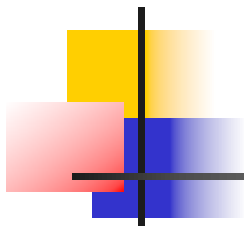


图4-16 Cache与主存关系的示意图



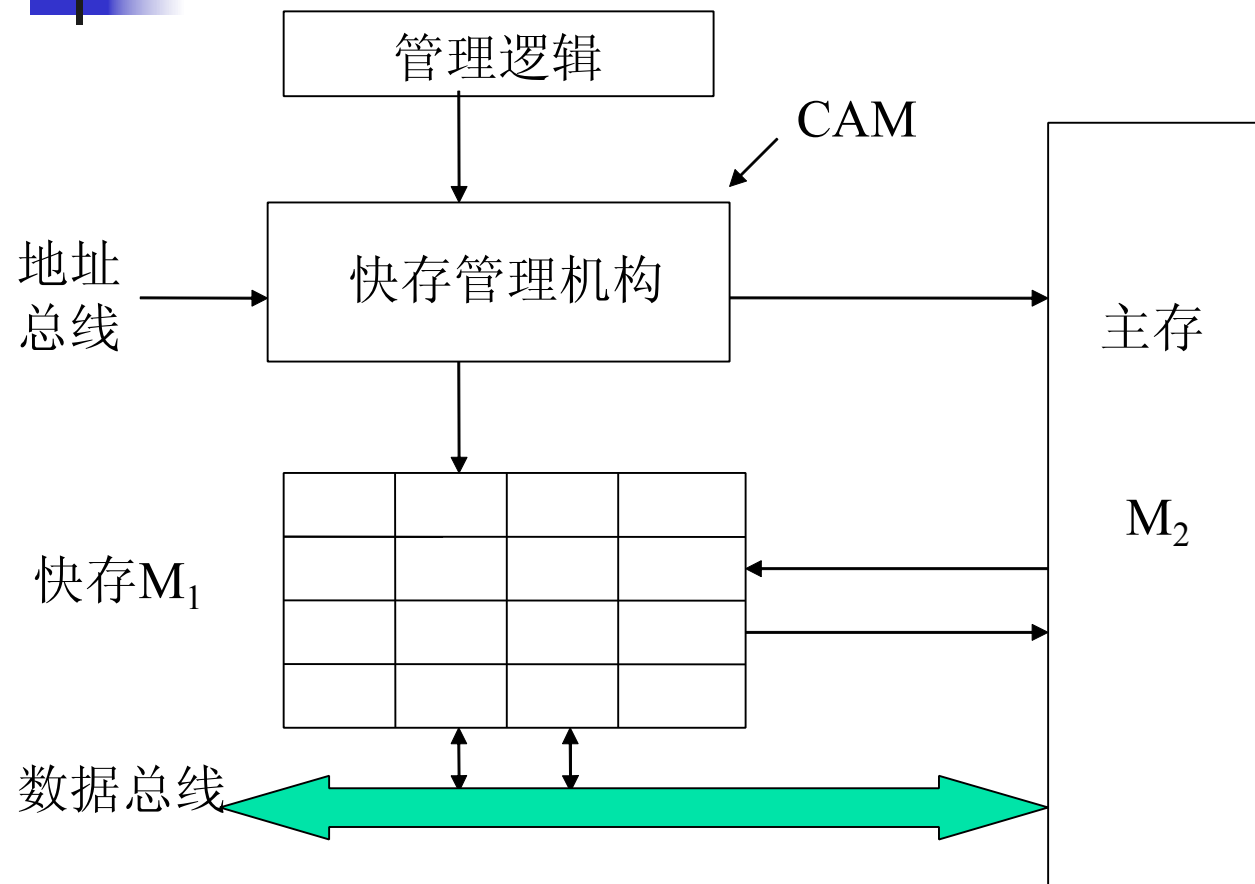
1. **Cache**的功能：提高读取速度

主存：**MOS**半导体存储器

快存：双极型半导体存储器

主存和快存的存取速度可以相差几—**10**倍。

2. Cache的基本原理



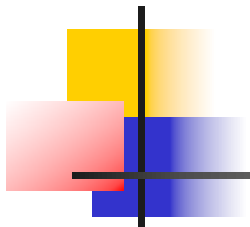
主存：模快化，每块**8K**

8K主存—**16**个字节快存

16个字节—**4**页，每页**4**字节

快存地址放在**CAM**

CACHE的命中率越高，效率越高。



二、Cache存储器的地址映象

为了把主存信息放到**Cache**存储器中，必须应用某种函数把主存地址映象到**Cache**的地址，称做**地址映象**。

这些函数通常称做**映象函数**。

利用映象函数，将**主存地址**变换成**Cache地址**，从而将主存信息按这种映象关系装入**Cache**，这个变换过程叫做地址变换。

地址映象方式有直接映象、全相联映象和组相联映象。



直接映象

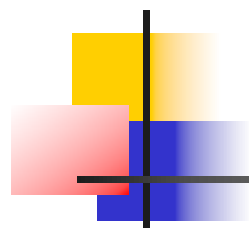
主存有 2^m 个页，每页为 2^b 个字；**Cache**存储空间分为 2^c 个页，每页大小同样为 2^b 个字。

$$J = I \bmod 2^c$$

J—**Cache**页面号； **I**—主存页面号；

主存的第**0**页、第 2^c 页、第 2^{c+1} 页；映象到**Cache**第**0**页；

主存的第**1**页、第 $2^c + 1$ 页、第 $2^{c+1} + 1$ 页；映象到**Cache**第**1**页；

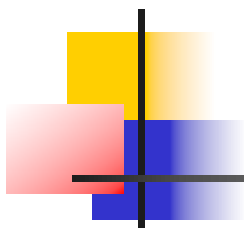


Cache

页面号0
页面号1
·
·
·
页面号 $2^c - 1$

主存

页面号0	}	2^c
页面号1		
...		
页面号 $2^c - 1$	}	2^c
页面号 2^c		
页面号 $2^c + 1$		
	}	2^c
页面号 $2^{c+1} - 1$		
页面号 2^{c+1}		
	}	2^c
页面号 $2^m - 1$		



举例：

假设Cache有2kB，每页16字节，共128页。主存64KB，共4096页。

主存的第0——127页映象到Cache的0——127页；

主存的第128页映象到Cache的第0页，129页映象到第1页。...



§ 4.3 存储器扩展知识

■ 一、16位系统内存接口



■ 系统的数据总线宽16位，能以字为单位读写内存。（物理条件）

■ 存储器总是以字节为单位分配地址

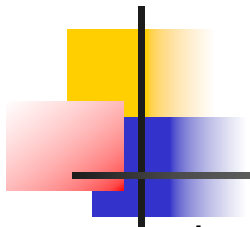
§ 4.3 存储器扩展知识

16位系统内存接口

8086的第**34**脚引入 **$\overline{\text{BHE}}$** （高**8**位数据总线允许信号）的作用？

$\overline{\text{BHE}}$	AD_0	读写的字节
L	L	两个字节 (AD_{15} — AD_0)
L	H	高字节 (AD_{15} — AD_8)
H	L	低字节 (AD_7 — AD_0)
H	H	不读写

如何连接，满足读写一个字节的需要，又能达到读一个字（低位字节在偶地址）？



- 1、存储器的奇偶分体

- 偶地址（从0开始）单元组成偶存储体，

- 奇地址单元组成奇存储体。

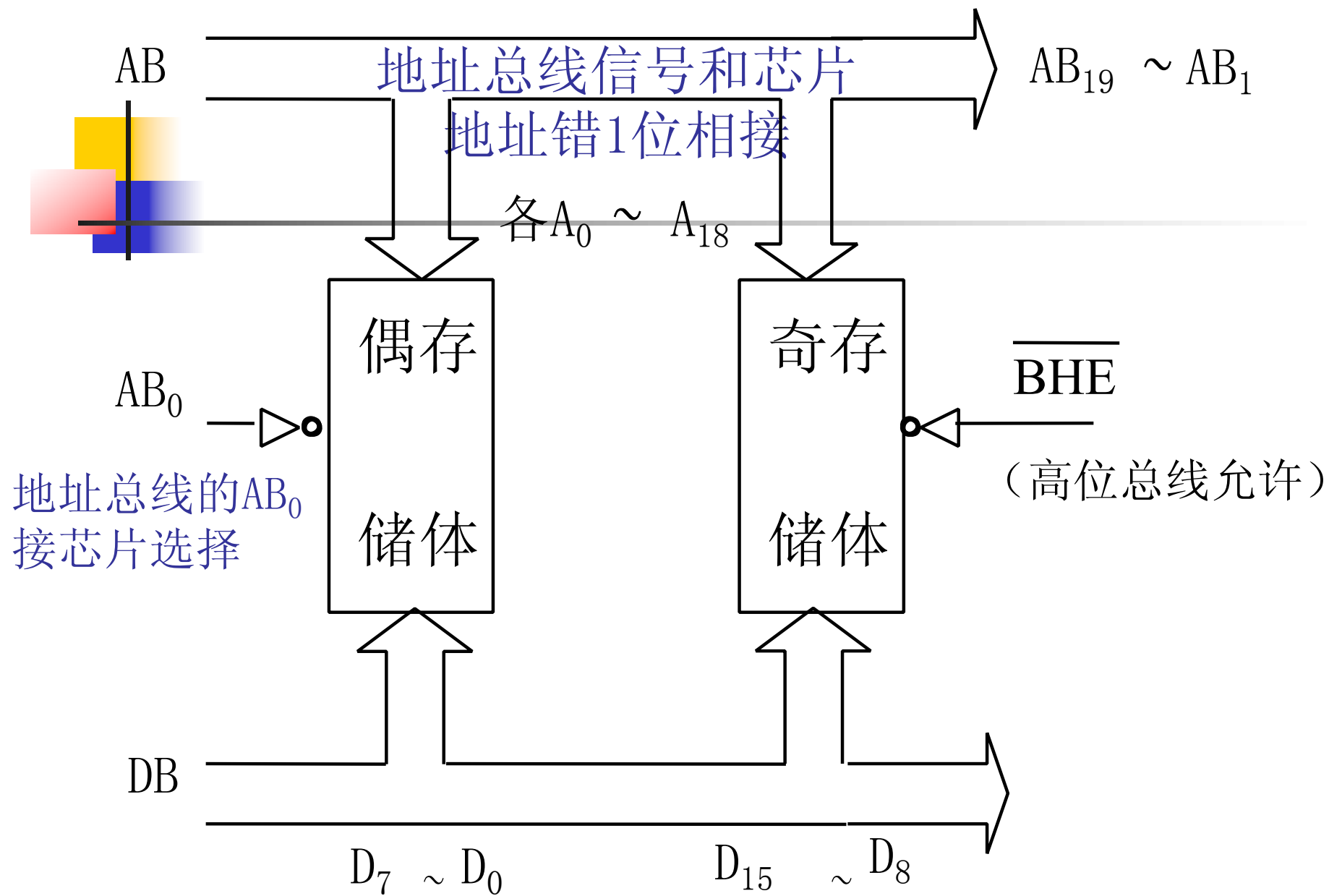
- 偶体、奇体共同组成16位存储器系统

○

- 16位读写是从偶体中选中1个单元、

- 再从地址加1的奇体中选中1个单元同时读写

○





2. 字操作的地址对准

- 字变量的地址为偶地址称字对准 (**aligned**)
- 对准的字一个总线周期可以读写**16**位。
- 非对准的字要两个总线周期完成读写。

地址对准实际上是保证数据的对准。

未对准的数据要在**CPU**内部经过字节交换，使其在数据线上对准存储体。

非对准的字要两个总线周期，对相邻的两个字进行两次操作，在**CPU**内部经过字节交换，最终完成读写。



2、替换策略

先进先出**FIFO**：选择最早装入快存的页作为被替换的页；

最近最少使用策略**LRU**：选择**CPU**最近最少访问的页作为被替换的页



3、存储器管理

虚拟存储器：虚拟存储器是由主存—辅存物理结构和负责信息块划分以及主存—辅存之间信息调度的存储器管理部件(**MMU**)的辅助硬件及操作系统的存储器管理软件所组成的存储系统。

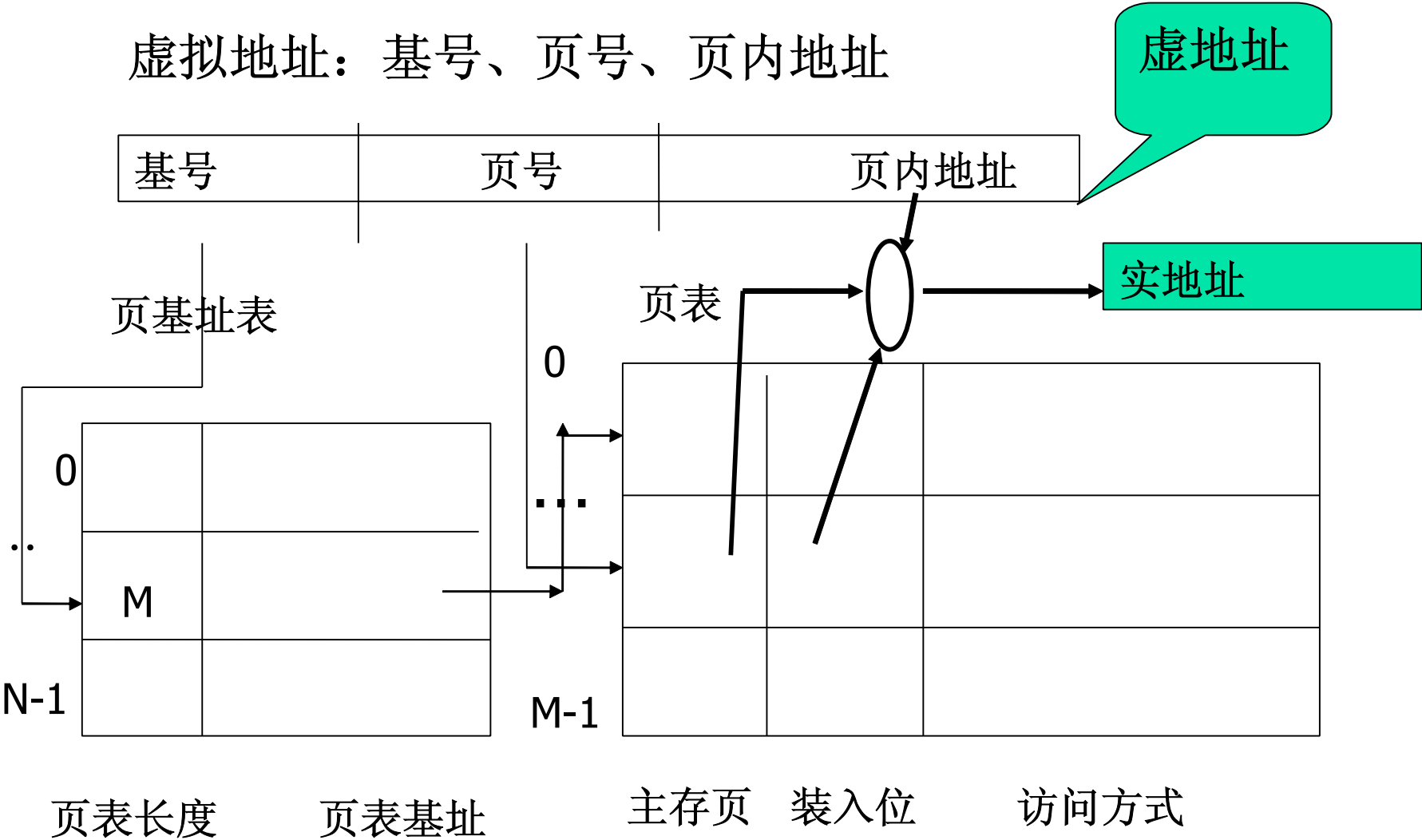
管理方式：页式虚拟存储器、段式虚拟存储器、段页式虚拟存储器

虚拟地址：能访问虚拟空间的指令地址码称为虚拟地址。

物理地址：实际的主存地址。

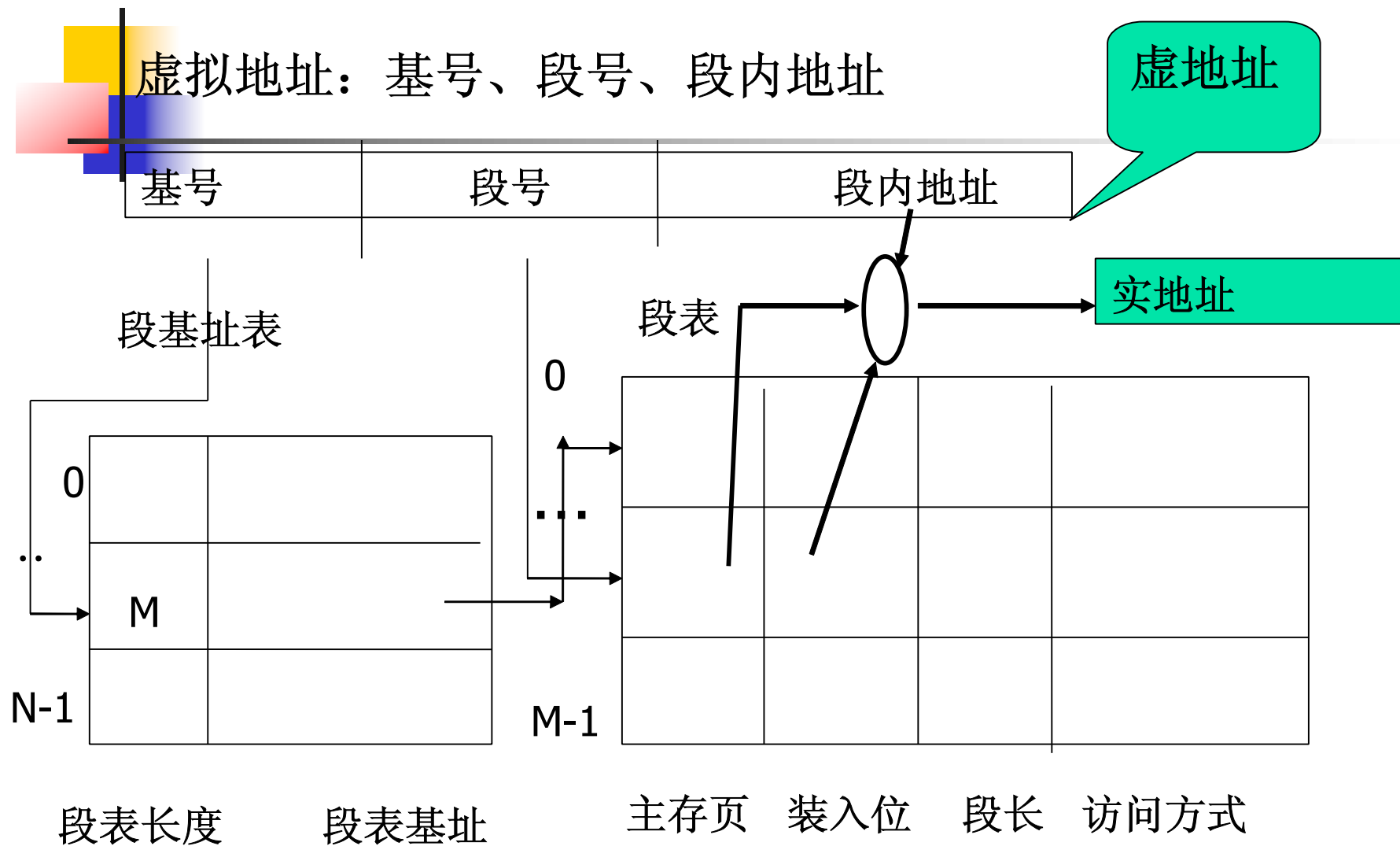
1)、页式虚拟存储器

虚拟地址：基号、页号、页内地址



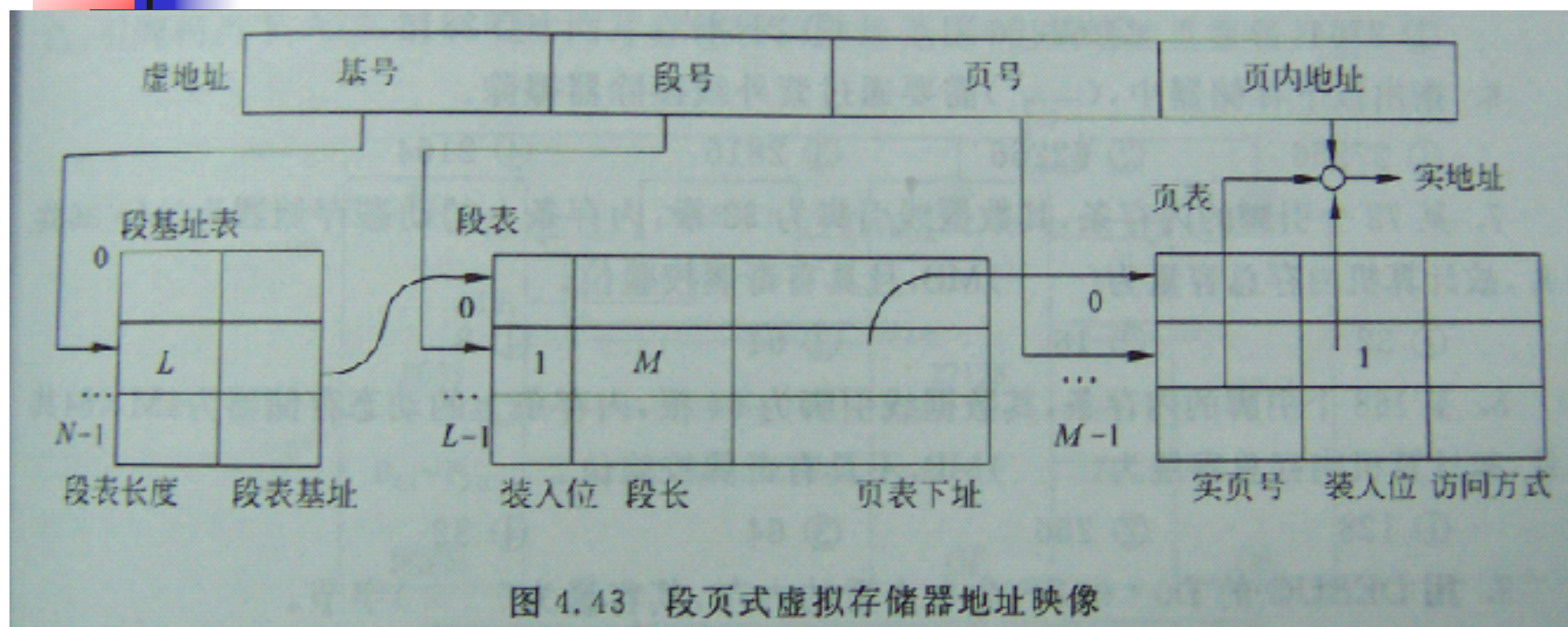
页式虚拟存储器的映像

2、段式虚拟存储器

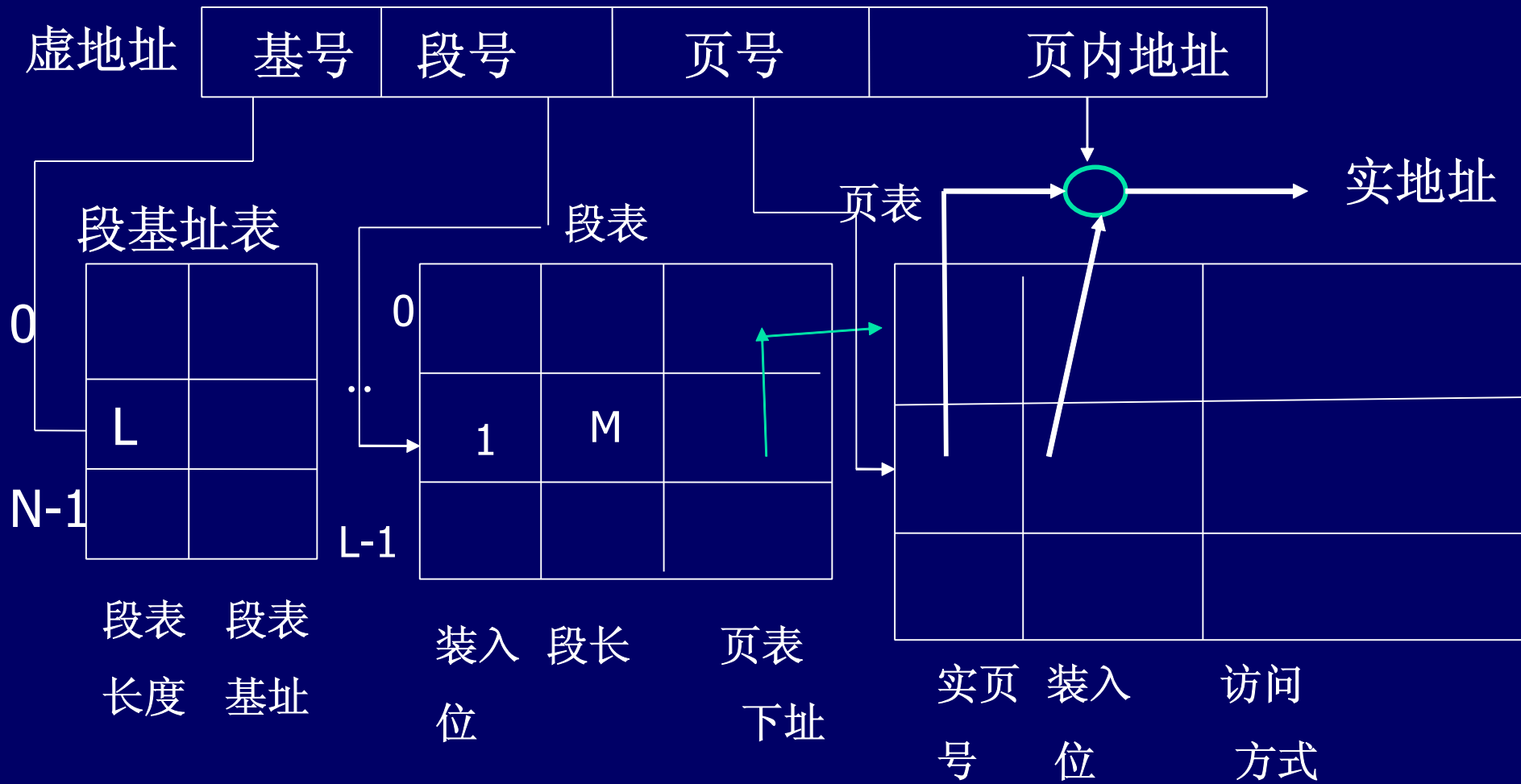


段式虚拟存储器的映像

3) 段页式虚拟存储器



3、段页式虚拟存储器



4、IBM PC/XT中的存储器

存储空间的分配

地址范围	名称	功能
00000H~7FFFFH	系统板上的 512KB	系统板存储器
80000H~9FFFFH	128KB 基本 RAM	I/O 通道主存储器
A0000H~BFFFFH	128KB 显示存储器	保留给显示卡用
C0000H~EFFFFH	192KB 控制 ROM	保留给硬盘适配器， 显示卡用
F0000H~FFFFFFH	系统板上 64KB BROM	BIOS 、 BASIC 用

32位系统内存接口

- 系统数据总线宽**32**位，能一次读写**4**字节。
- 地址线**32**位寻址**4GB**，按模**4**除分成**4**个体，
- 分别用字节允许信号**BE3 # ~ BE0 #**选中：
- **BE0 #**选最低字节，地址为**0,...,FFFFFFFCH**
- **BE1 #**选次低字节，地址为**1,...,FFFFFFFDH**
- **BE2 #**选次高字节，地址为**2,...,FFFFFFFEH**
- **BE3 #**选最高字节，地址为**3,...,FFFFFFFH**
- 地址总线**AB2**接存储器引脚**A0...**（错2位）
- 双字节变量地址应按双字对准（被4整除）

本章小结

第一节 存储器概述

存储器的分类(了解)

存储器的主要技术指标(掌握)

存储器的分级结构(掌握)

第二节 半导体读写存储器

RAM的分类(了解)

RAM的基本组成(理解)

典型芯片举例**SRAM2114**(理解)

第三节 只读存储器**ROM**

- **ROM**的结构及组成(了解)
- **ROM**的分类及各自的特点(掌握)
- 典型芯片举例(理解)

第四节 主存储器的组成与寻址

- 存储器芯片的扩充：位扩展法，字扩展法，字位扩展法(理解)
- 存储器与**CPU**的连接及各芯片的寻址范围：地址线、数据线、控制线的连接方法(应用)

第五节 扩展存储器及其管理

- 存储器的分级结构
- 高速缓冲存储器