

计算机组成原理试题 3 的答案

一、选择题（共 20 分，每题 1 分）

1. C 2. D 3. B 4. C 5. B 6. D 7. C
8. C 9. C 10. B 11. B 12. B 13. B 14. C
15. A 16. A 17. B 18. B 19. A 20. A

二、填空（共 20 分，每空 1 分）

1. A. $2^{31}(1-2^{-17})$ B. 2^{-33} C. -2^{31} D. $2^{-31}(-2^{-1}-2^{-17})$
2. A. 基地址 B. 偏移量 C. 偏移量 D. 基地址
3. A. 访存冲突 B. 相关问题
4. A. 机器字长 B. 运算速度
5. A. CPU B. 主存 C. 与 CPU 速度 D. 缓存中数据的命中率
6. A. PC 内容 B. 寄存器内容 C. 硬件自动（或中断隐指令） D. 软件编程

三、名词解释（共 10 分，每题 2 分）

1. 微程序控制

答：采用与存储程序类似的方法来解决微操作命令序列的形成，将一条机器指令编写成一个微程序，每一个微程序包含若干条微指令，每一条指令包含一个或多个微操作命令。

2. 存储器带宽

答：每秒从存储器进出信息的最大数量，单位可以用字/秒或字节/秒或位/秒来表示。

3. RISC

答：RISC 是精简指令系统计算机，通过有限的指令条数简化处理器设计，已达到提高系统执行速度的目的。

4. 中断隐指令及功能

答：中断隐指令是在机器指令系统中没有的指令，它是 CPU 在中断周期内由硬件自动完成的一条指令，其功能包括保护程序断点、寻找中断服务程序的入口地址、关中断等功能。

5. 机器字长

答：CPU 一次能处理的数据位数，它与 CPU 中寄存器的位数有关。

四、（共 5 分）

计算题 答：x、y 在机器中以补码表示为（1 分）

$$[x]_{\text{补}} = 00,10; 00.1101$$

$$[y]_{\text{补}} = 00,01; 00.1011$$

① 对阶（2 分）

$$[\Delta_j]_{\text{补}} = [j_x]_{\text{补}} - [j_y]_{\text{补}}$$

$$= 00,10 + 11,11 = 00,01$$

即 $\Delta_j = 1$ ，表示 y 的阶码比 x 的阶码小 1，因此将 y 的尾数向右移 1 位，阶码

相应加 1,即

$$[y]_{\text{补}}' = 00,10; 00.0101$$

这时 $[y]_{\text{补}}'$ 的阶码与 $[x]_{\text{补}}$ 的阶码相等, 阶差为 0, 表示对阶完毕。

② 求和 (2 分)

$$\begin{array}{r} 00.1101 \quad [S_x]_{\text{补}}' \\ + 11.0101 \quad [S_y]_{\text{补}}' \\ \hline 01.0010 \quad [S_x + S_y]_{\text{补}}' \end{array}$$

$$\text{即 } [x+y]_{\text{补}} = 00,10; 01.0010$$

③ 右规 (1 分)

运算结果两符号位不等, 表示尾数之和绝对值大于 1, 需右规, 即将尾数之和向右移 1 位, 阶码加 1, 故得

$$[x+y]_{\text{补}} = 00,11; 00.1001$$

$$\text{则 } x+y = 0.1001 \times 2^{11}$$

五、简答题 (共 20 分)

1. (4 分) 答:

总线在完成一次传输周期时, 可分为四个阶段:

申请分配阶段: 由需要使用总线的主模块 (或主设备) 提出申请, 经总线仲裁机构决定下一传输周期的总线使用权授于某一申请者; (1 分)

寻址阶段: 取得了使用权的主模块, 通过总线发出本次打算访问的从模块 (或从设备) 的存储地址或设备地址及有关命令, 启动参与本次传输的从模块; (1 分)

传数阶段: 主模块和从模块进行数据交换, 数据由源模块发出经数据总线流入目的模块; (1 分)

结束阶段: 主模块的有关信息均从系统总线上撤除, 让出总线使用权。(1 分)

2. (6 分, 每写出一种给 1 分, 最多 6 分)

答:

针对存储器, 采用高速芯片

针对存储器, 可以采用 Cache-主存层次的设计和管理提高整机的速度;

针对存储器, 可以采用多体并行结构提高整机的速度;

针对控制器, 可以通过指令流水设计技术提高整机的速度;

针对控制器, 可以通过超标量设计技术提高整机的速度;

针对运算器, 可以对运算方法加以改进, 如两位乘, 或用快速进位链;

针对 I/O 系统, 可以运用 DMA 技术不中断现行程序, 提高 CPU 的效率。

3. (5分) 答: (每写对一个屏蔽字 1分)

设屏蔽位为“1”时表示对应的中断源被屏蔽, 屏蔽字排列如下:

中断源	屏蔽字				
	0	1	2	3	4
L0	1	1	0	0	0
L1	0	1	0	0	0
L2	1	1	1	0	1
L3	1	1	1	1	1
L4	1	1	0	0	1

4. (5分) 答:

(1) 一地址指令格式为 (1分)

OP	M	A
----	---	---

OP 操作码字段, 共 7 位, 可反映 120 种操作;

M 寻址方式特征字段, 共 2 位, 可反映 4 种寻址方式;

A 形式地址字段, 共 $16 - 7 - 2 = 7$ 位 (1分)

(2) 直接寻址的最大范围为 $2^7 = 128$ (1分)

(3) 由于存储字长为 16 位, 故一次间址的寻址范围为 $2^{16} = 65536$ (1分)

(4) 相对寻址的位移量为 $-64 \sim +63$ (1分)

六、 (共 15 分) 问答题

1. (8分) 答:

假设进栈操作是先修改堆栈指针后存数, 则出栈操作是先读数后修改堆栈指针。

(1) 完成中断返回指令组合逻辑控制的微操作命令及节拍安排 (4分)

取指阶段

T_0 $PC \rightarrow MAR, 1 \rightarrow R$

T_1 $M(MAR) \rightarrow MDR, (PC) + 1 \rightarrow PC$

T_2 $MDR \rightarrow IR, OP(IR) \rightarrow ID$

执行阶段

T_0 $SP \rightarrow MAR, 1 \rightarrow R$

T_1 $M(MAR) \rightarrow MDR$

T_2 $MDR \rightarrow PC, (SP) + 1 \rightarrow SP$

(2) 完成中断返回指令微程序控制的微操作命令及节拍安排 (4分)

取指阶段

T_0 PC \rightarrow MAR, 1 \rightarrow R

T_1 Ad(CMDR) \rightarrow CMAR

T_2 M(MAR) \rightarrow MDR, (PC)+1 \rightarrow PC

T_3 Ad(CMDR) \rightarrow CMAR

T_4 MDR \rightarrow IR

T_5 OP(IR) \rightarrow 微地址形成部件 \rightarrow CMAR

执行阶段

T_0 SP \rightarrow MAR, 1 \rightarrow R

T_1 Ad(CMDR) \rightarrow CMAR

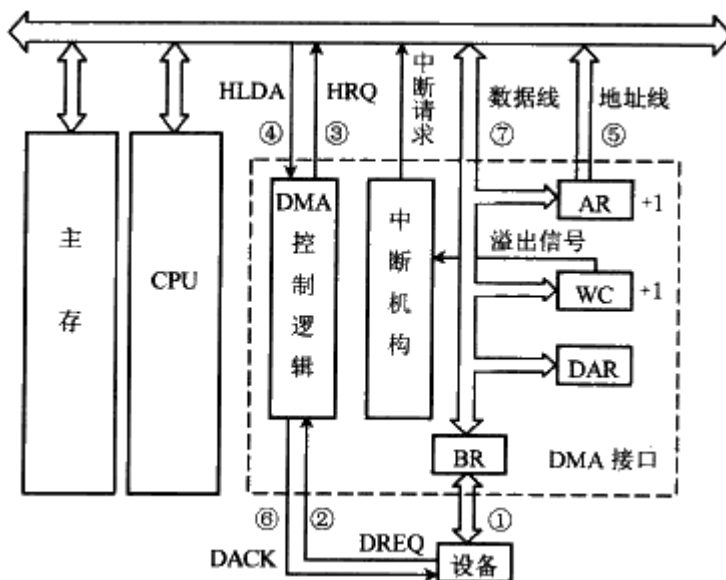
T_2 M(MAR) \rightarrow MDR

T_3 Ad(CMDR) \rightarrow CMAR

T_4 MDR \rightarrow PC, (SP)+1 \rightarrow SP

T_5 Ad(CMDR) \rightarrow CMAR

2. (7分) 答: DMA 方式接口电路的基本组成框图如下: (3分)



以数据输入为例, 具体操作如下: (4分)

- ① 从设备读入一个字到 DMA 的数据缓冲寄存器 BR 中, 表示数据缓冲寄存器“满”(如果 I/O 设备是面向字符的, 则一次读入一个字节, 组装成一个字);
- ② 设备向 DMA 接口发请求 (DREQ);
- ③ DMA 接口向 CPU 申请总线控制权 (HRQ);
- ④ CPU 发回 HLDA 信号, 表示允许将总线控制权交给 DMA 接口;

- ⑤ 将 DMA 主存地址寄存器中的主存地址送地址总线;
- ⑥ 通知设备已被授予一个 DMA 周期 (DACK), 并为交换下一个字做准备;
- ⑦ 将 DMA 数据缓冲寄存器的内容送数据总线;
- ⑧ 命令存储器作写操作;
- ⑨ 修改主存地址和字计数值;
- ⑩ 判断数据块是否传送结束, 若未结束, 则继续传送; 若已结束, (字计数器溢出), 则向 CPU 申请程序中断, 标志数据块传送结束。

七、设计题 (共 10 分)

答: (1) 将 16 进制地址范围写成二进制地址码, 并确定其总容量。(2 分)

A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0	
0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	} 系统程序区 2K×8 位
...	...															
0	1	1	0	0	1	1	1	1	1	1	1	1	1	1	1	
0	1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	} 用户程序区 1K×8 位
...	...															
0	1	1	0	1	0	1	1	1	1	1	1	1	1	1	1	

(2) 根据地址范围的容量以及该范围在计算机系统中的作用, 选择存储芯片。

由 6000H~67FFH 系统程序区的范围, 应选 1 片 2K×8 位的 ROM (1 分)

由 6800H~6BFFH 用户程序区的范围, 应选 2 片 1K×4 位的 RAM 芯片 (1 分)

(3) 存储芯片的片选逻辑图 (6 分)

