

计算机组成原理试题 1 答案

一、选择题（共 20 分，每题 1 分）

1. C 2. C 3. C 4. A 5. A 6. A 7. D
8. A 9. C 10. B 11. B 12. B 13. A 14. B
15. C 16. B 17. B 18. A 19. C 20. A

二、填空题（共 20 分，每空 1 分）

1. A. 停止 CPU 访问主存 B. 周期挪用 C. DMA 和 CPU 交替访问主存
2. A. 8 B. 8 C. 8 D. 9
3. A. $2^{127}(1-2^{-23})$ B. 2^{-129} C. $2^{-128}(-2^{-1}-2^{-23})$ D. -2^{127}
4. A. 申请分配阶段 B. 寻址阶段 C. 传输阶段 D. 结束阶段
5. A. 机器周期 B. 节拍
6. A. 指令操作码 B 时序 C. 状态条件

三、名词解释（共 10 每题 2 分）

1. 机器周期

答：机器周期：基准，存取周期。

2. 周期挪用

答：周期挪用：DMA 方式中由 DMA 接口向 CPU 申请占用总线，占用一个存取周期。

3. 双重分组跳跃进位

答：n 位全加器分成若干大组，大组内又分成若干小组，大组中小组的最高进位同时产生，大组与大组间的进位串行传送。

4. 水平型微指令

答：水平型微指令的特点是一次能定义并执行多个并行操作的微命令。从编码方式看，直接编码、字段直接编码、字段间接编码以及直接编码和字段直接和间接混合编码都属水平型微指令。其中直接编码速度最快，字段编码要经过译码，故速度受影响。

5. 超标量

答：超标量（Super scalar）技术是指在每个时钟周期内可同时并发多条独立指令，即以并行操作方式将两条或两条以上指令编译并执行，在一个时钟周期内需要多个功能部件。

四、计算题（共 5 分）

答：由 $A = -\frac{11}{16} = -0.1011$, $B = -\frac{7}{16} = -0.011$ （1 分）

得 $[A]_{\text{补}} = 1.0101$, $[B]_{\text{补}} = 1.1001$ （1 分）

$\therefore [A+B]_{\text{补}} = [A]_{\text{补}} = 1.0101$

$+ [B]_{\text{补}} = 1.1001$

$\hline \boxed{1} 0.1110$

丢掉 \swarrow

（2 分）

两操作数符号均为 1，结果的符号为 0，故为溢出。（1 分）

五、简答题（共 15 分）

1. （5 分）答：

（1）一地址指令格式为（1 分）

| | | |
|----|---|---|
| OP | M | A |
|----|---|---|

OP 操作码字段，共 7 位，可反映 120 种操作；

M 寻址方式特征字段，共 3 位，可反映 5 种寻址方式；

A 形式地址字段，共 $16 - 7 - 3 = 6$ 位 （1 分）

(2) 直接寻址的最大范围为 $2^6 = 64$ （1 分）

(3) 由于存储字长为 16 位，故一次间址的寻址范围为 $2^{16} = 65536$ （1 分）

(4) 相对寻址的位移量为 $-32 \sim +31$ （1 分）

2. (5 分) 答：控制器常采用同步控制、异步控制和联合控制。(1 分)

同步控制即微操作序列由基准时标系统控制，每一个操作出现的时间与基准时标保持一致。异步控制不存在基准时标信号，微操作的时序是由专用的应答线路控制的，即控制器发出某一个微操作控制信号后，等待执行部件完成该操作时所发回的“回答”或“終了”信号，再开始下一个微操作。联合控制是同步控制和异步控制相结合的方式，即大多数微操作在同步时序信号控制下进行，而对那些时间难以确定的微操作，如涉及到 I/O 操作，则采用异步控制。(4 分)

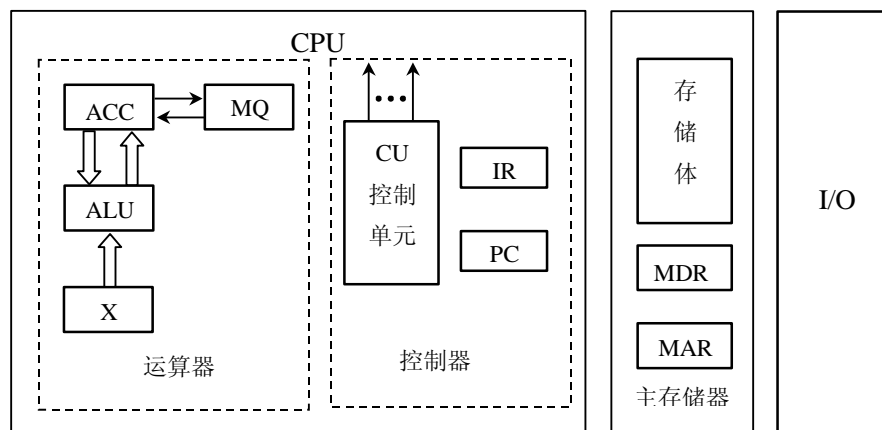
3. (5 分) 答：（每写对一个屏蔽字 1 分）

设屏蔽位为“1”时表示对应的中断源被屏蔽，屏蔽字排列如下：

| 中断源 | 屏蔽字 | | | | |
|-----|-----|---|---|---|---|
| | 0 | 1 | 2 | 3 | 4 |
| L0 | 1 | 1 | 0 | 0 | 0 |
| L1 | 0 | 1 | 0 | 0 | 0 |
| L2 | 1 | 1 | 1 | 1 | 0 |
| L3 | 1 | 1 | 0 | 1 | 0 |
| L4 | 1 | 1 | 1 | 1 | 1 |

六、问答题（共 20 分）

(1) (5 分)



(2) (5 分)

| ACC | MQ | ALU | X | IR | MDR | PC | MAR |
|-----|----|-----|----|----|-----|----|-----|
| 32 | 32 | 32 | 32 | 32 | 32 | 16 | 16 |

(3) (5 分)

| | | |
|----|--------------|---------------|
| T0 | PC → MAR | 1 → R |
| T1 | M(MAR) → MDR | (PC) + 1 → PC |
| T2 | MDR → IR | OP(IR) → ID |

| | | |
|----|------------|-----|
| T0 | Ad(IR)→MAR | 1→W |
| T1 | AC→MDR | |
| T2 | MDR→M(MAR) | |

(4) (5 分)

取指

Ad(CMDR)→CMAR

OP(IR)→微地址形成部件→CMAR

执行

Ad(CMDR)→CMAR

七、设计题 (共 10 分)

(1) 根据主存地址空间分配为: (2 分)

| | | | | | | | | | |
|-----------------|-----|-----------------|-----|----------------|-----|----------------|-----|----------------|----------|
| A ₁₅ | ... | A ₁₁ | ... | A ₇ | ... | A ₃ | ... | A ₀ | |
| 1 0 0 0 | | 0 0 0 0 | | 0 0 0 0 | | 0 0 0 0 | | 0 0 0 0 | } 2K×8 位 |
| 1 0 0 0 | | 0 1 1 1 | | 1 1 1 1 | | 1 1 1 1 | | 1 1 1 1 | |
| 1 0 0 0 | | 1 0 0 0 | | 0 0 0 0 | | 0 0 0 0 | | 0 0 0 0 | } 1K×4 位 |
| 1 0 0 0 | | 1 0 1 1 | | 1 1 1 1 | | 1 1 1 1 | | 1 1 1 1 | |

(2) 选出所用芯片类型及数量

2K×8 位 ROM 1 片 (1 分)

1K×4 位 RAM 2 片 (1 分)

CPU 与存储芯片的连接图如图所示 (6 分)

