

实验一 门电路逻辑功能及测试

一、实验目的

1. 熟悉门电路逻辑功能。
2. 熟悉数字电路学习机及示波器使用方法。

二、实验仪器及材料

1. 双踪示波器

2. 器件

74LS00	二输入端四与非门	2 片
74LS20	四输入端双与非门	1 片
74LS86	二输入端四异或门	1 片
74LS04	六反相器	1 片

三、预习要求

1. 复习门电路工作原理及相应逻辑表达式。
2. 熟悉所用集成电路的引线位置及各引线用途。
3. 了解双踪示波器使用方法。

四、实验内容

实验前按学习机使用说明先检查学习机电源是否正常。然后选择实验用的集成电路,按自己设计的实验接线图接好连线,特别注意 Vcc 及地线不能接错。线接好后经实验指导教师检查无误方可通电实验。实验中改动接线须先断开电源,接好线后再通电实验。

1. 测试门电路逻辑功能

(1). 选用双四输入与非门 74LS20 一只,插入面包板。按图 1.1 接线、输入端接 $S_1 \sim S_4$ (电平开关输出插口),输出端接电平显示发光二极管($D_1 \sim D_3$ 任意一个)

(2). 将电平开关按表 1.1 置位,分别测输出电压及逻辑状态。

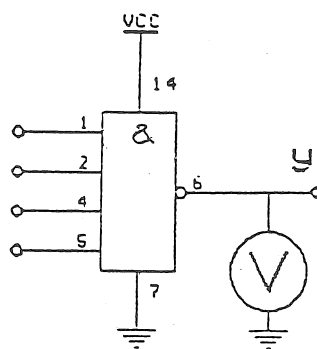


图 1.1

表 1.1

输入				输出	
1	2	3	4	Y	电压(V)
H	H	H	H		
L	H	H	H		
L	L	H	H		
L	L	L	H		
L	L	L	L		

2. 异或门逻辑功能测试

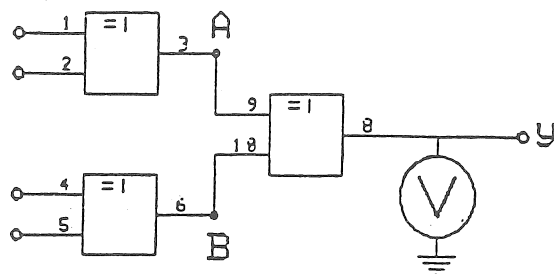


图 1.2

(1). 选二输入四异或门电路 74LS86, 按图 1.2 接线, 输入端 1、2、4、5 接电平开关, 输出端 A、B、Y 接电平显示发光二极管。

(2). 将电平开关按表 1.2 置位, 将结果填入表中。

表 1.2

输入 1 2 4 5				输出			
				A	B	Y	Y 电压(V)
L	L	L	L				
H	L	L	L				
H	H	L	L				
H	H	H	L				
H	H	H	H				
L	H	L	H				

3. 逻辑电路的逻辑关系

(1). 用 74LS00 按图 1.3、1.4 接线, 将输入输出逻辑关系分别填入表 1.3、表 1.4 中,

表 1.3

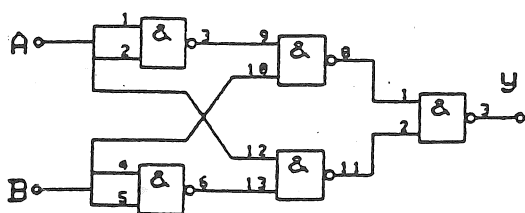


图 1.3

输入		输出
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L

輸入		輸出	
A	B	Y	Z
L	L	L	L
L	H	H	L
H	L	L	H
H	H	L	H

4. 逻辑门传输延迟时间的测量。

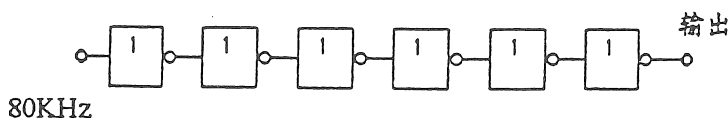


图 1.5

用一片 74LS00 按图 1.6 接线。

用一片二输入端四与非门组成或非门

$$Y = \overline{A \div B} = \overline{A} \cdot \overline{B}$$

画出电路图,测试并填表 1.5

輸入		輸出
A	B	Y
0	0	
0	1	
1	0	
1	1	

A	B	Y
0	0	1
0	1	0
1	0	1
1	1	1

(2). 组成异或门

(a) 将异或门表达式转化为与非门表达式。

(b) 画出逻辑电路图。

(c) 测试并填表 1.6。

五、实验报告

1. 按各步聚要求填表并画逻辑图。

2. 回答问题：

(1) 怎样判断门电路逻辑功能是否正常？

(2) 与非门一个输入接连续脉冲，其余端什么状态时允许脉冲通过？什么状态时禁止脉冲通过？

(3) 异或门又称可控反相门，为什么？

实验二 组合逻辑电路(半加器全加器及逻辑运算)

一、实验目的

1. 掌握组合逻辑电路的功能测试。
2. 验证半加器和全加器的逻辑功能。
3. 学会二进制数的运算规律。

二、实验仪器及材料

器件

74LS00	二输入端四与非门	3 片
74LS86	二输入端四异或门	1 片
74LS54	四组输入与或非门	1 片

三、预习要求

1. 预习组合逻辑电路的分析方法。
2. 预习用与非门和异或门构成的半加器、全加器的工作原理。
3. 预习二进制数的运算。

四、实验内容

1. 组合逻辑电路功能测试。

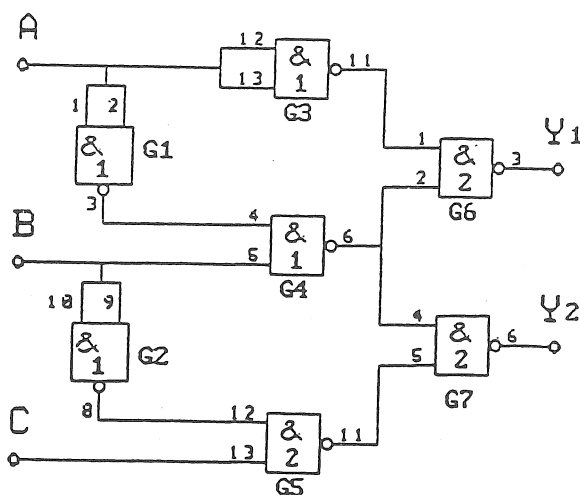


图 2.1

(1). 用 2 片 74LS00 组成图 2.1 所示逻辑电路。为便于接线和检查,在图中要注明芯片编号及各引脚对应的编号。

(2). 图中 A、B、C 接电平开关, Y1、Y2 接发光管电平显示。

(3). 按表 2.1 要求, 改变 A、B、C 的状态填表并写出 Y1、Y2 逻辑表达式。

(4). 将运算结果与实验比较。

表 2.1

输入			输出	
A	B	C	Y ₁	Y ₂
0	0	0		
0	0	1		
0	1	1		
1	1	1		
1	1	0		
1	0	0		
1	0	1		
0	1	0		

2. 测试用异或门(74LS86)和与非门组成的半加器的逻辑功能。

根据半加器的逻辑表达式可知, 半加器 Y 是 A、B 的异或, 而进位 Z 是 A、B 相与, 故半加器可用一个集成异或门和二个与非门组成如图 2.2。

(1). 在学习机上用异或门和与门接成以上电路。A、B 接电平开关 S, Y、Z 接电平显示。

(2). 按表 2.2 要求改变 A、B 状态, 填表。

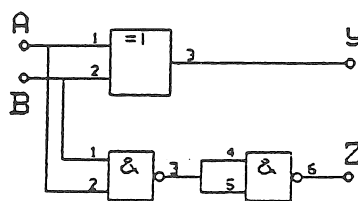


图 2.2

表 2.2

输入端	A	0	1	0	1
	B	0	0	1	1
输出端	Y				
	Z				

3. 测试全加器的逻辑功能。

(1). 写出图 2.3 电路的逻辑表达式。

(2). 根据逻辑表达式列真值表。

(3). 根据真值表画逻辑函数 S、C₁ 的卡诺图。

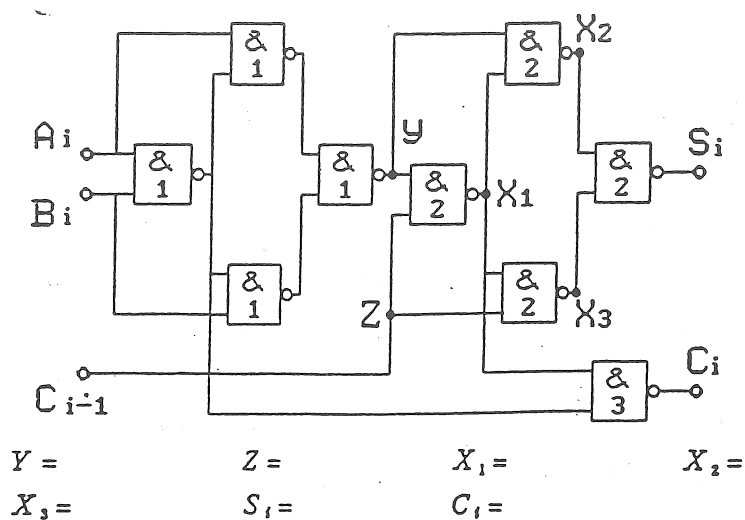


图 2.3

Ai	Bi, Ci-1			
	0 0	0 1	1 1	1 0
0				
1				

$S_i =$

Ai	Bi, Ci-1			
	0 0	0 1	1 1	1 0
0				
1				

$C_i =$

(4). 填写表 2.3 各点状态

表 2.3

A_i	B_i	C_{i-1}	Y	Z	X_1	X_2	X_3	S_i	C_i
0	0	0							
0	1	0							
1	0	0							
1	1	0							
0	0	1							
0	1	1							
1	0	1							
1	1	1							

(5). 按原理图选择与非门并接线进行测试,将测试结果记入表 2.4,并与上表进行比较看逻辑功能是否一致。

4. 测试用异或、与或非门组成的全加器的逻辑功能。

全加器可以用两个半加器和两个与门一个或门组成。在实验中,常用一块双异或门、一个与或非门和一个与非门实现。

(1). 画出用异或门、与或非门和与非门实现全加器的逻辑电路图,写出逻辑表达式。

(2). 找出异或门、与或非门和与门器件按自己画出的图接线。接线时注意与或非门中不用的与门输入端接地。

(3). 当输入端 A_i 、 B_i 及 C_{i-1} 为下列情况时,用万用表测量 S_i 和 C_i 的电位并将其转为逻辑状态填入下表。

表 2.4

A_i	B_i	C_{i-1}	C_i	S_i
0	0	0		
0	1	0		
1	0	0		
1	1	0		
0	0	1		
0	1	1		
1	0	1		
1	1	1		

输入端	A_i	0	0	0	0	1	1	1	1
	B_i	0	0	1	1	0	0	1	1
	C_{i-1}	0	1	0	1	0	1	0	1
输出端	S_i								
	C_i								

五、实验报告

1. 整理实验数据、图表并对实验结果进行分析讨论。
2. 总结组合逻辑电路的分析方法。

实验三 触发器(一) R—S, D, J—K

一、实验目的

1. 熟悉并掌握 R—S、D、J—K 触发器的构成,工作原理和功能测试方法。
2. 学会正确使用触发器集成芯片。
3. 了解不同逻辑功能 FF 相互转换的方法。

二、实验仪器及材料

1. 双踪示波器
2. 器件

74LS00	二输入端四与非门	1 片
74LS74	双 D 触发器	1 片
74LS112	双 J—K 触发器	1 片

三、实验内容

1. 基本 R—SFF 功能测试:

两个 TTL 与非门首尾相接构成的基本 R—S FF 的电路如图 3.1 所示。

(1) 试按下面的顺序在 \bar{S}_d, \bar{R}_d 端加信号:

$$\bar{S}_d=0 \quad \bar{R}_d=1$$

$$\bar{S}_d=1 \quad \bar{R}_d=1$$

$$\bar{S}_d=1 \quad \bar{R}_d=0$$

$$\bar{S}_d=1 \quad \bar{R}_d=1$$

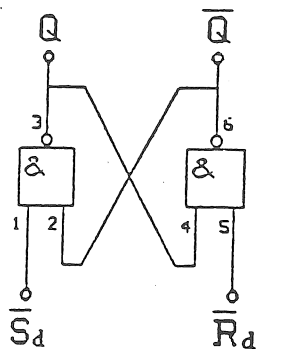


图 3.1 基本 R—S FF 电路

观察并记录 FF 的 Q、 \bar{Q} 端的状态,将结果填入下表 3.1 中,并说明在上述各种输入状态下,FF 执行的是什么功能?

表 3.1

\bar{S}_d	\bar{R}_d	Q	\bar{Q}	逻辑功能
0	1			
1	1			
1	0			
1	1			

(2) \bar{S}_d 端接低电平, \bar{R}_d 端加脉冲。

(3) \bar{S}_d 端接高电平, \bar{R}_d 端加脉冲。

(4) 连接 \bar{R}_d, \bar{S}_d , 并加脉冲

记录并观察(2)、(3)、(4)三种情况下, Q 、 \bar{Q} 端的状态。从中你能否总结出基本 R-S FF 的 Q 或 \bar{Q} 端的状态改变和输入端 \bar{S}_d 、 \bar{R}_d 的关系。

- (5) 当 \bar{S}_d 、 \bar{R}_d 都接低电平时, 观察 Q 、 \bar{Q} 端的状态。当 \bar{S}_d 、 \bar{R}_d 同时由低电平跳为高电平时, 注意观察 Q 、 \bar{Q} 端的状态, 重复 3~5 次看 Q 、 \bar{Q} 端的状态是否相同, 以正确理解“不定”状态的含义。

2. 维持一阻塞型 D 触发器功能测试

双 D 型正边沿维持一阻塞型触发器 74LS74 的逻辑符号如图 3.2 所示。

图中 \bar{S}_d 、 \bar{R}_d 端为异步置 1 端, 置 0 端(或称异步置位, 复位端)。CP 为时钟脉冲端。

试按下面步骤做实验:

- (1) 分别在 \bar{S}_d 、 \bar{R}_d 端加低电平, 观察并记录 Q 、 \bar{Q} 端的状态。
- (2) 令 \bar{S}_d 、 \bar{R}_d 端为高电平, D 端分别接高, 低电平, 用点动脉冲作为 CP, 观察并记录当 CP 为 0、 \uparrow 、1、 \downarrow 时 Q 端状态的变化。

- (3) 当 $\bar{S}_d = \bar{R}_d = 1$ 、CP=0(或 CP=1), 改变 D 端信号, 观察 Q 端的状态是否变化?

整理上述实验数据, 将结果填入下表 3.2 中。

- (4) 令 $\bar{S}_d = \bar{R}_d = 1$, 将 D 和 \bar{Q} 端相连, CP 加连续脉冲, 用双踪示波器观察并记录 Q 相对于 CP 的波形。

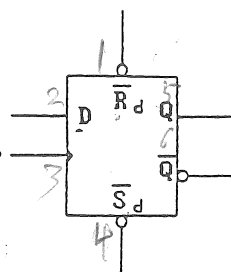


图 3.2 D FF 逻辑符号

表 3.2

\bar{S}_d	\bar{R}_d	CP	D	Q^n	Q^{n+1}
0	1	X	X	0	
				1	
1	0	X	X	0	
				1	
1	1	\downarrow	0	0	
				1	
1	1	\downarrow	1	0	
				1	

3. 负边沿 J-K 触发器功能测试

双 J-K 负边沿触发器 74LS112 芯片的逻辑符号如图 3.3 所示。

自拟实验步骤,测试其功能,并将结果填入表 3.3 中。
若令 $J=K=1$ 时,CP 端加连续脉冲,用双踪示波器观察 $Q \sim CP$ 波形,和 DFF 的 D 和 \bar{Q} 端相连时观察到的 Q 端的波形相比较,有何异同点?

4. 触发器功能转换

- (1). 将 D 触发器和 J-K 触发器转换成 T⁺ 触发器,列出表达式,画出实验电路图。
- (2). 接入连续脉冲,观察各触发器 CP 及 Q 端波形。比较两者关系。
- (3). 自拟实验数据表并填写之。

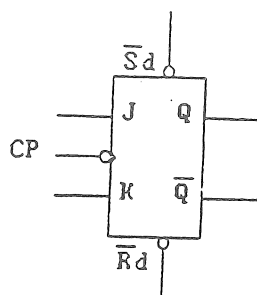


图 3.3 J-K FF 逻辑符号

表 3.3

\bar{S}_d	\bar{R}_d	CP	J	K	Q^n	
0	1	X	X	X	X	
1	0	X	X	X	X	
1	1	┐	0	X	0	
1	1	┐	1	X	0	
1	1	┐	X	0	1	
1	1	┐	X	1	1	

四、实验报告

1. 整理实验数据并填表。
2. 写出实验内容 3、4 的实验步骤及表达式。
3. 画出实验 4 的电路图及相应表格。
4. 总结各类触发器特点。

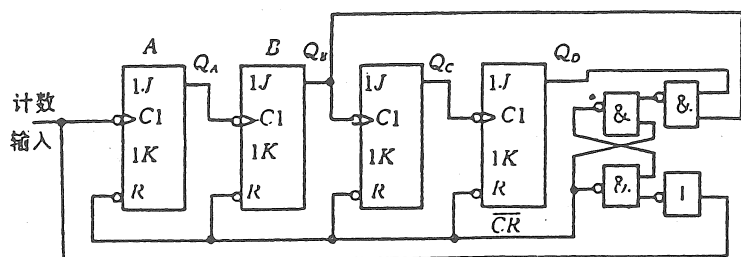


图 5.2

3. 自循环移位寄存器——环形计数器。

(1). 按图 5.3 接线, 将 A、B、C、D 置为 1000, 用单脉冲计数, 记录各触发器状态。

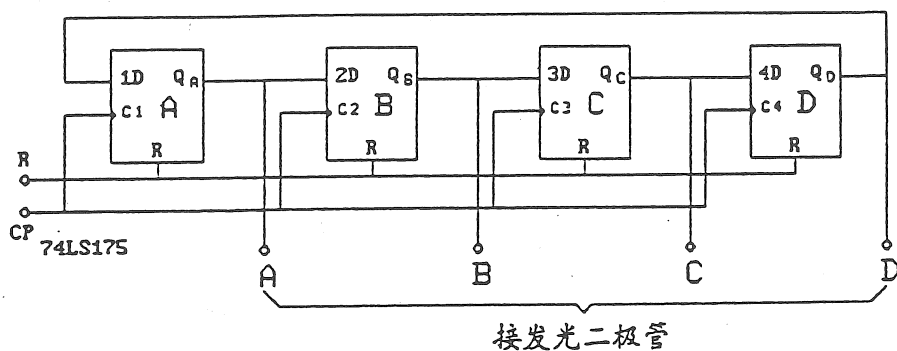


图 5.3

改为连续脉冲计数, 并将其中一个状态为“0”的触发器置为“1”(模拟干扰信号作用的结果). 观察计数器能否正常工作. 分析原因。

(2). 按图 5.4 接线, 与非门用 74LS10 三输入端三与非门重复上述实验, 对比实验结果, 总结关于自启动的体会。

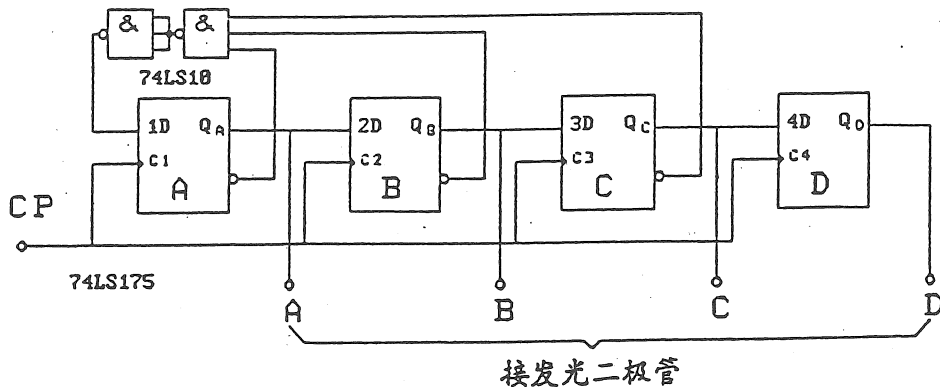
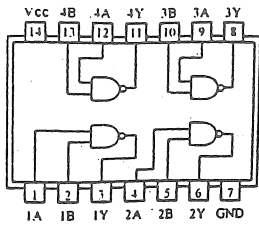


图 5.4

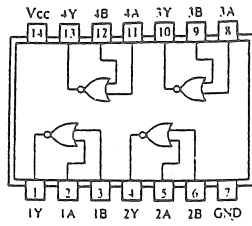
四、实验报告

1. 画出实验内容要求的波形及记录表格.
2. 总结时序电路特点.

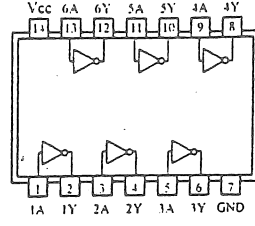
附录：TPE-D 型数字电路实验学习机常用集成电路引脚图



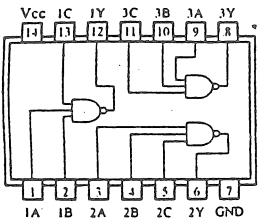
74LS00



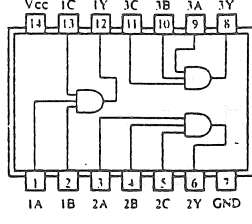
74LS02



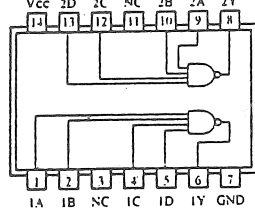
74LS04



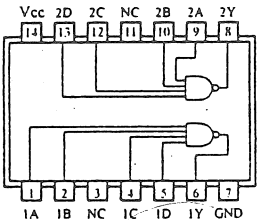
74LS10



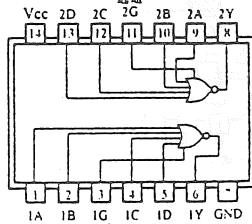
74LS11



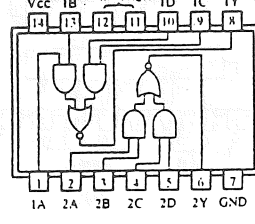
74LS20



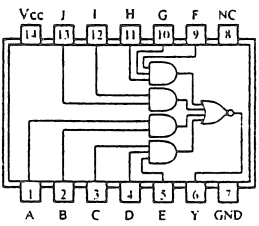
74LS22



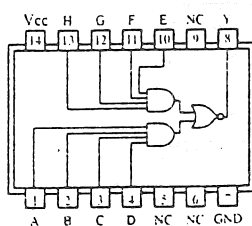
74LS25



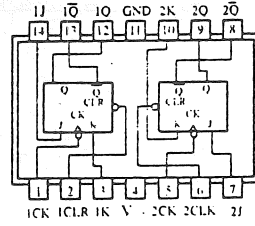
74LS51



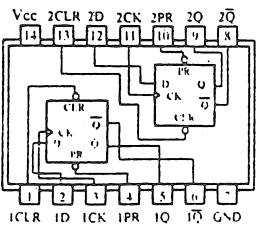
74LS54



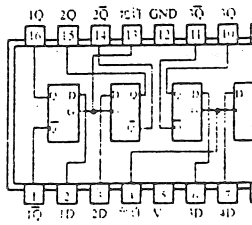
74LS55



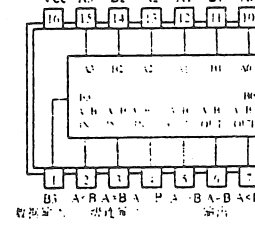
74LS73



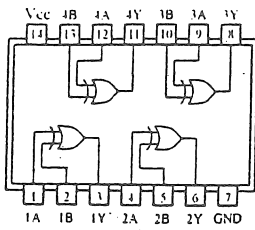
74LS74



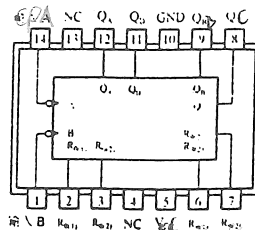
74LS75



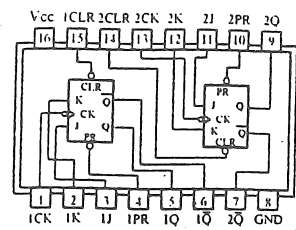
74LS85



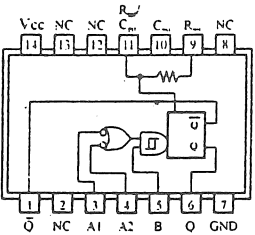
74LS86



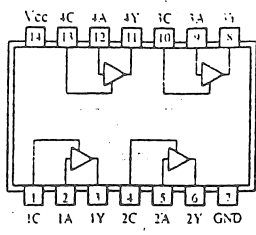
74LS90



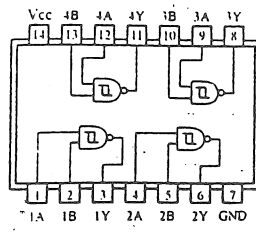
74LS112



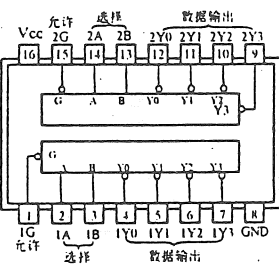
74LS121



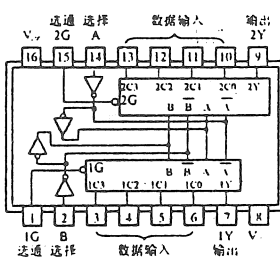
74LS126



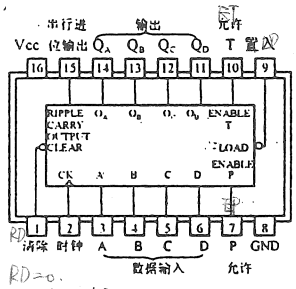
74LS132



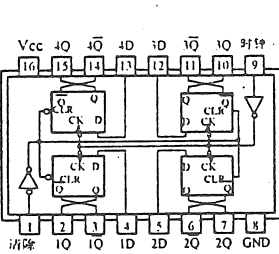
74LS139



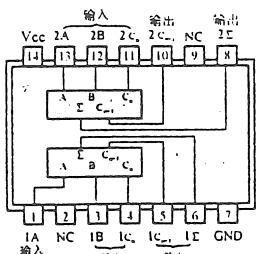
74LS153



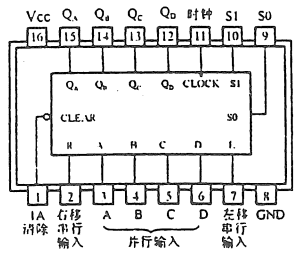
74LS160 74LS161



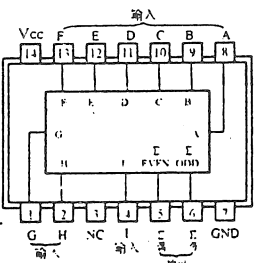
74LS175



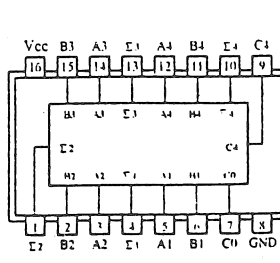
74LS183



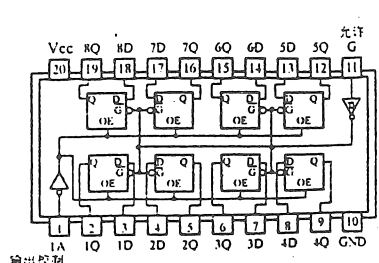
74LS194



74LS280



74LS283



74LS373