计算机组成原理测试卷（一）

选择

1.在机器数（ ）中，零的表示占二个编码

A.原码 B.补码 C.补码和移码 D.原码和反码

2.至今为止，计算机中的所有信息仍以0、1编码的方式表示，理由是（ ）

A.节约元件 B.运算速度快 C.物理器件性能所致 D.信息处理方便

3.定点8位长的字，采用移码形式表示，则可表示数的范围是（ ）

A.-127~+127 B.-2-127~+2-127 C.-1~+127 D.-128~+127

4.计算机系统中采用补码运算的目的是为了（ ）

A.与手工运算方式保持一致 B.提高运算速度 C.简化计算机的设计 D.提高运算的精度

5.按总线的逻辑结构来说，总线可分为单向传送总线和双向传送总线，其中控制传送方向的逻辑器件为（ ）

A.与门 B.或门 C.译码器 D.三态门

6.设有一个4级流水浮点加法器每个过程段所需的时间分别为：70ns、60ns、90ns、80ns，缓冲寄存器的延时为10ns，则4级流水线时钟为：（ ）

A.70ns B.60ns C.90ns D.80ns

7.float型数据通常用IEEE754单精度浮点数据格式表示。若编译器将float型变量x分配在一个32位浮点寄存器FR1中，且x=-8.25，则FR1的内存是（ ）

A.C104 0000H B.C242 0000H C.C184 0000H D.C1C2 0000H

8.行波进位加法器与先行进位加法器相比（ ）

A.速度快 B.成本高 C.设计简单 D.位长更长

9.浮点加减法运算规则中正确的是（ ）

A.对阶运算就是把大的变成与小的一致 B.如果尾数求和运算时发生溢出，则浮点数值就会溢出 C.尾数右移一位时，阶码应加1 D.为防止溢出，尾数要舍入处理

填空

1.冯.诺依曼计算机的设计思想是\_\_\_\_\_\_\_\_\_\_\_\_\_。

2.一个8x8位阵列乘法器的逻辑电路图中，需要\_\_\_\_个全加器和\_\_\_\_个“与”门。

3.请写出一个16位字长定点小数补码的数值范围\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_.

4.用74181和74182，采用全部并行的方式设计一个字长为64位的运算器，共需要\_\_\_\_片74181和\_\_\_\_片182.

5.浮点运算器常采用\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_设计。

简答

1.简述计算机的硬件由几部分组成？各自的功能是什么？

综合

1.有一个字长为32位的浮点数，符号位1位；阶码8位，用补码表示；尾数23位，用原码表示；请写出规格化数所能表示的数的范围，包括写出数的机器码及十进制真值。

2.已知x=11011，y=-10011，用变形补码计算x-y，同时指出是否溢出。

3.已知x=-0.101001，y=-0.111，用不恢复余数除法求q=x/y.

计算机组成原理测试卷（二）

选择

1.存储单元是指（ ）

A.存放一个二进制信息位的存储元 B.存放一个机器字的所有存储元集合

C.存放一个字节的所有存储元集合 D.存放两个字节的所有存储元集合

2.某计算机字长为16位，其存储容量为4KB，若按字编址，它的寻址范围是（ ）

A.4K B.0.5K C.8K D.2K

3.某SRAM芯片，其存储容量为64Kx16位，该芯片的地址线和数据线数目为（ ）

A.64,16 B.16,64 C.64,8 D.16,16

4.存储周期是指（ ）

A.存储器读出时间

B.存储器写入时间

C.存储器进行连续读或写操作所允许的最短时间

D.存储器进行连续写操作所允许的最短时间

5.下列说法正确的是（ ）

A.多体交叉存储器主要是解决扩容容量问题

B.cache与主存统一编址，cache的地址空间是主存地址空间的一部分

C.主存都是由易失的随机读写存储器构成的

D.cache的功能全部由硬件实现

6.双端口存储器在（ ）情况下回发生读/写冲突。

A.左端口与右端口的地址码不同 B.左端口与右端口的地址码相同

C.左端口与右端口的数据码不同 D.左端口与右端口的数据码不同

7.某DRAM芯片的内部的存储单元为128x128结构，该芯片每隔2ms至少刷新一遍，且刷新一次是通过对内部读操作和写操作实现的，设存储器读写周期是500ns，采用分散（异步）刷新时，则刷新信号周期是（ ），芯片刷新一遍的实际时间是（ ）

A.15us B.15.6us C.1.92ms D.997ms

8.下列因素中，与cache的命中率无关的是（ ）

A.寄存器 B.Cache C.主存 D.硬盘

填空

1.对存储器的要求是\_\_\_\_\_\_\_\_、\_\_\_\_\_\_\_\_、\_\_\_\_\_\_\_\_\_.

2.设存储器容量为32字，字长64位，模块数m=4，分别用顺序方式和交叉方式进行组织，存储周期T=200ns，数据总线宽度为64位，总线传送周期t=50ns，若连续读出4个字，则顺序存储器方式读出时间是\_\_\_\_,交叉存储器的读出时间是\_\_\_\_\_.

3.高速缓冲存储器的院里是基于\_\_\_\_\_\_\_\_\_\_\_原理，其设计目标是\_\_\_\_\_\_\_\_接近于1.

综合

1.某机器中，已知配有一个地址空间为0000H-3FFFH的ROM区域。现用一种RAM芯片（16Kx16）形成32Kx16位的RAM区域，起始地址为6000H。假设RAM芯片有和信号控制端。CPU的地址总线为A15~A0,数据总线为D15~D0。控制信号为R/（读/写），（访存），回答：

（1）CPU可访问的最大存储空间是多少？

（2）表列出地址译码方案。

（3）画出CPU与RAM芯片之间的连接图（要求用138译码器实现地址译码）。

计算机组成原理测试卷（三）

1.指令的寻址方式中用到了一个很重要的寄存器，它是（ ）

A.PC B.IR C.AR D.DR

2.以下不属于控制器的部件是（ ）

A.时序产生器 B.运算器 C.操作控制器 D.指令译码器

3.描述流水CPU基本概念中正确的句子是（ ）

A.流水CPU是空间并行技术 B.流水CPU一定是RISC机器

C.流水CPU一定是多媒体CPU D.流水CPU是时间并行技术

4.若二条指令分别为ADD R1，R2，R3（R2+R3 R1）和SUB R4，R1，R5（R1-R5 R4）。则可能会出现（ ）数据相关。

A.写后读 B.读后写 C.写后写 D.不会出现

5.操作控制器的功能是从（ ）

A.主存取出指令 B.分析指令 C.产生操作控制信号 D.上述全部

6.由于CPU内部操作速度较快，而CPU访问一次主存所花的时间较长。因此机器周期通常用（ ）来规定。

A.主存中读取一个指令字的最短时间 B.主存中读取一个数据字的最长时间

C.主存中写入一个数据字的平均时间 D.主存中读取一个数据字的平均时间

7.同步控制是（ ）

A.只适应于CPU控制的方式 B.只适用外围设备控制的方式

C.由统一时序信号控制的方式 D.所有指令执行时间都相同的方式

8.计算机操作的最小时间单位是（ ）

A.时钟周围 B.指令周期 C.CPU周期 D.微指令周期

9.超标量流水技术（ ）

A.缩短原来流水线的处理器周期

B.在每个时钟周期内同时并发多条指令

C.将基本流水中各段分成更细的段

D.把多条能并行操作的指令组合成一条具有多个操作码字段的指令

填空

1.在直接寻址方式、寄存器间接寻址方式和基址寻址方式中，速度最慢的是\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_,访问存储空间最大的是\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_.

2.指令的周期是\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_.

3.RISC的主要目标是\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_.

4.微指令执行的顺序控制问题，实际上是如何确定下一条微指令的地址问题。通常，产生后继微地址有两种方式，它们是\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_和\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_.

5.指令STA R1,6(功能为（6） R1)的指令字中，地址码有\_\_\_\_\_\_\_\_\_\_个，寻址方式分别为\_\_\_\_\_\_\_和\_\_\_\_\_\_\_\_\_\_，它属于\_\_\_\_\_\_\_\_\_\_\_型指令。

简答

2.有一个处理机，主存容量16Kx32位，cache容量64x32，主存与cache之间以每块4x32位大小传送数据，cache每组8行，若采用组映射方式，请说明主存、cache的地址格式，标记存储器容量，并给出主存地址为36ABH所对应的块，映射到Cache的行地址及对应标记存储器内存储的值。

