

# 习题指导速通指南

## 序

### 「免责声明」

这个提纲只面向《计算机组成原理——学习指导与习题解答》内容，与课堂重点不一定完全（部分章节相对）契合

本提纲的选择题部分只是简单的把正确答案罗列了出来，其有些答案作为填空题的答案也会有一点不合理，如果时间充足，建议自己写一遍

本提纲使用的版本是《计算机组成原理——学习指导与习题解答》第2版，唐朔飞老师的书

### 注意

选择题方面，这里只列了正确答案，错误答案的部分也有涉及，不需要背，主打一个印象派，有个印象即可，主要还是根据自己不会的部分再去看老师的PPT查漏补缺即可

第七章主要是X86部分，2021级没有教X86而是RISC-V，因此，第七章不作为这里的重点，对应的内容可以去看黑书的对应部分（注意黑书有多个版本，应选择**「RISC-V版」**）



最后，复习主要还是以PPT的知识点为主

### 再注意！！

2021级计组的试卷很简单，出现了大量的作业原题，RISC-V的指令和RISC-V数据通路、流水线寄存器的内容相对比较多（对应这本书第七章缺失的部分），复习时一定要好好理解PPT的内容，一定要好好把作业题做个几遍。虽然选填部分这本书上也有很多的原题，但是相对其他书上的原题上难度实在是比较简单，因此这个提纲仅仅作为参考，完全不能代替正式的复习资料！（当然知识点和例题部分还是比较重要的，担心会考的多元的同学还是可以看一下）

### 作者

Max Fan

# 第一章-概论

## 值得一看的知识点

---

都是小碎块知识点，主要看提纲上总结的各个概念，比如计算机的技术指标这种

## 选择

---

- 冯诺依曼最早提出**存储程序**的概念
- 电子计算机的算术/逻辑单元、控制单元和主存储器合称为**主机**
- 有些计算机将一部分软件永恒存于只读存储器中，被称为**固件**
- 完整的计算机系统包括**配套的硬件设备和软件系统**
- 计算机系统**中的存储系统是指主存和辅存**
- 存放欲执行指令的是**指令寄存器（IR）**，用以指定待执行指令所在地址的是**程序计数器（PC）**
- 计算机与日常使用的袖珍计算器本质区别在于**自动化程度的高低**
- 冯诺依曼机工作方式的基本特点是**按地址访问并顺序执行指令**
- 用户与计算机通信的界面是**外部设备**
- 个人计算机属于**微机**
- 计算机只懂机器语言，人类熟悉高级语言，故人机通信必须借助**编译程序**
- 计算机中**控制单元**负责指令译码
- 计算机存储数据的基本单位是**比特（Bit）**
- 计算机的算术逻辑单元和控制单元合称**CPU**
- 高级语言翻译成机器语言借助**编译程序**，汇编语言翻译成机器语言借助**汇编程序**

## 填空

---

- 完整的计算机系统应包括**配套的硬件设备和软件系统**
- 计算机硬件包括**运算器、控制器、存储器、输入设备、输出设备**，其中**运算器、控制器、存储器**可以组成**主机**，**运算器和控制器**可以统称为CPU
- 基于**存储程序**原理的冯诺依曼机工作方式的基本特点是**按地址访问并顺序执行指令**
- 计算机系统的软件可分为**系统软件和应用软件**，文本处理软件属于后者，汇编程序属于前者
- 常用的辅助存储器有**磁盘、磁带、光盘**等
- 计算机硬件的主要技术指标包括**机器字长、存储容量、运算速度**等
- 运算器用来完成**算术和逻辑运算**
- **指令和数据**都存放在存储器中，**控制器**能自动识别它们
- 汇编语言是一种面向**机器**的语言，对**机器**依赖性强，用汇编语言编制的程序执行速度比高级语言**快**
- 计算机与日常使用的袖珍计算机的本质区别在于**自动化程度的高低**

## 大题

---

基本全是概念解释，这里就不写了

我们学的内容是冯诺依曼+哈佛，但是习题解答这一章的内容是主要是冯诺依曼机，所以不止要看一下计算机性能指标，还要看一下计算机的层次结构等等

再次强调，这个提纲只面向《计算机组成原理——学习指导与习题解答》内容，与课堂重点不一定完全契合。比如经典的八股文环节——**计算机体系结构中的8个伟大思想**，这里根本没提，复习时以PPT为主

21级没考8个伟大思想

## 第二章-计算机的发展和应用

### 选择

以下内容21级考试好像没涉及，摩尔定律好像考了？记不大清了

- 真空管为主要器件的是**第一代计算机**

注，这里真空管就是电子管，这里有个坑

- 基本上考的就是第几代计算机配什么电子器件，注意PPT上那张表的内容
- ENIAC使用的主要元件是**电子管**

因为ENIAC是第一台电子数字计算机，所以算第一代，也就对应了电子管

- 所谓超大规模集成电路是指一片IC芯片上能容纳**数万个以上元件**
- 目前被广泛使用的计算机是**数字计算机**
- 个人计算机属于**微型计算机**
- 通常计算机的更新换代以**电子器件**为依据
- 邮局对信件进行自动分拣使用的计算机技术是**模式识别**
- 微机发展通常以**微处理器**为标志
- 数控机床是计算机在**实时控制**方面的应用
- FORTRAN、Java、C、PASCAL这四种语言中，**JAVA**更适应网络环境
- 集成电路生产中采用基本材料多数为**单晶硅**
- 北京能检索到美国资料，是因为两地间通过**海底电缆**相连
- 在飞机导航系统上的计算机是**特殊用途计算机**
- Intel8086是**16位微处理器**
- 目前大部分微处理器使用的半导体工艺称为**CMOS工艺**

### 填空

填空题偏冷门（相对于本年度的教学），只挑部分：

- **1946**年研制成功的第一台电子计算机为**ENIAC**
- 机器人属于**人工智能**领域的一项重要应用
- 电子计算机的发展是**体积越来越小、速度越来越快、容量越来越大、价格越来越低、功耗越来越低**

这个不是原题，改编了一下，PPT上的四个方面是速度、体积、成本、功耗，这里的四个方面是体积、速度、容量、价格

- 以电压高低来表示数值，精度有限的计算机是**模拟计算机**，用来处理连续型的信息。**数字**计算机用来处理离散型的信息

这个是顺手一写

## 问答

---

### | 什么是摩尔定律，该定律是否永远生效，为什么？

摩尔定律是Intel公司缔造者之一Gordon Moore提出的。其指出：微芯片上集成的晶体管数目每18个月就会翻一番

新摩尔定律的内容是：每十八月来新增的存储量等于有史以来存储量之和（来自老师PPT）

由于受**物理极限**的制约，摩尔定律**不能永远生效**

## 第三章-系统总线

### 值得一看的知识点

3.2.3总线控制部分，最好看看三种集中式判优方式的数据线根数之类的内容

### 值得一看的例题

例3.4、3.6、3.7、3.8

### 选择

- 总线中地址线的作用是**用于选择指定存储器单元和I/O设备接口电路的地址**
  - 三种集中式查询中，**独立请求**方式相应时间最快，**链式查询**对单点故障敏感，其他两种对故障不敏感
- 这里最好看看PPT或提纲中的三种集中查询方式的辨析
- PCI总线是一个与处理器时钟频率无关的高速外部总线**
  - 在计数器定时查询方式下，若计数从0开始，则**设备号小的优先级高**，如果每次计数从上一次计数的终点开始，则**每个设备使用总线的机会相等**
  - 总线中数据信号和地址信号分别用一组线路传输，这种传输方式称为「并行传输」，而不同信号线共用一组信号线、分时传送，这种总线传输方式是「复用」传输
  - 在**分离式**通信方式中，总线上所有模块都可以成为主模块
  - 单机一般**不互锁**，多机一般**半互锁**，网络一般**全互锁**
  - （应该不会考）显卡专用的局部总线是**AGP**
  - 总线的异步通信方式**不采用时钟信号，只采用握手信号**；总线的半同步通信方式**既采用时钟信号，又采用握手信号**

### 填空

- 「医生-护士-手术刀」模型相当于**异步通信的全互锁**方式
- 21级考试出了原题，属于是祖传题了
- 按连接部件不同，总线通常分为**片内总线、系统总线、通信总线**三种
  - 系统总线是指连接**CPU、I/O、主存**之间的信息传送线，按传输内容不同，又可以分为**地址线、数据线和控制线**，分别用来传送**地址，数据，控制信号、响应信号和时序信号**
  - 一个总线的传输周期包括**申请分配阶段、寻址阶段、传输阶段、结束阶段**
  - 主模块指**对总线有控制权的模块**
  - 从模块指**被主模块访问的模块，只能响应从主模块发来的各种总线命令**
  - 还有一些简单的计算题，比如计算总线的数据传输率，这种题型直接算就行，注意 $1M = 10^6$ ， $1/1MHz = 1\mu s$
  - 总线的通信控制主要解决**通信双方如何获知传输开始和传输结束，以及如何协调配合**，通常有**同步、异步、半同步、分离式**通信四种
- 21级大题考了这四种通信并简述，记得稍微记一下他们各自的特征
- USB**总线便于实现PC与外设的简单快速连接，**AGP**总线有利于多媒体计算机处理三维数据

- 总线宽度指数据线的宽度/数据线的根数，总线带宽指单位时间内总线上传输数据的位数
- 总线的判优控制分为集中式和分布式两种
- 半同步通信需要增设一条等待响应 (WAIT) 线
- 分离式通信充分利用了总线的有效占用，总线上所有模块都可以成为主模块
- 同步通信中，设备之间没有应答信号，数据传输在公共时钟信号的控制下进行
- 异步通信中，没有固定的总线传输周期，通信双方通过应答 (握手) 信号联络

## 大题

基本也都是跟填空题一样的概念解释，内容有点多且杂乱，而且不好找重点，我这里就挑了3个题：

### | 异步通信和同步通信主要区别，说明双方如何联络

21级考试考了四种通信方式的简述，平常的时候可以留意一下

主要区别是前者有公共时钟，总线上所有设备按统一时序和统一的传输周期进行信息传输，通信双方按约定好的时序联络，后者没有公共时钟，没有固定的传输周期，采用应答方式通信，具体有不互锁、半互锁和全互锁三种。

不互锁通信方式双方没有相互制约关系；半互锁方式通信双方有简单的制约关系；全互锁方式通信双方有完全的制约关系，全互锁通信可靠性最高

### | 使用总线结构有何优点

便于：

1. 故障诊断和维护
2. 模块化结构设计、简化系统设计
3. 便于系统扩展和升级
4. 便于生产兼容软硬件
5. ....

### | 串行传输和并行传输有何区别，各自用于什么场合

这个感觉也是非重点，上课老师只是提了嘴，简单写一下：

串行传输指的是数据在一条线路上按位依次进行传输，线路成本低，但是速度慢，适合远距离的数据传输。并行传输是每个数据位都有一条独立的传输线，所有的数据位同时传输，其传输速度快，成本高，适合近距离、高速传输场合

## 第四章-存储器

这一章内容相对来说还是比较多的。

此外值得注意的是，在辅助存储器这一节的PPT和授课中提到了RAID技术，这部分题目在这本书上没有出现过，因此需要自己去检索掌握。

21级考试没考RAID，但练习题上有

### 值得一看的知识点

要说值得一看，其实都挺值得看的，只是没那么多时间，总的来说是哪里不会看哪里，哪里不熟看哪里

### 值得一看的例题

都值得一看，都挺重要的，然后对于例4.1和4.2的画法和PPT、作业上的有所不同，感觉题目如果说明了就以题目为准，如果题目没说明就以PPT和作业上的画法为准

对于例4.8，题目说刷新方法是先读后写，PPT上是直接一个存取周期解决，具体以PPT为准吧

对于例题中有需要注意的部分：

- 缓存比主存「快」 $n$ 倍，和计算「速度提高倍数」，都要注意这个倍数是实际的倍数-1

### 试比较缓存-主存和主存-辅存两个层次的相同点和不同点

- 相同点：
  1. 两者都是为了提高存储系统的性价比而构建的，都尽量使存储系统性能接近高速存储器，价格接近低速存储器
  2. 两者都利用了程序局部性原理，把最近常用的信息从相对慢速且容量大的存储器调入高速且容量小的存储器
- 不同点
  1. 缓存-主存层次主要解决CPU与主存速度差异的问题，后者主要解决存储系统的容量问题
  2. CPU可以直接访问主存-缓存层次中的缓存和主存（缓存不命中时），但是只能访问主存-辅存层次中的主存，主存不命中时也不能访问辅存
  3. 缓存-主存层次的管理由硬件完成，主存-辅存层次的管理由硬件和操作系统共同完成
  4. 二者未命中时损失不同，主存未命中时系统性能损失远大于缓存未命中时的损失

### 选择

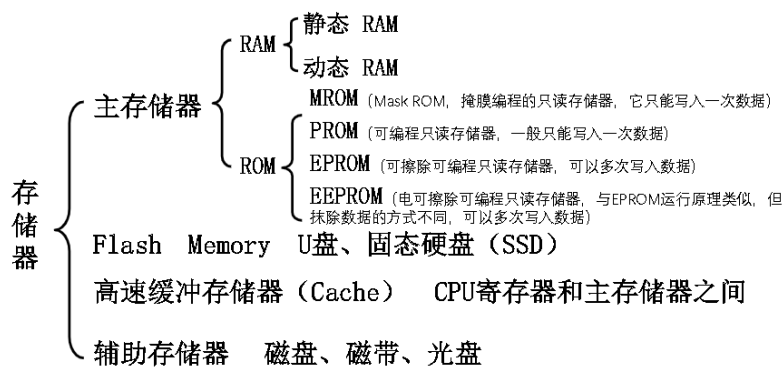
- 一个512KB的存储器，其地址线和数据线的总和是27（8位+512K即19位）
- 某一RAM芯片，容量为512\*8位，除电源和接地端外，该芯片引出线的最少数目是19（8位+9位+2）

这里的2指的是片选线和读写控制线

- 主存可由ROM和RAM组成



- EPROM指的是**可擦写可编程只读存储器**，这些特点最好记一下，MROM**不是**可编程只读存储器



- 半导体RAM是易失性RAM，而静态RAM只有在不掉电时，所存信息是不易失的
- 一个四体并行低位交叉存储器，每个模块的容量是64K\*32位，存取周期是200ns，则在**200ns内**，存储器能向CPU提供**128位二进制信息**（其他题照葫芦画瓢）
- 缓存与主存地址映射是**硬件完成的**
- 虚存中程序执行时由**操作系统完成地址映射**
- 「虚存中每次访问一个虚地址，至少需要访问两次主存」的说法是**错误的**
- 虚存系统中，**有时候**每个用户的编程空间小于实存空间
- 程序员编程的地址叫**逻辑地址**
- 虚存管理系统的基础是程序访问的局部性理论，此理论的基本含义是在程序的执行过程中，程序对主存的访问是**不均匀的**
- cache和主存**不是**统一编址的
- 单体多字存储器**主要解决**访存速度**的问题

## 填空

量有点太大了，我这里还是尽量全部写上来，但难免有疏漏和过度，具体可以看4.4.2的题

- 缓存、主存、辅存**组成三级存储系统、分级的目的是提高访存速度、扩大存储容量
- 半导体静态RAM依据**触发器原理**存储信息、半导体动态RAM依据**电容存储电荷原理**存储信息
- DRAM依据**电容存储电荷原理**存储信息，因此一般在**2ms**时间内必须刷新一次，刷新与**行地址**有关，该地址由**刷新地址计数器**给出
- 动态RAM刷新一般有**集中刷新、分散刷新、异步刷新**三种方式，之所以要刷新，是因为**存储电荷的电容放电**
- SRAM进行读写操作时，必须先接受**地址**信号，再接受**片选和读/写**信号
- 主存可以和**缓存、辅存、CPU**交换信息，辅存可以和**主存**交换信息，快速缓存可以和**主存、CPU**交换信息
- 缓存是设在**CPU和主存**之间的一种存储器，其速度与**CPU速度匹配**，其容量与**缓存中数据的命中率有关**（最后一个空有争议，老师说应该和容量和大小有关，这个见仁见智了）
- 八体并行低位交叉存储器，每个模块容量是64K×32位，存取周期500ns，则在500ns内，该存储器可向CPU提供**256**位二进制信息，比单个模块存储器速度提高了**7**倍
- 使用高速缓冲存储器是为了解决**CPU和主存速度匹配**问题，**提高访存速度**，缓存的地址对用户是**透明**的，存储管理主要由**硬件**实现，使用虚拟存储器是为了解决**扩大存储器容量**的问题，存储管理由**硬件和操作系统**实现，后一种情况下，CPU**不直接**访问二级存储器

- 将主存地址映射到缓存中定位称为地址映射，将主存中地址变换为缓存地址称为地址变换，当新的主存块需要调入缓存中，而它的可用位置又被占用时，需依据替换算法解决调入问题
- 主存和缓存地址映射方法很多，常用的有直接映射、全相联映射、组相联映射，在存储管理上常用的替换算法是先进先出法和近期最少使用法
- 缓存的命中率指的是CPU要访问的信息在缓存中的比率，命中率与缓存的容量和块长有关
- 虚拟存储器指的是主存-辅存层次，它可以给用户提供一个比实际主存空间大得多的虚拟地址空间
- 反应存储器性能的三个指标是速度、容量、价格，为了解决这三方面的矛盾，计算机采用多级存储体系结构
- 主存储器的技术指标有存储容量、存取周期、存储器带宽
- 存储器的带宽指的是每秒从存储器中读出或写入的二进制代码位数，常用的单位是bps或Bps或字/s，为了增加存储器的带宽可以使用单体多字结构和低位交叉多体并行结构
- 设一个四体低位交叉的存储器，每个体容量为256K\*64位，存取周期为200ns，则数据总线宽度为64位，总线传送周期的最大值为50ns，CPU连续读4个字所需的最多时间是350ns
- 计算机的存储系统通常采用层次结构，在选择各层次所用的器件时，应综合考虑速度、容量、成本、密度、能耗
- 缓存-主存地址映射中，全相联映射灵活性强，全相联映射成本最高
- **理解写直达法和写回法**
- 一个n路组相联映射的缓存中，共有M块数据，n=1时，缓存变为直接相联映射，n=M时，变成全相联映射
- 高位交叉编址的存储器能够提高访存速度的原因是各个体分别响应不同请求源的请求，实现多体并行，其地址的高位部分用于选择体号，低位部分用于选择存储体内的字
- 低位交叉编址的存储器能够提高访存速度的原因是不改变每个体存取周期的前提下，增加存储器的带宽，其地址的高位部分用于选择存储体内的字，低位部分用于选择体号

## 问答

前面部分一堆名词解释题

### 名词解释题

下面的题目，21级考试涉及的比较少

- **读周期**：存储器进行两次连续读操作的最小间隔时间
- **读时间**：从CPU给出地址信号到被选单元的内容读到数据线上的时间，读周期 > 读时间
- **写周期**：存储器进行两次连续读操作的最小间隔时间
- **写时间**：从CPU给出地址信号到数据线上信息被写入被选单元的时间，写周期 > 写时间
- **存储芯片内的地址译码有几种方式？分析特点和应用场合**  
答：线选法和重合法，线选法适用于地址线较少的芯片，特点是地址信号只需经过一个方向的移码就可以选中某一存储单元的所有位；重合法适用于地址线较多的芯片，特点是地址线分为两组，分别经行、列两个方向译码，只有两个方向均被选中的存储元才能读写信息
- **提高访存速度可以采取哪些措施，简要说明之**
  1. 使用高速器件，选用存储周期短的芯片
  2. 采用缓存，CPU将最近期要使用的信息先调入缓存，而缓存的速度比主存快得多，这样CPU每次只需要从缓存中取出信息，从而缩短了访存时间，提高了访存速度

3. 调整主存结构，如使用单体多字结构或采用多体存储结构

- **简要说明采取层次结构存储系统的目的，说明每一层次存储器的作用和存储介质的特性以及采取层次结构存储器能达到的预期目的和原理**

1. 反映存储器性能的三个指标（速度容量和价格）是相互矛盾的，为了提高存储系统的性价比，存储器采用层次结构，包括缓存-主存层次和主存-辅存层次
2. 缓存和主存均使用半导体存储器，缓存通常由SRAM组成，主存通常由DRAM组成，辅存通常采用磁性材料为介质
3. 缓存-主存这一层次主要解决的是CPU和主存的速度差异，主存-辅存这一层次主要解决的是存储器的容量问题，最终达到解决存储器性价比的目的

- **EPROM中信息可以任意擦除并修改，是否可以代替RAM作为计算机的主存芯片？**

不能，虽然EPROM存放信息可以任意擦除并修改，而且可以随机存取，但是修改数据需要复杂且缓慢的过程，比RAM的写过程慢得多，用它代替RAM作为主存将会导致计算机性能的大大下降

- **ROM的存储单元是否可以随机访问**

可以，ROM只能读，RAM可读可写，两者访问的方式都是随机的，即可以随机访问任一存储单元，而且访问任一存储单元的时间都是一样的，与地址无关

32-40题是CPU和存储器的连接题，可以挑两道练习

43、44题涉及故障，平常写的较少

51题是刷新题，平常练习的少，建议写

52题也可以用来练习

## 第五章-输入输出系统

### 值得一看的知识点

5.2.4-5.2.6都值得一看，提纲和PPT中关于输入输出系统写的比较粗糙，可能有些许错误，这里就很专业，而且过程很清晰，非常适合「查漏补缺」

- 对于DMA方式，注意有三个过程：预处理、数据传送和后处理，注意在预处理的过程中，对AR、DAR和WC是使用「数据线」进行初始化的

### 值得一看的例题

例5.4、例5.5、例5.6很重要！

例5.8或许有点用，或许没用，可看可不看

例5.9考了磁盘存储器的转速、扇段容量和传送信息大小的关系，应该也要看一下

例5.10有助于加深理解，也有可能成为考题

### 选择

这里提到了打印机的功能和种类，也列出来了

- 在**单总线**的计算机系统中，外部设备可以和主存储单元统一编址，因此可以不使用I/O指令
- 微机中，主机和高速硬盘进行数据交换一般采用**DMA**方式
- 在数据传送过程中，数据由串行变并行或并行变串行，这样的转换是通过接口电路中的**移位寄存器**实现的，这样的转换**可以用软件实现，并非一定要由硬件实现**

好像21级考试改编成了选择题？有点忘记了

- 主机与设备传送数据时采用**程序查询方式**时，主机与设备是串行工作的
- 主机与I/O设备传送数据时，采用**DMA方式**，CPU的效率最高
- **键盘输入输出过程中，每按一次键**，会提出中断请求（一般是用来选下列哪个会发出中断请求，一般选「随机性」事件）
- 中断发生时，程序计数器内容的保护和更新，是由**硬件自动**完成的（注意不是通过「进栈指令和转移指令」完成的，这本书原题，但是这两个指令用在哪我也记不太清了）
- 中断向量地址是**中断服务程序入口地址的地址**
- 中断响应周期，置0允许中断触发器是由**硬件自动**完成的
- DMA方式传送，每传一个数据需要占用一个**存储（存取）周期**的时间
- 周期挪用方式常用于**直接存储器存取方式的输入输出（这是DMA的全称）**
- DMA方式**不能取代中断方式**
- 采用**程序查询方式**输入操作情况下，除非计算机等待，否则无法传送数据给计算机
- I/O编址分为统一编址和不统一编址，**统一编址就是把I/O地址看做存储器地址的一部分，可以用访存指令实现CPU对设备的访问；不统一编址则是分开的，对I/O访问要用专门的I/O指令**
- 目前在小型和微型计算机中普遍采用的字母和字符编码是**ASCII码**

- 通道程序由**通道控制字（或通道指令）**组成
- 打印机的分类方法很多，若按能否打印汉字来区分，可分为**点阵式打印机和活字式打印机**；如果按打字原理来分，可分为**击打式和非击打式**
- **接口一定要和总线相连**，总线不一定要和接口相连，通道不可以代替接口
- 程序中断方式和DMA方式中**都有**中断请求，但是**目的不同**
- 「程序中断方式和DMA方式中实现数据传送都需中断请求」这句话是**错误的**
- I/O统一编址时，存储单元和IO设备是靠**不同的地址码**来区分的
- 中断向量**不是**中断服务程序的入口地址，具体可以看PPT对应部分
- 中断服务程序最后一条指令是**中断返回指令**，具体要去看PPT复习
- DMA的程序中断部件作用是**向CPU提出传输结束**
- 鼠标适合**中断方式**实现输入操作，硬盘适合**DMA方式**
- 中断方式一般用于**处理随机出现的服务请求**
- DMA接口**有中断机制**，但是不能处理异常情况（后面这句话是针对错误选项添加的）
- 选择题44-45题，看一下，这里实在是打不下去了
- 标准的ASCII码是**7位**

## 填空

- I/O接口电路通常具有**选址、传送命令、传送数据、反应设备状态**功能
- I/O编址分为**不统一编址**和**统一编址**两类，前者需要专门的I/O指令，后者可通过**访存指令**与设备交换信息
 

21级考试专门考了I/O编址的两种分类，不过也很简单，答案就是「不统一编址」
- 主机与设备交换信息的控制方式中，**程序查询方式**主机与设备是串行工作的，**中断方式和DMA方式**主机与设备是并行工作的，且**DMA方式**主程序与信息传送是并行进行的
 

21级考试选择题出了同一考点的选择题
- CPU在**指令执行周期结束时**采样中断请求信号（开中断情况下），而在**存储周期结束时**采样DMA总线的请求信号
- I/O与主机交换信息过程中，**程序查询方式和中断方式**都需要通过程序实现数据传送
- 如果CPU处于开中断状态，一旦接受了中断请求，CPU就会自动**关中断**，防止再次接受中断。同时为了返回主程序断点，CPU需将**程序计数器（PC）**内容存入**存储器（或堆栈）**中。中断处理结束后，为了正确返回主程序执行，并且允许新的中断，必须**恢复寄存器内容（现场）**和**开中断**
- CPU响应中断时要保护现场，包括对**PC内容和寄存器内容**的保护，前者通过**硬件自动（中断隐指令）**完成，后者通过**软件编程实现**

21级考试原题
- 一次中断处理可以分为**中断请求、中断判优、中断响应、中断服务、中断返回**等五个阶段（这个不知道和PPT是否有出入，可以比对一下）
- 为了反映外围设备的工作状态，在I/O接口中都有状态触发器，常见的有**工作触发器B、完成触发器D、中断请求触发器INTR、中断屏蔽触发器MASK**

- 目前使用的打字机，从输出方式上可分为串行打字机和并行打字机，后者通常也称为行式打印机。从印字原理来分，又可分为击打式和非击打式。就打印字符来说，还可以分为活字方式和点阵方式
- 单重中断的中断服务程序的执行顺序为保护现场、设备服务、恢复现场、开中断和中断返回
- 多重中断的中断服务程序的执行顺序为保护现场、开中断、设备服务、恢复现场和中断返回
- 单重中断和多重中断的主要区别是多重中断的服务程序需要提前开中断，而单重中断的服务程序在最后中断返回前开中断
- 多重中断的必要条件是
  1. 级别更高的中断源中断低级别的中断源的请求
  2. 允许中断触发器为1（这个是我自己加的）
- 硬件向量法是由硬件生成向量地址，再由向量地址找到入口地址
- DMA方式的数据传送过程可以分为预处理、数据传送、后处理三个阶段
- 记忆DMA接口向CPU申请占用总线时，遇到的三种情况，只有在「CPU和DMA接口同时请求访存」时，才会出现周期挪用
- 中断方式的中断请求用于数据传送，DMA方式的中断请求用于后处理
- 从数据传送看，程序中断方式靠程序传送数据，DMA方式靠硬件传送数据
- 一个中断服务流程可以分为保护现场、其他服务、恢复现场、中断返回四个部分
- 多重中断系统中，中断处理系统按中断优先等级确定是否响应其他中断请求
- I/O接口电路通常配置设备选择电路、命令寄存器和命令译码器、数据缓冲寄存器、反映设备状态的标记等硬件电路

## 问答

这一章设计计算的题目比较少，计算部分掌握好前面提到的「**例题**」部分，概念部分主要还是把握好填空题和基础知识。

## 第六章-计算机的计算方法

### 值得一看的例题

例6.6、例6.11的原码除法、例6.12、例6.16

### 选择

- 如果 $n=16$ （不含符号位），原码一位乘、Booth算法和原码除法的移位次数和加法的次数表：

	原码一位乘	Booth算法	原码除
最多加法次数	16	17	17
移位次数	16	16	16
移位方式	逻辑移位	算术移位	逻辑移位

- 计算机中所有信息以**二进制**表示，其主要理由是**物理器件性能所致**

- 设 $x$ 为真值， $x^*$ 为其绝对值，则 $[-x^*]_{补} = [-x]_{补}$ 的条件是 **$x$ 为正数**

- 下列说法正确的是( )

- A. 任何十进制整数都可以用二进制表示
- B. 任何二进制整数都可以用十进制表示
- C. 任何十进制小数都可以用二进制精确表示
- D. 任何二进制小数都可以用十进制表示

除了「C」选项其他都对

- 移码表示的10000000是 $\pm 0$** ，即表示「0」
- 运算器的主要功能是进行**算术逻辑运算**
- 「**除补码外，原码和反码不能表示-1**」这句话是错误的，没考虑整数的情况
- 在规格化的浮点表示中，若只将移码表示的阶码改为补码表示，其余部分保持不变，则会使浮点数的表示范围「**不变**」
- 基值为4或8的补码表示的浮点数，看其是否为规格化数：
  - 符号位为1，前2/3位数值是否含有0
  - 符号位为0，前2/3位数值是否含有1
- 浮点数乘除运算不需要进行「**对阶**」操作
- 符号相同的两个数**相减**不会产生溢出，符号相反的两个数**相加**不会产生溢出
- 采用**规格化的浮点数**是为了**增加数据的表示精度**
- 理解「恒置1法」和「0舍1入法」的计算过程
- 2进制和10进制的范围表示要抓住 $2^{10} > 10^3$ 这个关系

### 填空部分

填空题绝大多数都是给你机器数的表示形式，让你给出最大/最小的正数/负数，要么就是给你一个机器数，问你其是用什么码制表示的，以及一些简单的运算。

然后还考了逻辑移位和算术移位，这里的概念要知道，具体可以看习题训练6.4，60题左右是移位相关的题，67-72题是移位导致的错误和误差问题77-85之间的题大多是关于运算的细节操作



这里主要收录部分概念题：

- 计算机中所有信息以二进制表示，其主要理由是物理器件性能所致
- 对于一个浮点数，阶码的大小决定了小数点的位置，当其尾数左移时，欲使其值不变，必须使阶码减少
- 在计算机中，一个二进制代码表示的数可以被理解为指令、数据、字符、地址、逻辑值
- 关于移位导致「正确」、「出错」或「引起误差」，首先看移出去的数能不能移回来，如果可以，则「正确」，如果不可以，如果是在左边被移出去的，则「出错」，如果是在右边被移出去的，则「引起误差」
- 已知 $[x]_{\text{补}} = x_0.x_1x_2\dots x_n$ ，则 $[-x]_{\text{补}} = \overline{x_0.x_1x_2\dots x_n} + 2^{-n}$
- 两个 $n+1$ 位（含符号位）的原码在机器中作一位乘运算，需要作 $n$ 次移位/右移操作，最多需做 $n$ 次加法操作，才能得到最后的乘积，乘积的符号位需通过两数符号位异或运算得到
- 运算器的技术指标一般用机器字长和运算速度来表示
- 一个定点数由数符和数值位两部分组成。根据小数点的位置不同，定点数有纯小数和纯整数两种表示法
- 各种机器数中，0为唯一形式的机器数是补码和移码；表示定点整数时，若要求数值0在计算机中唯一表示为全“0”，应采用补码，若要求机器零在计算机中表示为全“0”，则阶码应采用移码
- 浮点数上溢时，机器需停止运算，做中断处理

## 大题

挑着练吧，太™多了

### | 题型一

给浮点数各个位的字长，然后给你一个数让你用机器数表示，然后再回答给定的浮点数格式的表示范围，这种表示范围的格式一般是给出最大正数、最小正数、最大负数、最小负数

### | 题型二

甚至让你证明 $[-x]_{\text{补}} = -[x]_{\text{补}}$

这种题就要用到真值和补码的转化了，在证明中适时把「补码」转化成「真值」，或是把「真值」转化为「补码」，则可以简单证明，注意要用到数位的表示形式

### | 题型三

计算题，booth、原码一位乘、加减交替，这里略

剩下的题型很多都是没学过的，与其屎里掏花不如看看其他章节

### | 题型XXX



## 第七章-指令系统

这一章主打「X86」（2021级已经不再教学）而不主打「RISC-V」，所以看这一章的收益很小，除非考试还考非RISC-V指令系统的指令设计，概率应该不大

答疑课问了老师，确实不考这种题了，至少对于2021级是这样

这一章就自己看看吧，下面会列「很少部分」的题目

### 选择

- 设机器字长为16位，存储器按字编址，对于单字长指令而言，读取该指令后，PC值自动加2位
- 下列叙述中，哪些能反映RISC的特征
  - A. 丰富的寻址方式
  - B. 指令执行采用流水方式
  - C. 控制器采用微程序设计
  - D. 指令长度固定
  - E. 只有LOAD/STORE指令访问存储器
  - F. 难以用优化编译生成高效的代码
  - G. 配置多个通用寄存器答案是BDEG

- 下列叙述中，哪些能反映CISC的特征
  - A.丰富的寻址方式
  - B.控制器采用组合逻辑设计
  - C.指令字长固定
  - D.大多数指令需要多个时钟周期才能执行完成
  - E.各种指令都可以访存
  - F.只有LOAD/STORE指令可以访存
  - G.采用优化编译技术答案是ADE

### 填空

简单记忆一下CISC和RISC各自的特征

## 第八章-CPU的结构和功能

### 值得一看的知识点

---

8.2.4中断系统

### 值得一看的例题

---

例8.6-例8.10都值得一看，但例8.6-例8.7上面的部分概念是上课没有说过的，看不看自己判断吧

例8.8-例8.10，感觉比较重要（仅个人感觉）

### 选择

---

- 控制器的全部功能是从主存中取出指令、分析指令并产生有关的操作控制信号
- 指令周期大于机器周期
- 允许中断触发器用于开放或关闭中断系统
- 程序计数器的位数取决于存储器的容量（注意这是计数器PC，相当于一个指针）
- 指令寄存器的位数取决于指令字长
- CPU中通用寄存器的位数取决于机器字长
- 程序计数器PC属于控制器
- 响应中断请求的条件是外部设备工作完成时和系统允许时（注意不包括中断标记触发器为1时）
- 隐指令是指指令系统中没有的指令
- 在中断周期中，由中断隐指令将允许中断触发器置0
- CPU不包括地址译码器
- 与具有n个并行部件的处理器相比，一个n段流水处理器具备相同水平的吞吐能力
- CPU中的译码器主要用于指令译码
- CPU中的通用寄存器可以存放数据和地址，但是不能代替指令寄存器
- 中断系统是由软硬件结合实现的
- RISC机一定采用流水技术
- 在CPU的寄存器中，指令寄存器对用户是完全透明的（还有两个选项分别是程序计数器和状态寄存器，说明这两个不是「完全」透明的）

### 填空

---

这里概念很多很杂，不一定全部需要背，我也只是节选了部分：

- 在CPU中，指令寄存器的作用是存放当前正在执行的指令，其位数取决于指令字长；程序计数器的作用是指示现行指令的地址并跟踪后继指令的地址，其位数取决于存储器的容量
- 计算机中存放当前指令地址的寄存器叫程序计数器PC，若存储器按字节编址，指令长度32位，则每取出一条指令后，该寄存器自动加4，当执行转移指令或中断操作时，该寄存器接受新的地址(后面这两个可能不是我们学的内容，自行取舍)
- 中断判优的含义是当多个中断源同时提出请求时，确定响应的优先次序

- 多重中断的含义是CPU在处理中断的过程中，又允许响应新的中断请求；实现多重中断的条件是：在中断服务程序中必须提前设置“开中断”指令，使允许中断触发器为“1”，而且只有级别更高的中断源才能中断现行的中断服务程序
- 置“0”允许中断触发器可通过关中断指令和在中断响应时由硬件自动关中断
- 在中断系统中，通常将中断源分为可屏蔽中断和不可屏蔽中断两大类，其中不可屏蔽中断优先级高
- CPU响应中断后可以通过硬件向量法或软件查询法转至中断服务程序入口地址，前者需配有向量地址形成部件，后者需配有中断识别程序
- 一个五级流水的处理器，共12条指令输入该流水线，则12个时钟周期结束时执行完8条指令
- 中断判优可以通过硬件排队和软件排队实现
- 中断服务程序入口可以通过硬件向量法和软件查询法寻找
- 某机有四个中断源，优先顺序按1-2-3-4降序排列，若想将中断处理次序改为3-1-4-2，则1、2、3、4中断源对应的屏蔽字分别是1101、0100、1111、0101

考试出现了一模一样的题，只是中断处理次序稍微改变了一下

## 问答

一样的尿性，重点不好勾，这里选了几个概念解释

- **什么是中断隐指令，有哪些功能**

答：中断隐指令是指令系统中没有的指令，它由CPU在中断响应周期自动完成，功能是保护程序断点、硬件关中断、向量地址送PC（硬件向量法）或中断程序识别入口送PC（软件查询法）

- **在中断系统中INTR、INT、EINT三个触发器各有什么作用**

答：INTR是中断请求触发器，每一个中断源对应一个INTR，其为1时，代表该中断源有请求；EINT是允许中断触发器，为1时，表示CPU允许响应中断源的请求，为0时，表示CPU禁止响应中断，INT是中断标记触发器，为1时表示CPU进入中断周期

- **与各中断源的中断级别相比，是否可以说CPU（或主程序）的级别最高，为什么？**

不能，因为主程序执行时，若有I/O请求或有硬件方面的故障（若它们未被屏蔽），都可以中断主程序的执行，因此CPU的级别不是最高的

然后是一个计算吞吐率的题：

- **在一个四级指令流水线中，假设时钟周期为50ns，共有30条指令连续输入该流水线，求该流水线的最大吞吐率、实际吞吐率和加速比**

1. 最大吞吐率是理想状态，用 $1/50\text{ns}=20\times 10^6$ 条指令/s（奇怪的单位，具体单位看题目）
2. 实际吞吐率是在33个时钟周期执行完了30条指令，所以是 $30/[4\times 50\text{ns}+(30-1)\times 50\text{ns}]\approx 18\times 10^6$ 条指令/s
3. 加速比好算， $(30\times 4)/[4+(30-1)]\approx 3.63$

33-36题，是画中断处理图的题，感觉可能会考（仅个人感觉），值得挑着做一下，但本质还是最后几道例题的内容

后记：2021级的考试关于中断屏蔽方面很简单，只考了中断屏蔽字

35题挺重要的，要会画那个表