**电子技术及逻辑电路期末复习资料**

**一、填空题**

1．数制转换：57.625=（ 111001.101 ）B=（ 39.a ）H。

2．-1011010B的原码为（11011010），反码为（10100101），补码为（10100110）。

3．逻辑函数中的三种最基本的逻辑运算是（ 与运算 ）、（ 或运算）、（ 非运算 ）。

4. 由n个变量构成逻辑函数的全部最小项有（ 2^n ）个，n变量卡诺图由（ 2^n）个小方格组成。

5. 一个班级有58位学生，先采用二进制编码器对每个学生进行编码，则编码的输出至少需（ 6 ）位二进制数才能满足要求。

6. 8位二进制串行进行加法器有（ 8 ）个全加器组成，可完成（ 8 ）位二进制数相加。

7. 4线-七段译码器/驱动器输出高电平有效时，用来驱动（ 共阴 ）极数码管。

8．由或非门组成的基本RS触发器，当RD=0，SD=1，触发器（ 置1 ），不允许出现RD=1，SD=1存在，其约束条件是（ RD+SD=1）。

9．某寄存器由D触发器构成，有4位代码要存储，此寄存器必须有（ 4 ）个触发器。

10. 描述同步时序逻辑电路的三组方程分别是（ 输出方程）、（驱动方程）、（状态方程）。

11．数制转换：121.25=（1111001.01）B=（ 79.4）H。

12．-1001101B的原码为（11001101），反码为（10110010），补码为（10110011）。

13．逻辑代数中的三条重要规则是（代入规则）、（对偶规则）、（反演规则）。

14. 由4个变量构成逻辑函数的全部最小项有（ 16 ）个，其卡诺图由（ 16 ）个小方格组成。

15.一个班级有48位学生，先采用二进制编码器对每个学生进行编码，则编码的输出至少需（ 6）位二进制数才能满足要求。

16. n位二进制串行进行加法器有（ n ）个全加器组成，可完成（ n ）位二进制数相加。

17. 驱动共阳极数码管，4线-七段译码器/驱动器要输出（ 低）电平。

18．由与非门组成的基本RS触发器，当 =1， =0，触发器（ 置1 ），当 =1， =1，触发器（不正常状态 ）。

19．某寄存器由D触发器构成，有16位代码要存储，此寄存器必须有（16 ）个触发器。

20．。时序逻辑电路由（ 组合）电路和（储存）电路两部分组成，其中（储存电路）是必不可少的

21．数制转换：125.5=（1111101.1）B=（7d.8）H。

22．-1010101B的原码为（11010101），反码为（10101010），补码为（10101011）。

23．逻辑函数的5种表示方法：（真值表）、（逻辑表达式）、（逻辑电路图）、卡诺图和波形图。

24. 由3个变量构成逻辑函数的全部最小项有（ 8 ）个，其卡诺图由（ 8）个小方格组成。

25.一个专业有250位学生，先采用二进制编码器对每个学生进行编码，则编码的输出至少需（ 8）位二进制数才能满足要求。

26. 4位二进制串行进行加法器有（ 4 ）个全加器组成，可完成（ 4 ）位二进制数相加。

27. 4线-七段译码器/驱动器输出低电平有效时，用来驱动（ 共阳 ）极数码管。

28．由与非门组成的基本RS触发器，当 =0， =1，触发器（置0 ），不允许出现 =0， =0存在，其约束条件是（ RD非+SD非=1 ）。

29．4位的移位寄存器可寄存（4）个数码，如将这些数码全部从串行输出端输出时，需输入（4）个移位脉冲。

30. 按各触发器的状态转换与时钟脉冲控制端的关系分类，计数器可分（ 同步）计数器和（ 异步）计数器。

31．数制转换：89.75=（1011001.11）B=（59.c ）H。

32．-1101101B的原码为（ 11101101），反码为（10010010），补码为（10010011）。

33．逻辑变量是一种二值变量，其取值只能是（ 1 ）或（0 ）。

34. 由5个变量构成逻辑函数的全部最小项有（32）个，其卡诺图由（32 ）个小方格组成。

35.一个专业有300位学生，先采用二进制编码器对每个学生进行编码，则编码的输出至少需（ 9 ）位二进制数才能满足要求。

36. 16位二进制串行进行加法器有（16 ）个全加器组成，可完成（ 16）位二进制数相加。

37. 驱动共阴极数码管，4线-七段译码器/驱动器要输出（ 高 ）电平。

38. 触发器有两个互非的输出端 和 ，通常规定 =1， =0时为触发器的（置0 ）状态； =0， =1时为触发器的（置1 ）状态，可见触发器的状态是指（CP）端的状态。

39．8位的移位寄存器可寄存（8）个数码，如将这些数码全部从串行输出端输出时，需输入（8）个移位脉冲。

40. 时序逻辑电路的特点是，任意时刻的输出不仅取决于该时刻（ 输入变量 ）的状态，而且还与（原来 ）的状态有关。

**二、选择题**

1. 在二进制计数系统中，每个变量的取值为(A )。

A、 0和1 B、 0~7 C、 0~10 D、 0~F

2. 十进制数386的8421BCD码为( B )。

A、 0011 0111 0110 B、0011 1000 0110

C、 1000 1000 0110 D、0100 1000 0110

3. 逻辑函数Y=AB+CD 在四变量卡诺图中有（ C ）个小格是“1”。

A、 5 B、6 C、 7 D、8

4. 一个输入为A、B的两输入端与非门，为保证输出低电平，要求输入为( D )。

A、 A=0、B=0 B、A=0、B=1

C、 A=1、B=0 D、A=1、B=1

5. 下列对组合逻辑电路特点的叙述中，错误的是（B ）。

A、电路中不存在输出端到输入端的反馈通路

B、电路主要由各种门电路组合而成，还包含存储信息的记忆元件（不包含元件

C、电路的输入状态确定后，输出状态便唯一地确定下来

D、电路的输出状态不影响输入状态，电路的历史状态不影响输出状态

6. 8线-3线优先编码器正常工作，且有效输入为 ，则输出 =（A ）。

A、 010 B、011 C、 100 D、101

7. 译码器的输入量是（ A ）。

A、 二进制 B、八进制 C、 十进制 D、十六进制

8. 边沿JK触发器的 J=1、K=1时，如输入时钟脉冲的频率为110kHz的方波，则Q端输出脉冲的频率为（C ）二分频

A、 220kHz B、110kHz C、 55kHz D、27.5kHz

9. 同步时序电路和异步时序电路比较，其差异在于后者（ B ） 。

A、没有触发器 B、没有统一的时钟脉冲控制

C、没有稳定状态 D、输出只与内部状态有关

10. 一个三进制计数器和一个八进制计数器串联起来后的最大计数值为（ C ）。

A、 2 B、7 C、 23 D、24

11. 在N进制中，字符N的取值范围为（ D ）。

A、 0~N B、 1~N C、 1~N-1 D、 0~N-1

12. 十进制数127的8421BCD码为( A)。

A、 0001 0010 0111 B、0100 0101 1010

C、 0001 0100 0111 D、0100 1010 0101

13. 用逻辑函数卡诺图化简中，四个相邻项可合并为一项，它能（ B）。

A、消去1个表现形式不同的变量，保留相同变量

B、消去2个表现形式不同的变量，保留相同变量

C、消去3个表现形式不同的变量，保留相同变量

D、消去4个表现形式不同的变量，保留相同变量

14. 一个输入为A、B的两输入端与门，为保证输出高电平，要求输入为(D )。

A、 A=0、B=0 B、A=0、B=1

C、 A=1、B=0 D、A=1、B=1

15. 组合逻辑电路通常由( A )组合而成。

A、门电路 B、触发器 C、计数器 D、寄存器

16. 8线-3线优先编码器正常工作，且有效输入为 ，则输出 =（ A ）。

A、 010 B、011 C、 100 D、101

17. 3个输入端的译码器，其输出端最多为（ B ）。

A、 4 B、8 C、 16 D、24

18. 维持阻塞D触发器是一种（C ）稳态电路。

A、 无 B、单 C、 双 D、多

19. 按各触发器的状态转换与时钟脉冲控制端的关系分类，计数器可分（A ）计数器。

A、同步和异步 B、加计数和减计数

C、二进制和十进制 D、八进制和六进制

20. 一个四进制计数器和一个八进制计数器串联起来后的最大计数值为（ C）。

A、 3 B、7 C、31 D、32

21.十六进制的权值为( B )。

A、10的幂 B、2的幂 C、8的幂 D、16的幂

22. 在下列数中，不是余3BCD码的是（ C ）。

A、1011 B、0111 C、0010 D、1001

23. 函数 Y(A,B,C) 中，符合逻辑相邻的是 （ ）。

A、 B、

C、 D、

24. 一个输入为A、B的两输入端或非门，为保证输出高电平，要求输入为(A )。

A、 A=0、B=0 B、A=0、B=1

C、 A=1、B=0 D、A=1、B=1

25. 分析组合逻辑电路的目的是要得到（B ）。

A、逻辑电路图 B、逻辑电路的功能

C、逻辑函数式 D、逻辑电路的真值表

26. 8线-3线优先编码器正常工作，且有效输入为 ，则输出 =（ ）。

A、 010 B、011 C、 100 D、101

27. 4个输入端的译码器，其输出端最多为（C ）。

A、 4 B、8 C、 16 D、24

28. 当输入端J=K=1，则JK触发器处于（ D ）状态。

A、 0 B、1 C、 保持 D、翻转

29. 描述时序逻辑电路功能的两个必不可少的重要方程式是（ B）。

A、状态方程和输出方程 B、状态方程和驱动方程

C、驱动方程和时钟方程 D、驱动方程和输出方程

30. 利用集成计数器的同步置数功能构成N进制计数器，写二进制代码的数是（ C ）。

A、 2N B、N C、 N-1 D、N+1

31. 连续变化的量称为（ B ）。

A、数字量 B、 模拟量 C、 二进制量 D、 16进制量

32. 十进制数127的余3码为( B )。

A、 0001 0010 0111 B、0100 0101 1010

C、 0001 0100 0111 D、0100 1010 0101

33. 下列关于卡诺图化简法的说法中，正确的是（A ）。

A、圈的面积越小，化简结果越简单

B、圈的数目越多，可消去的变量越多

C、最小项可以被多次使用

D、最简结果总是唯一的

34. 一个输入为A、B的两输入端或门，为保证输出低电平，要求输入为( A )。

A、 A=0、B=0 B、A=0、B=1

C、 A=1、B=0 D、A=1、B=1

35. 设计组合逻辑电路的目的是要得到（A ）。

A、逻辑电路图 B、逻辑电路的功能

C、逻辑函数式 D、逻辑电路的真值表

36. 8线-3线优先编码器正常工作，且有效输入为 ，则输出 =（ ）。

A、 010 B、011 C、 100 D、101

37. 3-8译码器74LS138的唯一输出有效电平是（ B ）。

A、 高 B、低 C、 任意 D、三态

38. 同步RS触发器的约束条件为（ A ）。

A、 RS=0 B、RS=1 C、 R+S=0 D、R+S=1

39. 时序逻辑电路中一定包含（ B ）。

A、触发器 B、组合逻辑电路

C、译码器 D、移位寄存器

40. 利用集成计数器的异步清零功能构成N进制计数器，写二进制代码的数是（C ）。

A、 2N B、N C、 N-1 D、N+1

**三、判断题**

1．（ 对 ）真值表具有唯一性。

2．（ 错 ）用卡诺图化简逻辑函数时，合并相邻最小项的个数为偶数个最小项。

3. （ 错 ）组合逻辑电路全部由门电路组成。

4. （ 错）半加器与全加器的区别在于半加器无进位输出，而全加器有。

5. （ 对）编码与译码是互逆的过程。

6. （ 错）触发器和逻辑门一样，输出取决于输入现态。

7. （ 错 ）主从JK触发器、边沿JK触发器和同步JK触发器的逻辑功能完全相同。

8. （ 对 ）时序逻辑电路由触发器和组合逻辑电路组成。

9. （ 对 ）在计数器中，循环工作的状态称为有效状态，如进入无效状态时，继续输入时钟脉冲后，能自动返回有效状态，称为能自启动。

10. （ 错 ）有时也将模拟电路称为逻辑电路。

11. （ 对）逻辑变量和逻辑函数的取值只有0和1两种可能。

12. （ 错 ）利用卡诺图化简逻辑函数时，每个小方格只能被圈一次。

13. （错 ）组合逻辑电路有记忆功能。

14. （ 错 ）加法器是用于对两组二进制数进行比较的电路。

15. （ 错 ）译码是编码的逆过程，编码是唯一的，译码也一定是唯一的。

16. （ 错）基本RS触发器没有约束条件。

17. （ 对 ）时序逻辑电路与组合逻辑电路的最大区别在于，它具有存储和记忆功能。

18. （ 错）同步计数器和异步计数器级联后仍为同步计数器。

19. （ 错）计数器的模是指构成计数器的触发器的个数。

20. （ 对 ）二进制数转换为十进制数的方法是各位加权系之和。

21．（ 错 ）如果两个逻辑函数式相等，它们的真值表不一定相等。

22．（ 对 ）一个确定的逻辑函数，其卡诺图是唯一的。

23. （ 错 ）组合逻辑电路只有多输出端，没有单输出端。

24. （ 错 ）全加器只能用于对两个1位二进制数相加。

25. （ 对 ）二进制译码器相当于是一个最小项发生器，便于实现组合逻辑电路。

26. （ 对 ）边沿JK触发器在CP=1期间，J、K端的输入信号变化时，对输出Q端的状态没有影响。

27. （ 错）时序电路不含有记忆功能的器件。

28. （ 错 ）由于每个触发器都有两个稳定状态，因此，存放8位二进制数时需4个触发器。

29. （ 错 ）计数器的作用只有一个，就是对输入脉冲个数进行累计计数。

30. （ 对 ）一个n位的二进制数，最高位的权值是2n-1。

31．（ 错 ）若两个函数具有不同的逻辑函数式，则两个逻辑函数必然不相等。

32．（错 ）具有相邻性的6个最小项之和可以合并成一项并消去3个因子。

33.（ 对 ）组合逻辑电路可以有多输出端，也可以有单输出端。

34. （ 错 ）如果不考虑来自低位的进位直接将两个1位二进制数相加，称为全加器。

35. （ 对）译码器的作用是将输入的代码译成特定的信号输出。

36. （ 错 ）由或非门组成的基本RS触发器在R=1、S=0时，触发器置1。

37. （ 错）同步时序逻辑电路中各触发器的时钟脉冲控制端不一定相同。

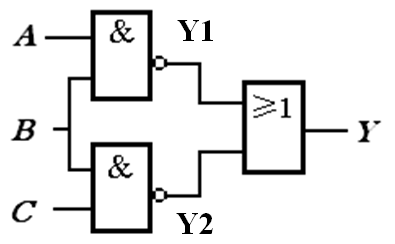
38. （ 对 ）由于每个触发器都有两个稳定状态，因此，存放4位二进制数时需2个触发器。

39. （ 错 ）一个模为60的计数器，能够记录到的最大计数值是60。

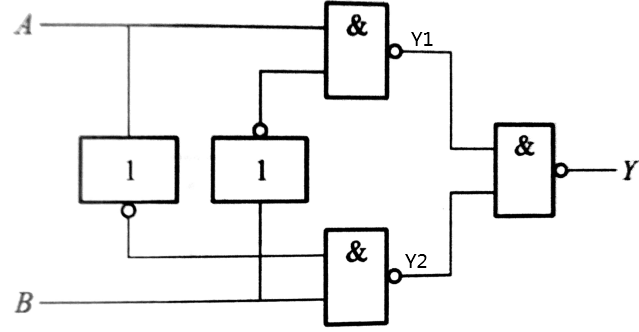
40. （ 错 ）对于二进制数正数，原码、反码和补码都不同。

**四、分析题**

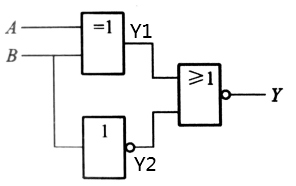
写出以下逻辑电路图中Y1、Y2和Y的表达式。



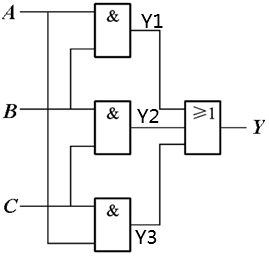
写出以下逻辑电路图中Y1、Y2和Y的表达式。



写出以下逻辑电路图中Y1、Y2和Y的表达式。



写出以下逻辑电路图中Y1、Y2、Y3和Y的表达式。



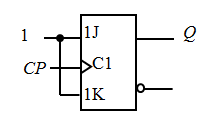
用卡诺图化简下列逻辑函数。

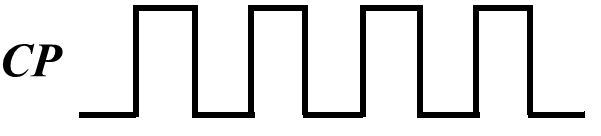
用卡诺图化简下列逻辑函数。

用卡诺图化简下列逻辑函数。

用卡诺图化简下列逻辑函数。

写出以下触发器的特性方程，并画出Q的波形图，Q的初始状态为0。

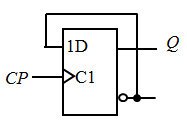


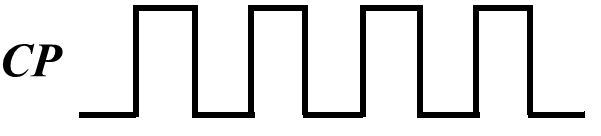


**Q**

触发器的特性方程：

写出以下触发器的特性方程，并画出Q的波形图，Q的初始状态为1。

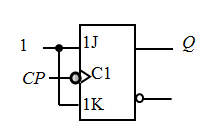


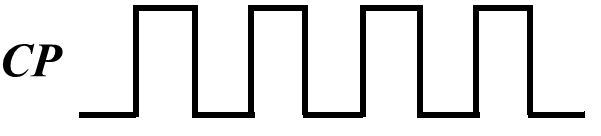


**Q**

触发器的特性方程：

写出以下触发器的特性方程，并画出Q的波形图，Q的初始状态为1。

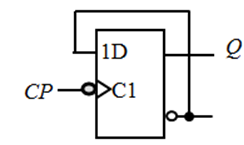


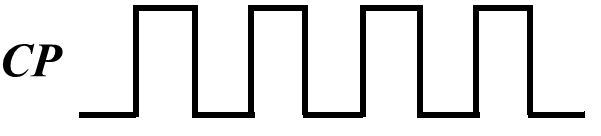


**Q**

触发器的特性方程：

写出以下触发器的特性方程，并画出Q的波形图，Q的初始状态为0。



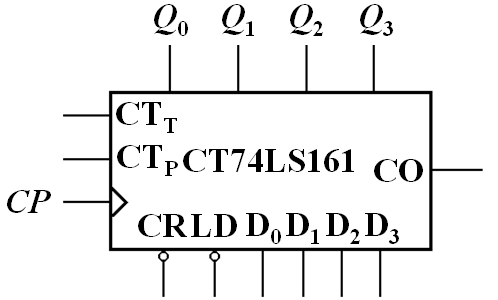


**Q**

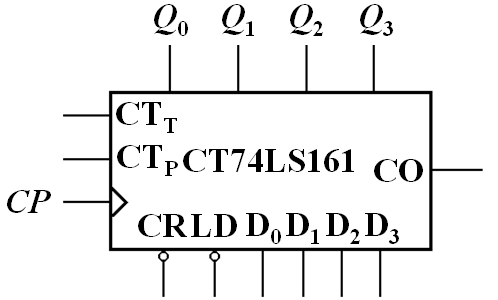
触发器的特性方程：

**五、设计题**

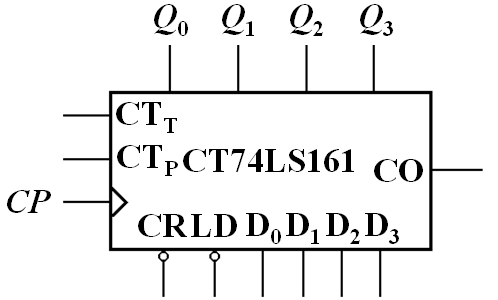
用一片计数器74161及合适的逻辑门电路，利用**异步清零法构成13进制加法计数器**，并在下面图中画出逻辑电路图，要求有设计步骤。



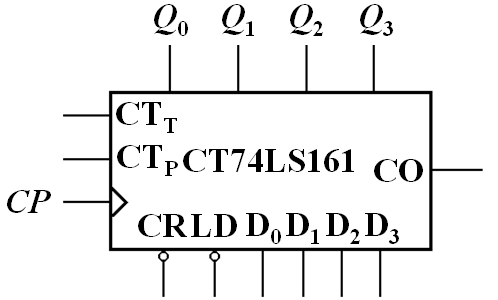
用一片计数器74161及合适的逻辑门电路，利用**异步清零法构成8进制加法计数器**，并在下面图中画出逻辑电路图，要求有设计步骤。

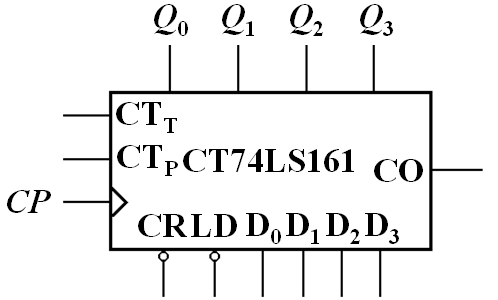


用一片计数器74161及合适的逻辑门电路，利用**同步置数法构成10进制加法计数器**，并在下面图中画出逻辑电路图，要求有设计步骤。

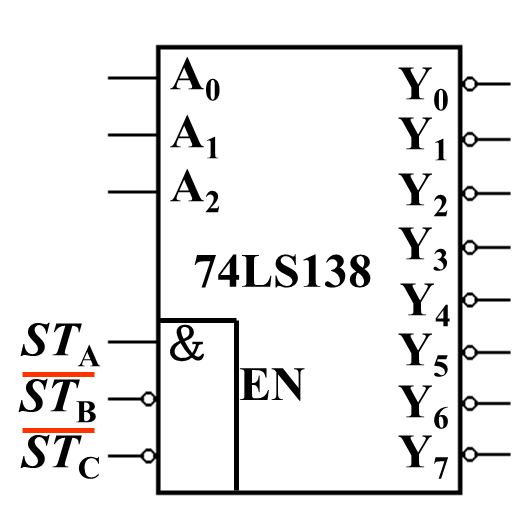


用一片计数器74161及合适的逻辑门电路，利用**同步置数法构成54进制加法计数器**，并在下面图中画出逻辑电路图，要求有设计步骤。

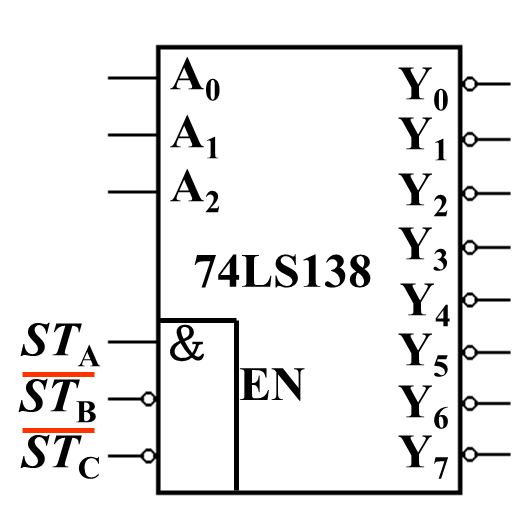




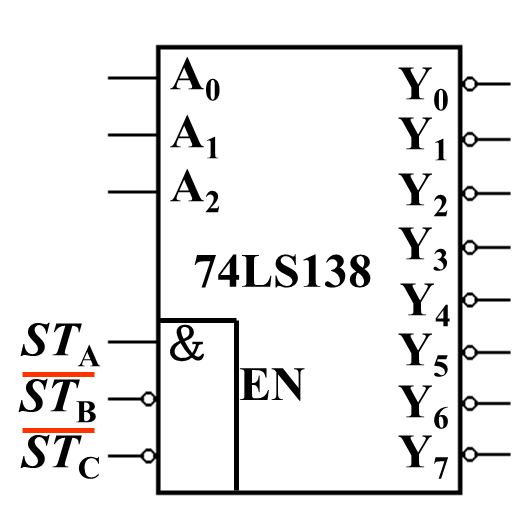
一个射击游戏中，射手可打三枪，一枪打老虎，一枪打狮子，一枪打豹子，规则是命中不少于两枪者获奖。试用用74LS138和门电路设计一个判别得奖电路。要求：写出整个设计步骤过程，包括状态描述、真值表、逻辑表达式、画出逻辑图等。



跳绳比赛共有三名裁判，其中1号为主裁判，2号、3号为副裁判。按照少数服从多数的原则进行评判，但必须主裁判认为合格时，跳绳才算成功。试用74LS138和门电路设计该裁判逻辑电路。要求：写出整个设计步骤过程，包括状态描述、真值表、逻辑表达式、画出逻辑图等。



一个监控报警系统，设有湿感、温感和紫外光感3种不同的探测器，为了防止产生了误报警，只有当其中两种或三种探测器发出警告信号时，监控系统才发出报警信号。试用74LS138和适当的门电路设计该监控报警系统。要求：写出整个设计步骤过程，包括状态描述、真值表、逻辑表达式、画出逻辑图等。



拳击比赛共有三名裁判，按照少数服从多数的原则进行评判。试用74LS138和门电路设计该裁判逻辑电路。要求：写出整个设计步骤过程，包括状态描述、真值表、逻辑表达式、画出逻辑图等。

